

高等学校理工类课程学习辅导丛书

数字电子技术基础（第六版）

学习辅导与习题解答

阎石　王红　编

高等教育出版社

高等学校理工类课程学习辅导丛书

数字电子技术基础（第六版）

学习辅导与习题解答

SHUZI DIANZI JISHU JICHU XUEXI FUDAO YU XITI JIEDA

阎石　王红　编

高等教育出版社·北京

内容简介

本书是为配合清华大学电子学教研组编、阎石主编的《数字电子技术基础（第六版）》教材的使用而编写的。内容包括：数字电子技术基础课程的特点和学习方法，各章内容的重点、难点释疑和解题方法，《数字电子技术基础（第六版）》习题解答，自测试卷及答案四部分。

本书除了可作为电气、电子信息类各专业本科生学习数字电子技术基础课程的辅助教材以外，也可供其他相关专业师生和社会读者参考。

图书在版编目(CIP)数据

数字电子技术基础(第六版)学习辅导与习题解答/阎石,王红编. --北京:高等教育出版社,2016.4

ISBN 978-7-04-044734-7

Ⅰ.①数… Ⅱ.①阎… ②王… Ⅲ.①数字电路-电子技术-高等学校-教学参考资料 Ⅳ.①TN79

中国版本图书馆 CIP 数据核字(2016)第 020853 号

策划编辑	欧阳舟	责任编辑	欧阳舟	封面设计	李卫青	版式设计	童 丹
插图绘制	杜晓丹	责任校对	杨凤玲	责任印制	朱学忠		

出版发行	高等教育出版社	网 址	http://www.hep.edu.cn
社 址	北京市西城区德外大街4号		http://www.hep.com.cn
邮政编码	100120	网上订购	http://www.hepmall.com.cn
印 刷	高教社(天津)印务有限公司		http://www.hepmall.com
开 本	787mm×1092mm 1/16		http://www.hepmall.cn
印 张	24.25		
字 数	590 千字	版 次	2016 年 4 月第 1 版
购书热线	010-58581118	印 次	2016 年 4 月第 1 次印刷
咨询电话	400-810-0598	定 价	39.80 元

本书如有缺页、倒页、脱页等质量问题，请到所购图书销售部门联系调换

版权所有 侵权必究

物 料 号 44734-00

前　言

本书是为配合《数字电子技术基础(第六版)》(阎石主编,高等教育出版社出版)的使用而编写的辅助教材。全书由“数字电子技术基础课程的特点和学习方法”、“各章内容的重点、难点释疑和解题方法”、“《数字电子技术基础(第六版)》习题解答”和“自测试卷及答案”四部分组成。

对于任何一门课程的学习,每个人都可以选择适合自己的具体学习方法。因此,写入“数字电子技术基础课程的特点和学习方法”的目的,仅在于指出本门课程区别于其他基础类课程的特点,以及提醒在学习这门课程的过程中应当注意的几个问题。

在第二部分“各章内容的重点、难点释疑和解题方法”中,虽然给出了每一种类型题目的解题方法和具体步骤,但这并不意味着在任何情况下,都必须机械地套用这些方法和步骤。根据题目的具体条件和要求,有时可以省略其中的某些步骤,或者采用其他更为简捷的解题方法。

书中的第三部分给出了《数字电子技术基础(第六版)》全部习题的解答。除了第一、二章以外,其他各章的习题中设计性习题占有相当大的比重。由于多数设计性题目的答案不是唯一的,所以这里给出的答案只是其中的一种,不能作为判断正误的唯一标准。

为了帮助读者自行检查对本门课程基本内容掌握的情况,在第四部分给出了7份不同的自测试卷和答案。其中的评分标准仅供评估学习成绩时参考。此外,这些试卷中的试题还可以作为练习题使用。

习题解答部分出现的“图×.×.×”、“式×.×.×”、“表×.×.×”都是《数字电子技术基础(第六版)》中的插图、公式、图表的编号。而“图×-×-×”、“式×-×-×”、“表×-×-×”则是本书“各章内容的重点、难点释疑和解题方法”部分中使用的编号。请阅读时注意区分。

虽然书中的习题、例题、试题的大部分都在教学过程中使用过,但仍难免存在各种错误和不妥之处,恳求读者给予批评指正。

作　者

2015年10月

目　录

第一部分　数字电子技术基础课程的特点和学习方法

第二部分　各章内容的重点、难点释疑和解题方法

第一章　数制和码制 …… 6
1.1　本章重点内容 …… 6
1.2　难点释疑 …… 6
1.3　习题类型与解题方法 …… 7

第二章　逻辑代数基础 …… 13
2.1　本章重点内容 …… 13
2.2　难点释疑 …… 13
2.3　习题类型与解题方法 …… 18

第三章　门电路 …… 31
3.1　本章重点内容 …… 31
3.2　难点释疑 …… 31
3.3　习题类型与解题方法 …… 39

第四章　组合逻辑电路 …… 52
4.1　本章重点内容 …… 52
4.2　难点释疑 …… 52
4.3　习题类型与解题方法 …… 55

第五章　半导体存储电路 …… 70
5.1　本章重点内容 …… 70
5.2　难点释疑 …… 70
5.3　习题类型与解题方法 …… 80

第六章　时序逻辑电路 …… 87
6.1　本章重点内容 …… 87
6.2　难点释疑 …… 87
6.3　习题类型与解题方法 …… 92

第七章　脉冲波形的产生和整形电路 … 107
7.1　本章重点内容 …… 107
7.2　难点释疑 …… 107
7.3　习题类型与解题方法 …… 112

第八章　数/模和模/数转换 …… 126
8.1　本章重点内容 …… 126
8.2　难点释疑 …… 126
8.3　习题类型与解题方法 …… 129

第三部分　《数字电子技术基础(第六版)》习题解答

第一章习题解答 …… 144
第二章习题解答 …… 160
第三章习题解答 …… 186
第四章习题解答 …… 203
第五章习题解答 …… 232
第六章习题解答 …… 260
第七章习题解答 …… 292
第八章习题解答 …… 306

第四部分 自测试卷及答案

试卷 1 …… 320
试卷 1 答案 …… 324
试卷 2 …… 330
试卷 2 答案 …… 332
试卷 3 …… 337
试卷 3 答案 …… 340
试卷 4 …… 347
试卷 4 答案 …… 350
试卷 5 …… 355
试卷 5 答案 …… 357
试卷 6 …… 363
试卷 6 答案 …… 367
试卷 7 …… 373
试卷 7 答案 …… 376

第一部分

数字电子技术基础课程的特点和学习方法

数字电子技术基础是一门关于电子技术应用的技术基础课程。它除了具备技术基础课程的一般性特点(具有自身比较完整的理论体系,而且是许多后续课程的公共基础)以外,还具有实践性很强的特点。由于课程内容涉及的许多具体电子电路都可以作为最终的实用电路或者工业产品,所以它不是一门纯理论性质的技术基础课程。

针对上述特点,建议在学习这门课程的过程中注意以下几点:

一、掌握学习的重点。

数字电子技术的应用是一个十分浩瀚的领域。不仅花样繁多的"数码"产品随处可见,而且数字电子电路也是各行各业使用的许多重要仪器和设备中不可缺少的组成部分,甚至是核心部分。

不难想象,针对不同用途而设计制作的数字电子电路是层出不穷的。我们不可能、也不需要去逐个分析和研究它们。但是它们所涉及的基本概念、基本原理、分析方法和设计方法却是共同的。只要掌握了这些基本的原理和方法,我们就能够分析给出任何一种数字电路;也能够根据要求实现的逻辑功能,设计出相应的逻辑电路。因此,应当把教材中讲述的数字电子技术基本概念、基本原理、分析方法和设计方法作为重点学习的内容。

教材中也较为深入地介绍了目前使用的各类数字集成电路的特性。其目的在于帮助读者学习并掌握这些器件的正确使用方法,而不在于研究器件本身的设计和制作。因此,学习的重点应当放在掌握它们的外部特性(包括实现的逻辑功能以及输入端、输出端的电气特性——亦即表示电压与电流关系的所谓"外特性")和使用方法上。

为了能够正确理解和运用这些集成电路的外特性,需要熟悉它们的输入电路和输出电路的结构以及这些电路结构的工作原理。至于集成电路内部的详细结构和工作过程不是本课程的重点学习内容,更不需要去记忆那些中、大规模集成电路内部的逻辑图。

二、要学会运用工程近似的方法处理工程实际问题。

实际的工程技术问题往往是比较复杂的,影响的因素很多。在满足精度要求的条件下经常采用工程近似的分析、设计方法处理这些问题,即忽略次要因素,使问题简化,以得到可以满足工程要求的近似分析、计算结果。

在数字电子电路中,无论半导体二极管、三极管还是数字集成电路,即使是同一型号的器件,在电气特性上都存在一定的分散性(即允许器件的电气参数与标准值之间有一定范围内的差异)。同时,用于表示逻辑状态的高、低电平也有一个允许的变化范围(即所谓"噪声容限")。因此,在分析计算电路的逻辑电平时,很适合于采用近似计算方法。当然,近似的方法必须合理,才能保证计算结果的误差在允许范围之内。

三、要重视实验调试能力的培养和 EDA 工具的使用。

由于在设计、计算过程中往往会采用一些工程近似的计算方法,而且选用的电子器件在电气特性上又存在着分散性,所以通过理论计算得到的设计结果还必须经过对实际电路的测试来检验。如果达不到设计要求,可以通过实验调试进行修正。

采用 EDA 手段完成的设计,虽然采用了精确的器件模型和计算方法,但由于通常在计算时

采用的是理想器件模型和标准参数，与实际使用器件的参数同样可能存在差异，所以也需要通过实验测试对设计结果进行检验。如果达不到设计要求，也需要对设计结果进行修正。因此，学习并掌握数字电子电路基本的实验调试方法和实验操作技能，是数字电子技术基础课程教学要求的重要组成部分。

此外，通过做实验也有助于加深对所学理论知识的理解。因此，各高校在开设数字电子技术基础课程时，除了理论教学内容以外，都配有相应的实验教学内容。

在使用大规模集成的可编程逻辑器件设计数字电路时，必须使用 EDA 的设计手段。随着可编程逻辑器件日益广泛地应用，EDA 技术已经成为从事数字系统设计的技术人员必须掌握的一种技术。对于在 PLD 编程过程中需要使用的编程软件和硬件描述语言等设计工具，也只有通过在设计实践中反复使用，才能很好地掌握它们。

第二部分

各章内容的重点、难点释疑和解题方法

第一章　数制和码制

1.1　本章重点内容

一、不同数制之间的转换
二、原码、反码、补码的定义和相互转换的方法
三、二进制数的补码运算

1.2　难点释疑

为什么在数字电路中要采用二进制补码进行两个数值的加、减运算？

一、首先，要回答为什么一定要采用二进制，而不是我们日常生活中熟悉的十进制。

由于一位二进制数只有 **1** 和 **0** 两个数值，可以用一个开关电路输出的高电平和低电平表示，所以用于表示 1 位二进制数值的单元电路结构非常简单，而且对电源电压的稳定度要求也比较低。因为只要能够正确区分出 **1** 和 **0** 两个不同状态，允许高、低电平在一定范围内波动，也就是说有一个允许的“噪声容限”。例如，在采用 5 V 电源电压系列的 CMOS 电路中，以 4.4 V 表示 **1**，以 0.5 V 表示 **0**。若噪声容限为电源电压的 30%，那么只要由于电源电压的波动、电路参数的变化以及外界的干扰导致输出电压的变化不超过 1.5 V，电路都能正常工作。

如果采用十进制，就要求每个单元电路能够给出十个不同电压等级的输出信号，以代表 0~9 十个数值。不难想象，组成这样一个单元电路是很困难的。至今尚未见有人设计出可以实际使用的十进制单元电路。而且，即使有这样的单元电路，在工作过程中无论对电源电压稳定度的要求，还是对电路参数精度和稳定性的要求都是比较高的。例如，同样也采用 5 V 的电源电压，则需要将输出电压划分为 10 个等级，用来表示 0~9。这时每个电压等级之间相差将不到 0.5 V。如果由于电源电压波动、电路参数变化以及外界干扰使输出电平的变化接近 0.5 V，则输出电压所表示的数值就可能发生错误。

鉴于以上原因，目前在几乎所有的数字电路（包括各种数字计算机）中，都采用二进制而不采用十进制。

虽然在有些数字电路的应用中有时也会提及“十进制”运算，其实只不过是用 4 位二进制数当中的十个状态表示十进制数的十个状态而已，本质上仍然是在用二进制数进行运算。

二、为什么二进制算术运算要采用补码运算？

如果两个正数相加，则比较简单，用第四章中所讲的加法器电路就可以完成了。但如果是两个数相减（也就是两个不同符号的数相加）情况就不同了。首先必须比较两个数绝对值的大小，

以确定哪一个作为被减数、哪一个作为减数。然后，让绝对值大的一个数减去绝对值小的一个数。这不仅需要用到比较电路和减法运算电路，而且运算过程也较复杂，影响运算速度。

我们在第二章中已经详细说明了，两个二进制数之间的减法运算可以用它们的补码相加实现。虽然这需要先求取两个数的补码，但产生补码的电路很简单，而且求取补码和两个数相加的操作可以合并为一步完成。

图 1-2-1 是一个采用补码运算的加法运算电路原理图。这个电路是在加法器的基础上附加了一组**异或**门 $G_1 \sim G_5$ 而形成的。它既可以完成加法运算 $M+N$，又可以完成减法运算 $M-N$。

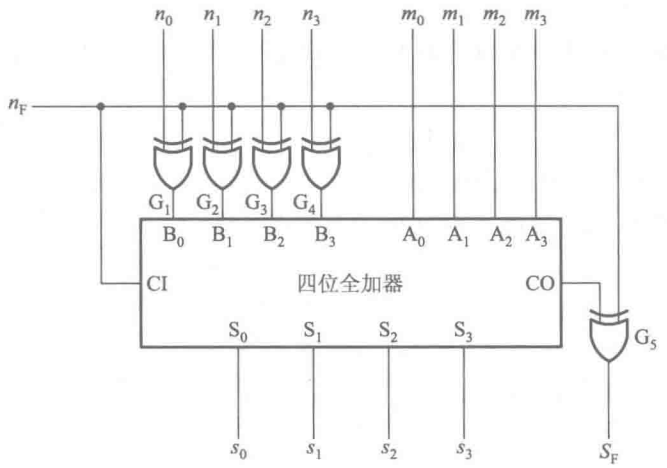


图 1-2-1　采用补码运算的加法运算电路

当两个数正数 $M(m_3m_2m_1m_0)$ 和 $N(n_3n_2n_1n_0)$ 相加时，情况比较简单。因为在正常工作情况下，和数 $S(s_3s_2s_1s_0)$ 不允许超出 **1111**，不会有进位输出，所以 $CO=\mathbf{0}$。同时，N 为正数，它的符号位 $n_F=\mathbf{0}$。因此，最后的进位输出信号 $S_F=\mathbf{0}$，表示 S 为正数。

当 M 为正数、N 为负数时，$n_F=\mathbf{1}$，经过 $G_1 \sim G_4$ 反相后，得到 $n_3n_2n_1n_0$ 的反码，并加到加法器的输入端上。同时，n_F 加到加法器的进位输入端，实现“加 1”运算。这样就实现了 $M-N$ 的运算。在 M 的绝对值大于 N 的绝对值时，$CO=\mathbf{1}$，$S_F=\mathbf{0}$，表示和数为正；在 M 的绝对值小于 N 的绝对值时，$CO=\mathbf{0}$，$S_F=\mathbf{1}$，表示和数为负。

可见，用补码相加进行减法运算不仅运算电路结构简单，而且运算可以一步完成。

1.3　习题类型与解题方法

这一章的习题在内容上有三种主要类型：不同数制间的转换，原码、反码、补码间的转换，二进制数的补码运算。

一、不同数制间的转换

1. 将任意进制数转换为等值的十进制数

解题方法和步骤：

利用公式

$$D=\sum k_i N^i \tag{1-3-1}$$

即可将任何进制的数转换为等值的十进制数。上式中的 N 为以十进制数表示的计数进位的基数，k_i 为第 i 位的系数，它可以是 0～N 中的任何一个整数。若整数部分有 n 位，小数部分有 m 位，则 i 将包含从 $n-1$ 到 0 的所有正整数和从 -1 到 $-m$ 的所有负整数。

对于整数部分为 n 位、小数部分为 m 位的二进制数（$N=2$），则得到等值的十进制数为

$$\begin{aligned} D &= \sum k_i 2^i \\ &= k_{n-1}2^{n-1}+k_{n-2}2^{n-2}+\cdots+k_0 2^0+k_{-1}2^{-1}+k_{-2}2^{-2}+\cdots+k_{-m}2^{-m} \end{aligned} \tag{1-3-2}$$

其中每一位的系数 k_i 可能是 **1** 或 **0**。

对于整数部分为 n 位、小数部分为 m 位的八进制数（$N=8$），则得到等值的十进制数为

$$\begin{aligned} D &= \sum k_i 8^i \\ &= k_{n-1}8^{n-1}+k_{n-2}8^{n-2}+\cdots+k_0 8^0+k_{-1}8^{-1}+\cdots+k_{-m}8^{-m} \end{aligned} \tag{1-3-3}$$

其中每一位的系数 k_i 可能是 0～7 当中的某个数值。

对于整数部分为 n 位、小数部分为 m 位的十六进制数（$N=16$），则得到等值的十进制数为

$$\begin{aligned} D &= \sum k_i 16^i \\ &= k_{n-1}16^{n-1}+k_{n-2}16^{n-2}+\cdots+k_0 16^0+k_{-1}16^{-1}+\cdots+k_{-m}16^{-m} \end{aligned} \tag{1-3-4}$$

式中每一位的系数 k_i 的取值可能是 0～15 当中的某一数值。

【例 1-3-1】 将下面给出的二进制、八进制和十六进制数转换为等值的十进制数。

（1）$(1101.011)_2$；（2）$(36.27)_8$；（3）$(4A.BD)_{16}$。

解：

（1）根据式（1-3-2）得到

$$\begin{aligned} (\mathbf{1101.011})_2 &= 1\times2^3+1\times2^2+0\times2^1+1\times2^0+0\times2^{-1}+1\times2^{-2}+1\times2^{-3} \\ &= 8+4+1+0.25+0.125=(13.375)_{10} \end{aligned}$$

（2）根据式（1-3-3）得到

$$\begin{aligned} (36.27)_8 &= 3\times8^1+6\times8^0+2\times8^{-1}+7\times8^{-2} \\ &= 24+6+0.25+0.11=(30.36)_{10} \end{aligned}$$

（3）根据式（1-3-4）得到

$$\begin{aligned} (4A.BD)_{16} &= 4\times16^1+10\times16^0+11\times16^{-1}+13\times16^{-2} \\ &= 64+10+0.69+0.05=(74.74)_{10} \end{aligned}$$

2. 将十进制数转换为等值的二进制数

解题方法和步骤：

若十进制数包含整数和小数，则整数部分和小数部分需按不同方法分别进行转换。

（1）整数部分的转换

将十进制数除以 2，所得余数即二进制数的 k_0；

将上面得到的商再除以 2，所得余数即二进制数的 k_1；

将上面得到的商再除以 2，所得余数即二进制数的 k_2；

依此类推，直到所得商等于 0 为止，就得到了等值的二进制数。

（2）小数部分的转换

将十进制数的小数乘以 2，所得乘积的整数部分即 k_{-1}；

将上面得到的乘积的小数部分再乘以 2，所得乘积的整数部分即 k_{-2}；

将上面得到的乘积的小数部分再乘以 2，所得乘积的整数部分即 k_{-3}；

依此类推，直到求出要求的位数为止，就得到了等值的二进制数。

【例 1-3-2】 将十进制数$(273.69)_{10}$转换为等值的二进制数。小数部分要求保留 4 位有效数字。

解：首先进行整数部分的转换

$$
\begin{array}{r|l}
2 & 273 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 136 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\
2 & 68 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_2 \\
2 & 34 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_3 \\
2 & 17 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\
2 & 8 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_5 \\
2 & 4 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_6 \\
2 & 2 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_7 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_8 \\
 & 0
\end{array}
$$

故整数部分等值的二进制数为$(\mathbf{100010001})_2$。

其次进行小数部分的转换

$$
\begin{array}{rl}
 & 0.69 \\
\times & 2 \\
\hline
 & 1.38 \quad \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-1} \\
 & 0.38 \\
\times & 2 \\
\hline
 & 0.76 \quad \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-2} \\
 & 0.76 \\
\times & 2 \\
\hline
 & 1.52 \quad \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-3} \\
 & 0.52 \\
\times & 2 \\
\hline
 & 1.04 \quad \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-4}
\end{array}
$$

于是得到小数部分的转换结果为$(\mathbf{0.1011})_2$。

总的转换结果为$(273.69)_{10} = (\mathbf{100010001.1011})_2$。

3. 二进制与八进制和十六进制间的互相转换

解题方法和步骤：

在将二进制数转换为八进制数时，首先将二进制数的整数部分从最低位向高位每 3 位划分为一组，同时将二进制数的小数部分从最高位向低位每 3 位划分为一组，然后将每一组代之以等值的八进制数，就得到了所求的转换结果。

在将二进制数转换为十六进制数时，首先将二进制数的整数部分从最低位向高位每4位划分为一组，同时将二进制数的小数部分从最高位向低位每4位划分为一组，然后将每一组代之以等值的十六进制数，就得到了所求的转换结果。

相反地，在将八进制数转换为二进制数时，只需将八进制数的每一位代之以等值的3位二进制数并按原来的顺序排列起来就行了。

同理，在将十六进制数转换为二进制数时，只需将十六进制数的每一位代之以等值的4位二进制数并按原来的顺序排列起来就行了。

【例1-3-3】 试将二进制数$(\mathbf{10111001011.0110111})_2$转换为等值的八进制和十六进制数。

解：将给定的二进制数整数部分从右到左每3位分成一组、小数部分从左到右每3位分成一组，然后将每组用等值的八进制数代替，得到等值的八进制数为

$$\begin{array}{cccccccccc} (& \mathbf{10} & \mathbf{111} & \mathbf{001} & \mathbf{011}. & \mathbf{011} & \mathbf{011} & \mathbf{1} &)_2 \\ & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \\ (& 2 & 7 & 1 & 3. & 3 & 3 & 4 &)_8 \end{array}$$

整数部分最左边一组的**10**应视为**010**，小数部分最右边的一组**1**应视为**100**，即不够3位时以**0**补足3位。

将二进制数的整数部分自右向左每4位分成一组，同时将小数部分自左向右每4位分成一组，然后将每组代之以等值的十六进制数，则得到

$$\begin{array}{ccccccc} (& \mathbf{101} & \mathbf{1100} & \mathbf{1011}. & \mathbf{0110} & \mathbf{111} &)_2 \\ & \downarrow & \downarrow & \downarrow & \downarrow & \downarrow & \\ (& 5 & C & B. & 6 & E &)_{16} \end{array}$$

整数部分最左边一组的**101**应视为**0101**，小数部分最右边一组的**111**应视为**1110**，即不够4位时以**0**补足4位。

4. 将十进制数转换为等值的八进制和十六进制数

转换方法和步骤：

（1）首先将十进制数转换为等值的二进制数。

（2）再将得到的二进制数转换为等值的八进制和十六进制数。

二、原码、反码、补码之间的转换

在数字电路中是用加在二进制数绝对值前面的符号位表示正、负数的。习惯上用符号位的**0**表示正数，用符号位的**1**表示负数。用这种表示方法得到的数码叫做原码。

同时还规定，正数的反码和补码与原码相同，所以正数不存在需要转换的问题。

1. 从负数的原码求反码和补码

解题方法和步骤：

（1）保持符号位的**1**不变，将数字部分的每一位求反（**1**改为**0**，**0**改为**1**），就得到了反码。

（2）在反码的末位上加**1**，即得到补码。

2. 从负数的补码求原码

因为“补码的补码等于原码”，所以将补码再求补，得到的就是原码。

【例 1-3-4】 写出二进制数+1010 和-0101 的原码、反码和补码。

解： +1010 的原码应写成 01010，反码和补码与原码相同，也是 01010。

-0101 的原码是 10101，反码是 11010，补码是 11011。

三、二进制数的补码运算

在数字计算机中，为了简化运算器的电路结构，是用补码相加完成两数相减（不同符号两个数的代数和）运算的。

解题方法和步骤：

（1）将两个带符号的加数写成补码形式。

（2）将这两个补码按二进制加法相加，即得补码形式的和。

两数的符号位和来自数值部分的进位相加，所得结果就是和的符号位。

这里需要注意两点。第一，补码相加的和仍为补码，当符号位为 1 时，和为负数，这时的数值部分不是这个数的绝对值。第二，将两数写成补码时，数值部分所取的位数必须足以表示和的最大绝对值，否则计算结果将出现错误。

【例 1-3-5】 试用补码运算的方法计算下面各式

（1）1101+0101；（2）1110-0111；（3）0111-1110；（4）-1011-1010。

解：

（1）因两数相加之和的绝对值为 10010，所以补码的数值部分至少应取 5 位。加上 1 位符号位，补码一共为 6 位。于是得到两数的补码相加结果

$$\begin{array}{r} 001101 \\ +\ 000101 \\ \hline 010010 \end{array}$$

和的符号位仍为 0，表示和为正数$(+18)_{10}$。

（2）因两数符号不同，和的绝对值一定小于加数当中绝对值较大一个的绝对值，所以补码的数值部分不需要增加位数。由此可得两数的补码相加结果

$$\begin{array}{r} 01110 \\ +\ 11001 \\ \hline 00111 \end{array}$$

和的符号位为 0，表示和为正数$(+7)_{10}$。

（3）同上，因两数异号，所以补码的数值部分取 4 位即可。两数的补码相加结果为

$$\begin{array}{r} 00111 \\ +\ 10010 \\ \hline 11001 \end{array}$$

和的符号位为 1，表示和为负数。

如果将和的补码再求补，则得到和的原码为 10111$(-7)_{10}$。

（4）因两数绝对值之和为 5 位二进制数 10101，所以补码的数值部分至少需要用 5 位表示。加上一位符号位以后，补码一共为 6 位。由此可得到两数原码和补码为

原码	补码
101011	**110101**
101010	**110110**

将上面的两个补码相加后得到

$$\begin{array}{r} \mathbf{110101} \\ +\ \mathbf{110110} \\ \hline \mathbf{101011} \end{array}$$

和的符号位为**1**，表示和为负。

如果将和的补码再求补码，就得到和的原码为**110101**$(-21)_{10}$。

第二章　逻辑代数基础

2.1　本章重点内容

一、逻辑代数的基本公式、常用公式和定理。

二、逻辑函数的描述方法(真值表、逻辑式、逻辑图、波形图、卡诺图)及相互转换的方法。

三、最小项的定义及其性质,逻辑函数的最小项之和表示法。

四、逻辑函数的化简方法(公式化简法和卡诺图化简法)。

五、无关项在化简逻辑函数中的应用。

2.2　难点释疑

什么是约束项、任意项和无关项?

首先需要强调说明的是约束项和任意项是两个不同的概念。然而,在有些教材和书籍中没有将这两个概念明确地加以区分。

我们在分析一个逻辑函数时经常会遇到这样一类情况,就是输入逻辑变量的某些取值始终不会出现。因此,在这些取值下等于**1**的那些最小项,也将始终为**0**。这些取值始终为**0**的最小项,就叫做该函数的约束项。

在《数字电子技术基础(第六版)》第2.7节中,我们是通过图2-2-1的实例来说明约束项的概念的。该例要求设计一个逻辑电路,用水箱中水位高度的检测信号A、B、C控制两个水泵M_L和M_S的启、停工作状态(见图2-2-1)。如果用Y_L和Y_S分别表示两个水泵的工作状态,则Y_L和Y_S为A、B、C三个变量的逻辑函数。假定水位高于A、B、C中的任何一个检测点时给出的检测信号为**1**,水位低于任何一个检测点时给出的检测信号为**0**,则水箱工作过程中ABC的取值只可能出现**100**、**110**、**111**和**000**这四种状态,而不可能出现**001**、**011**、**101**和**010**这四种状态,因为水位永远不会高于B或C而同时又低于A。因此,与ABC的取值**001**、**011**、**101**和**010**对应的四个最小项$A'B'C$、$A'BC$、$AB'C$和$A'BC'$将永远是**0**,这四个最小项就是Y_L和Y_S的约束项。

既然在逻辑函数的工作过程中约束项的值永远是**0**,那么我们就可以在Y_L和Y_S的逻辑函数式中加上这些约束项,也可以不加上这些约束项,而不影响Y_L和Y_S的取值。也就是说Y_L和Y_S的取值与是否加上了约束项没有关系,因此约束项又是逻辑函数式中的无关项。

在分析和设计逻辑电路时,还可能遇到另外一种情况,就是在输入变量的某些取值下,无论逻辑函数值等于**1**还是**0**,对电路的逻辑功能都没有影响。在这些变量取值下等于**1**的那些最小项,就叫做这个逻辑函数的任意项。

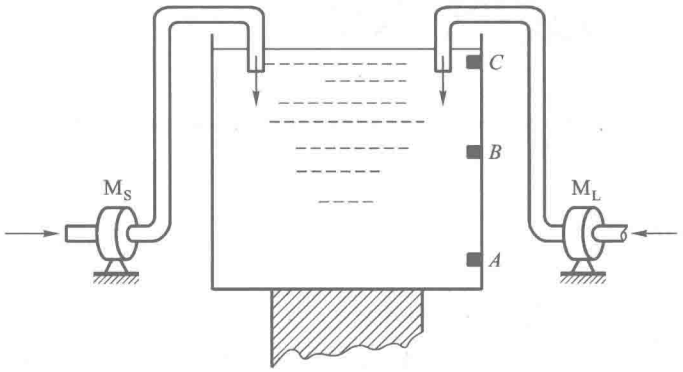
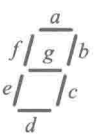


图 2-2-1　用于说明约束项概念的实例

例如，设计一个拒绝伪码的七段显示译码器，其真值表如表 2-2-1。所谓拒绝伪码，系指在输入为 **1010~1111** 时输出无任何字形显示，即 $a\sim g$ 输出全都等于 **0**。

表 2-2-1　七段显示译码器的真值表

输　入					输　出						
数字	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	0	0	0	0	0	0	0
11	1	0	1	1	0	0	0	0	0	0	0
12	1	1	0	0	0	0	0	0	0	0	0
13	1	1	0	1	0	0	0	0	0	0	0
14	1	1	1	0	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0



由表 2-2-1 可以看出，这个译码器是一个有 4 个输入变量和 7 个输出函数的组合逻辑电路。如果我们采用图 2-2-2 的电路结构，在 $a\sim g$ 的输出端增加一级缓冲器，同时还在缓冲器的输入增加一个控制信号 $Y=(DC+DB)'$，那么当 $DCBA=\mathbf{1010\sim1111}$ 时，不论 $a\sim g$ 是 **1** 还是 **0**，$a_o\sim g_o$ 肯定等于 **0**，所以 $a_o\sim g_o$ 仍然符合表 2-2-1 的要求。

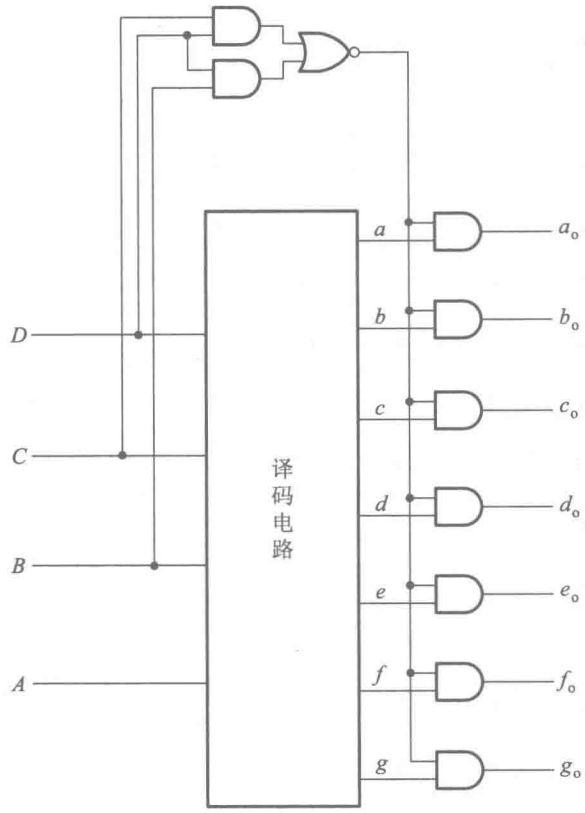


图 2-2-2　拒绝伪码的七段显示译码器

这就是说，当 $DCBA$ 取值为 **1010～1111** 时，$a\sim g$ 每个函数输出的取值是 **1** 是 **0** 都可以，不影响最后的输出 $a_o\sim g_o$。因此，在 $DCBA$ 取值为 **1010～1111** 时，其值为 **1** 的六个最小项 $DC'BA'$、$DC'BA$、$DCB'A'$、$DCB'A$、$DCBA'$和 $DCBA$ 是函数 $a\sim g$ 的任意项。在化简 $a\sim g$ 的逻辑函数式时，既可以在式中写入这些任意项，也可以不写进这些任意项，所以任意项也是逻辑函数式中的无关项。这样我们就可以把表 2-2-1 改写为表 2-2-2 的形式了。表中的×仍然表示无关项。

虽然任意项和约束项都是逻辑函数式中的无关项，但二者是有区别的。因为约束项的取值永远是 **0**，所以在逻辑函数式中无论写入约束项还是去掉约束项，都不会改变函数的输出值。而任意项则不同，当我们在逻辑函数式中写入某个任意项之后，则输入变量的取值使这个任意项的值为 **1** 时，函数的输出值也为 **1**；如果从逻辑函数式中将这个任意项拿掉，则输入变量取值使这个任意项的值为 **1** 时，函数的输出值等于 **0**。

表 2-2-2 修改后的表 2-2-1

输入					输出						
数字	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	×	×	×	×	×	×	×
11	1	0	1	1	×	×	×	×	×	×	×
12	1	1	0	0	×	×	×	×	×	×	×
13	1	1	0	1	×	×	×	×	×	×	×
14	1	1	1	0	×	×	×	×	×	×	×
15	1	1	1	1	×	×	×	×	×	×	×

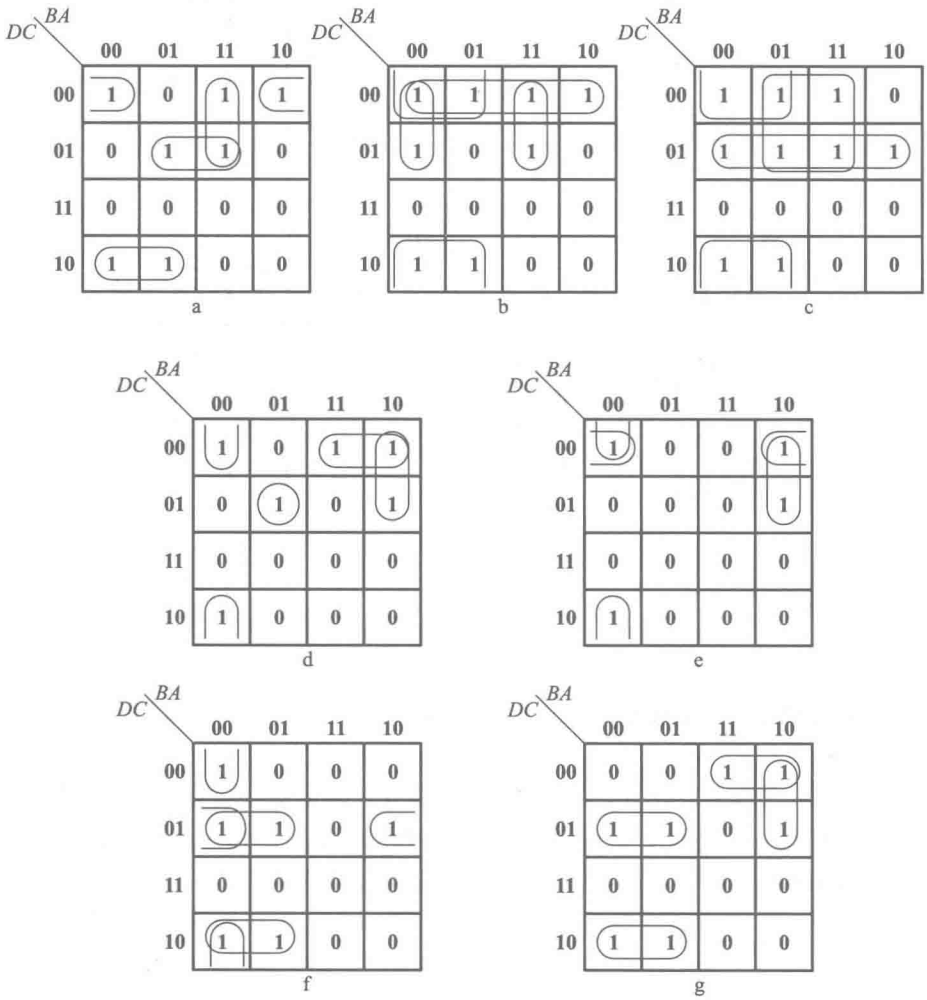
在化简逻辑函数的过程中，合理地使用这些无关项通常都可以得到更简单的化简结果。图 2-2-3(a)是根据没有无关项的表 2-2-1 画出的卡诺图。利用这一组卡诺图得到的化简结果为

$$\begin{cases} a = D'C'A' + D'CA + D'BA + DC'B' \\ b = D'B'A' + D'BA + D'C' + C'B' \\ c = D'C + D'A + C'B' \\ d = D'CB'A + C'B'A' + D'C'B + D'BA' \\ e = D'C'A' + D'BA' + C'B'A' \\ f = D'CB' + D'CA' + DC'B' + C'B'A' \\ g = D'CB' + DC'B' + D'C'B + D'BA' \end{cases} \tag{2-2-1}$$

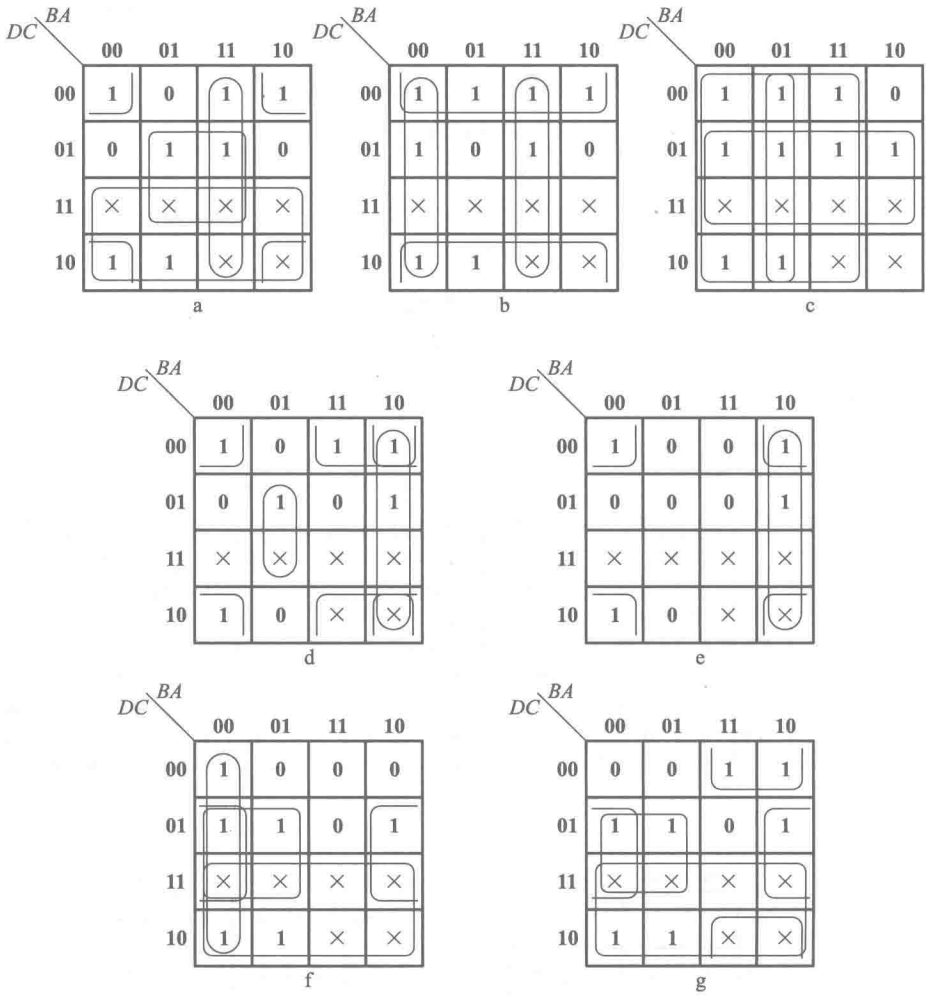
如果考虑了无关项的存在，则根据表 2-2-2 画出的卡诺图如图 2-2-3(b)所示。利用这一组卡诺图化简得到的结果为

$$\begin{cases} a = D + C'A' + CA + BA \\ b = C' + BA + B'A' \\ c = C + A + B' \\ d = CB'A + C'A' + C'B + BA' \\ e = C'A' + BA' \\ f = D + CA' + CB' + B'A' \\ g = D + CB' + C'B + CA' \end{cases} \tag{2-2-2}$$

很显然，式(2-2-2)比式(2-2-1)简单得多。按照式(2-2-2)接成的逻辑电路也比按照式(2-2-1)接成的逻辑电路简单。



(a)



(b)

图 2-2-3

2.3　习题类型与解题方法

这一章的习题从内容上可以分为四种类型：逻辑等式的证明、逻辑函数不同描述方法之间的转换、逻辑函数形式的变换和逻辑函数的化简。下面分别总结、归纳一下这几种类型习题的解题方法并给出相应的例解。

一、逻辑等式的证明

解题方法和步骤：

方法一，分别列出等式两边逻辑式的真值表，若真值表完全相同，则等式成立。

方法二，若能利用逻辑代数的公式和定理将等式两边化为完全相同的形式，则等式成立。

方法三，分别画出等式两边逻辑式的卡诺图，若卡诺图相同，则等式成立。

【例 2-3-1】　试用列真值表的方法证明下面的等式

$$A\oplus B'=A'\oplus B$$

解：分别列出 $A\oplus B'$ 和 $A'\oplus B$ 的真值表，如表 2-3-1。可见，$A\oplus B'$ 与 $A'\oplus B$ 的真值表完全相同，故等式成立。

表 2-3-1　例 2-3-1 的真值表

A	B	A'	B'	$A\oplus B'$	$A'\oplus B$
0	0	1	1	1	1
0	1	1	0	0	0
1	0	0	1	0	0
1	1	0	0	1	1

【例 2-3-2】　试用公式变换的方法证明下面的等式

$$(A\oplus B)+A=(A\oplus B)+B$$

解：左式　$(A\oplus B)+A=AB'+A'B+A$

$=A'B+A$　　（根据 $A+AB=A$）

$=A+B$　　（根据 $A+A'B=A+B$）

右式　$(A\oplus B)+B=AB'+A'B+B$

$=AB'+B$　　（根据 $A+AB=A$）

$=A+B$　　（根据 $A+A'B=A+B$）

故等式成立。

【例 2-3-3】　试用卡诺图证明下面的等式

$$AB'+A'C+BC'=AC'+B'C+A'B$$

解：画出等式两边对应的卡诺图，均得到图 2-3-1 的结果，故等式成立。

从以上的三个例子还可以看出，列真值表的方法一般适合于证明变量数较少（例如不多于四个）、逻辑式也比较简单的等式。变量数较多、函数式又比较复杂的情况下，一般适于使用公式变换的方法去证明。画卡诺图证明的方法通常用在变量数较少（不多于四个），而且逻辑式是**与或**形式的情况。

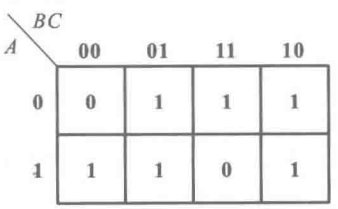


图 2-3-1　例 2-3-3 的卡诺图

二、逻辑函数不同描述方法之间的转换

用于描述逻辑函数的方法有逻辑真值表（简称真值表）、逻辑函数式（简称逻辑式）、逻辑图、卡诺图、波形图和硬件描述语言（简称 HDL）等几种。由于每一种描述方法各有其特点和应用场合，所以经常要求将用某一种描述方法给定的逻辑函数改用另外的描述方法来描述。尽管目前已经有计算机软件能自动完成这些转换，但为了理解和掌握这些转换方法的基本原理，通过手工的方法去解这一类题目仍然是必不可少的。

1. 真值表⇒逻辑式

解题方法和步骤：

（1）首先从真值表中找出所有使函数值等于 **1** 的那些输入变量取值组合。

（2）每一组使输出为 **1** 的输入变量取值下，必然有一个最小项的值等于 **1**。取值为 **1** 的变量在这个最小项中写为原变量，取值为 **0** 的变量在这个最小项中写为反变量。

（3）将所有的这些最小项相加，就得到了所求的逻辑函数式。

【例 2-3-4】 给出逻辑函数的真值表如表 2-3-2，试写出这个逻辑函数的逻辑式。

表 2-3-2 例 2-3-4 的逻辑真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	$1\rightarrow A'B'CD'=1$
0	0	1	1	$1\rightarrow A'B'CD=1$
0	1	0	0	$1\rightarrow A'BC'D'=1$
0	1	0	1	0
0	1	1	0	$1\rightarrow A'BCD'=1$
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	$1\rightarrow AB'CD'=1$
1	0	1	1	$1\rightarrow AB'CD=1$
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

解：由真值表可见，当输入变量 $ABCD$ 的取值为 **0010**、**0011**、**0100**、**0110**、**1010** 和 **1011** 之中的任何一种时，Y 都等于 **1**。这六种输入变量取值的每一种都使一个对应的最小项等于 **1**，所以输出 Y 就等于这些最小项之和。例如，当 $ABCD$ 取值为 **0010** 时，最小项 $A'B'CD'=1$，所以 Y 的函数式中应包含这一项。而当 $ABCD$ 取值为 **0011** 时，最小项 $A'B'CD=1$，所以 Y 的函数式中也应包含这一项。依此类推，于是得到

$$Y=A'B'CD'+A'B'CD+A'BC'D'+A'BCD'+AB'CD'+AB'CD$$

2. 逻辑式⇒逻辑图

解题方法和步骤：

（1）如果没有附加限制条件，则只要用逻辑图形符号取代逻辑函数式中的逻辑运算符号，将这些图形符号按输入到输出的顺序连起来，就得到所求的逻辑图了。

（2）如果对使用的逻辑图形符号有限制，则往往还需要将函数式变换为适于使用限定图形

符号的形式，然后再用图形符号代替逻辑运算符号。例如，规定全部使用**与非**图形符号画出逻辑图，那么就必须先将函数式化为全部由**与非**运算组成的形式。这个问题我们在后面还会讲到。

【例 2-3-5】　给定逻辑函数式为

$$Y=A'BD'+A'CD'+B'C$$

试画出对应的逻辑图。

解：由于本题对逻辑图中可以使用的图形符号种类没有限制，所以直接用**与**、**或**、**非**逻辑图形符号取代式中的逻辑运算符号就行了，于是得到如图 2-3-2 所示的逻辑图。

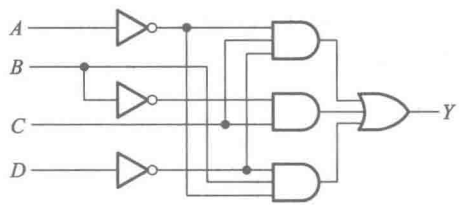


图 2-3-2　例 2-3-5 的逻辑图

3. 逻辑式⇒卡诺图

解题方法和步骤：

（1）将逻辑函数式展开为最小项之和的形式。

（2）画出最小项的卡诺图，在函数式中包含的最小项对应的位置上填入 **1**，其余位置上填入 **0**，就得到了表示该逻辑函数的卡诺图。如果函数式中包含无关项，则在相应位置上填入“×”，表示填入 **0** 或 **1** 均可。

【例 2-3-6】　给定逻辑函数式为

$$Y=A'BC'D+B'C'D'+A'C$$

试画出表示该逻辑函数的卡诺图。

解：首先将 Y 化为最小项之和形式。式中第一项是最小项，第二、三项不是最小项。第二项缺少 A 或 A' 因子，第三项缺少 B 或 B' 和 D 或 D' 因子。利用公式 $A+A'=1$，将所缺的因子补齐，于是得到

$$\begin{aligned}Y&=A'BC'D+B'C'D'(A+A')+A'C(B+B')(D+D')\\&=A'BC'D+A'B'C'D'+AB'C'D'+A'B'CD'+A'B'CD+A'BCD'+A'BCD\\&=m_0+m_2+m_3+m_5+m_6+m_7+m_8\end{aligned}$$

画出四变量的卡诺图，在其中 m_0、m_2、m_3、m_5、m_6、m_7 和 m_8 的位置填入 **1**，其余位置填入 **0**，即得到如图 2-3-3 所示的卡诺图。

在解这类题目的过程中，完全可以跳过将函数展开为最小项之和的这一步，根据给出的逻辑式直接填写卡诺图中的 **1** 和 **0**。例如 $B'C'D'$ 一项包含了所有含 B'、C'、D' 因子的最小项，而 $A'C$ 则包含了所有含有 A' 和 C 两个因子的最小项，这样就可以直接填写出函数的卡诺图了。

【例 2-3-7】　已知逻辑函数式为

$$Y=AB+A'D'+AB'C'$$

试画出表示 Y 的卡诺图。

解：因为 AB 这一项包含了所有含 AB 的最小项，所以可以直接在四变量卡诺图上标为 $A=1$、$B=1$ 的最小项（m_{12}、m_{13}、m_{14}、m_{15}）位置上填入 **1**。同理，$A'D'$ 一项包含了所有含有 $A'D'$ 的最小项，所以在对应 $A=0$、$D=0$ 的最小项（m_0、m_2、m_4、m_6）位置上填入 **1**。$AB'C'$ 包含了所有含 $AB'C'$ 的最小项，所以在对应 $A=1$、$B=0$、$C=0$ 的最小项

AB \ CD	00	01	11	10
00	1 (0)	0 (1)	1 (3)	1 (2)
01	0 (4)	1 (5)	1 (7)	1 (6)
11	0 (12)	0 (13)	0 (15)	0 (14)
10	1 (8)	0 (9)	0 (11)	0 (10)

图 2-3-3　例 2-3-6 的卡诺图

(m_8、m_9)位置上填入 **1**。这样就直接得到了如图2-3-4所示的卡诺图,而不必事先将 Y 化成最小项之和的表达式。

4. 波形图⇒真值表

解题方法和步骤:

(1) 在周期性重复的波形图中,将每个时间段内输入变量和输出的取值对应列表,即可得到函数的真值表。

(2) 若波形图中有些输入变量状态组合始终没有出现,则这些输入变量组合下等于 **1** 的最小项为函数的约束项。

【例 2-3-8】 由逻辑分析仪给出了某逻辑电路输入与输出的波形图如图2-3-5所示,试列出描述该电路逻辑功能的真值表。

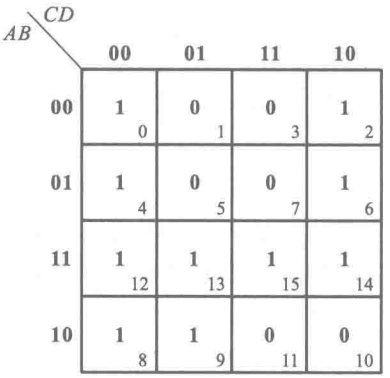


图 2-3-4　例 2-3-7 的卡诺图

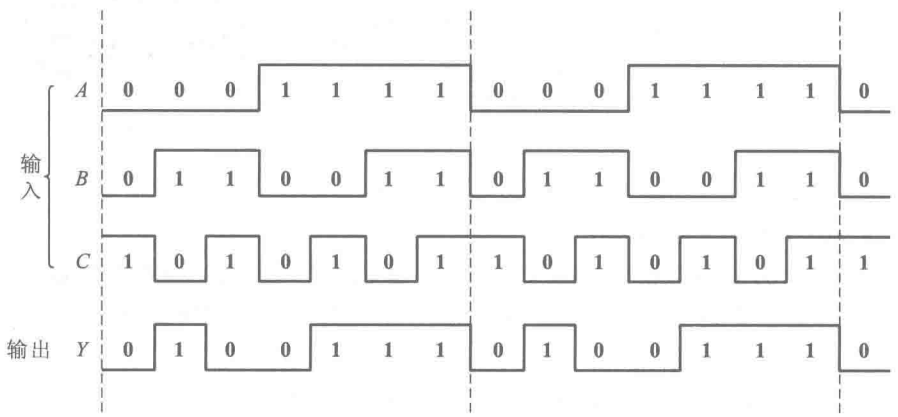


图 2-3-5　例 2-3-8 的函数波形图

解:由波形图上可以看出,从 ABC 的 **001** 状态至 **111** 状态为一个循环周期(也可以从任何一个其他状态算起,七个输入状态为一个循环周期),将 ABC 的七个不同的状态组合与 Y 的对应状态列表,即得表 2-3-3 的真值表。由于波形图中始终没有出现 $ABC=$ **000** 的状态,所以最小项 $A'B'C'$ 始终等于 **0**,是一个约束项,在真值表中以"×"表示。Y 的函数式中可以包含 $A'B'C'$ 这个最小项,也可以不包含这一项。

表 2-3-3　例 2-3-8 的逻辑真值表

A	B	C	Y
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1
0	0	0	×

5. 逻辑式⇒真值表

解题方法和步骤：

将所有的输入变量取值组合逐一代入逻辑式，算出输出的函数值，然后将输入与输出的取值对应列成表格，得到的就是真值表。

【例 2-3-9】 已知逻辑函数式为

$$Y=ABC+ABD+ACD+BCD$$

试列出此函数的真值表。

解：将 $ABCD$ 四个变量全部 16 种取值的组合（**0000**～**1111**）逐个代入 Y 的函数式中，求出对应的 Y 值，然后列表，就得到了由表 2-3-4 所示的真值表。由真值表可以看出，这是一个代码判断函数。当输入代码中含有 3 个或 3 个以上的 **1** 时，$Y=\mathbf{1}$；否则 $Y=\mathbf{0}$。

表 2-3-4　例 2-3-9 的真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

6. 逻辑图⇒逻辑式

解题方法和步骤：

通常采用的方法是从电路的输入端到输出端逐级写出逻辑图形符号所表示的逻辑运算式，从而得到所求的逻辑式。

【例 2-3-10】 写出图 2-3-6 所示电路输出 Y 的逻辑函数式。

解：从输入端开始，逐级写出图形符号代表的逻辑运算式，如图 2-3-6 中所示，最后得到

$$Y=AB+(A'(B+C))'+B(B+C)$$

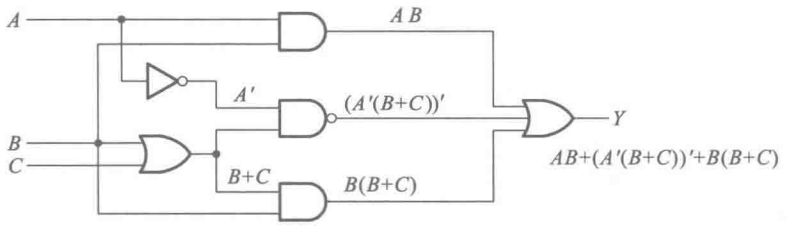


图 2-3-6 例 2-3-10 的逻辑图

7. 其他的互相转换

利用上面几种基本的转换方法,可以实现任何两种表示方法之间的转换。例如我们要找出给定逻辑图的真值表,就可以先写出等效的逻辑式,再从逻辑式列出真值表。又比如我们需写出给定波形图所代表的逻辑式,这时可以先列出与波形图对应的真值表,然后从真值表写出逻辑式。

三、逻辑函数式的变换

在设计逻辑电路的过程中,往往首先得到的是逻辑函数的**与或**形式(也称为积之和形式)。如果规定全部使用**与非**门组成这个逻辑电路,这时就必须把**与或**形式的逻辑函数式变换成全部由**与非**运算组合成的形式(也称为**与非-与非**形式)。又如,在使用 ROM 实现一个组合逻辑函数时,则要求将逻辑函数式化为最小项之和的形式,等等。

1. **与或**形式⇒**与非-与非**形式

解题方法和步骤:

利用摩根定理将整个**与或**式两次求反,即可将**与或**形式化为**与非-与非**形式。

【例 2-3-11】 将下面的逻辑函数化为**与非-与非**形式

$$Y=AB'+A'BD+CD'$$

解:应用摩根定理将上式两次求反,得到

$$\begin{aligned} Y &= (Y')' = ((AB'+A'BD+CD')')' \\ &= ((AB')'(A'BD)'(CD')')' \end{aligned}$$

这样就把函数式化成了全部由**与非**运算组成的形式。

2. **与或**形式⇒**与或非**形式

解题方法和步骤:

根据逻辑代数的基本公式和代入定理可知,任何一个逻辑函数都遵守公式 $Y+Y'=1$。又知所有最小项之和恒等于 **1**,所以若将不包含在 Y 式中的所有最小项相加,得到的就是 Y'。将这些最小项之和再求反,也得到 Y。因此,将不包含在函数式中的那些最小项相加,然后求反,得到的就是函数式的**与或非**形式。

如果画出函数的卡诺图,则只需将图中填入 **0** 的那些最小项相加,再求反,就可得到**与或非**形式的逻辑函数式了。

【例 2-3-12】 将下面的逻辑函数式化为**与或非**形式

$$Y=A'C'D'+A'BD+AB'+B'CD'$$

解:首先画出 Y 的卡诺图,如图 2-3-7 所示。

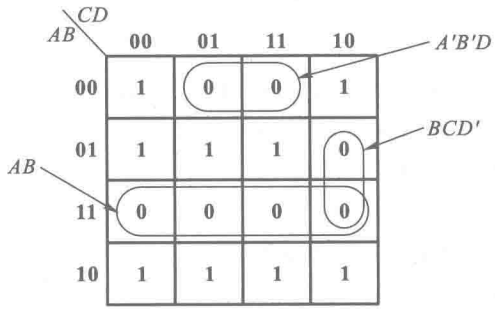


图 2-3-7　例 2-3-12 的卡诺图

将卡诺图中的 **0** 合并，然后求反，得到

$$Y=(A'B'D+AB+BCD')'$$

3. **与或式⇒或与式**

解题方法和步骤：

方法一，首先用上面所讲的方法将**与或**形式的逻辑函数转换成**与或非**形式。然后，利用摩根定理就可以将**与或非**形式的逻辑式转换成**或与**形式的逻辑式了。

方法二，反复运用公式 $A+BC=(A+B)(A+C)$ 进行运算，也可以将**与或**形式的逻辑函数式变换为**或与**形式的逻辑函数式。

【例 2-3-13】　将下面给出的逻辑函数转换为**或与**形式的逻辑式

$$Y=AC+A'B'+A'C'$$

解：采用第一种方法时，需首先画出 Y 的卡诺图，如图 2-3-8 所示。

将图中的 **0** 合并，然后求反，得到

$$Y=(A'BC+AC')'$$

再利用摩根定理将上式展开

$$\begin{aligned}Y&=(A'BC)'\cdot(AC')'\\&=(A+B'+C')(A'+C)\end{aligned}$$

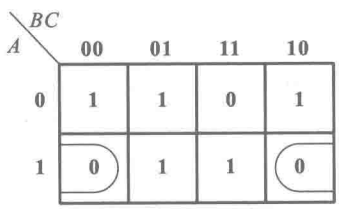


图 2-3-8　例 2-3-13 的卡诺图

也可以采用第二种方法，直接进行公式运算

$$\begin{aligned}Y&=AC+A'B'+A'C'\\&=(A+A'B'+A'C')(C+A'B'+A'C')\\&=(A+B'+C')(C+A'B'+A')\\&=(A+B'+C')(A'+C)\end{aligned}$$

也得到同样的变换结果。

这里需要提醒一点，用第二种公式推演方法得到的**或与**式有时不是最简的，还能进一步化简；而用第一种方法，在合并卡诺图上的 **0** 时已经进行了合并化简，所以得到的**或与**表达式应当是最简的了。

4. **与或式⇒或非-或非式**

解题方法和步骤：

（1）首先按前述方法将**与或**式转换为**与或非**形式。

(2) 用摩根定理将**与或非**式中的每个乘积项化为**或非**的形式,即可得到**或非-或非**形式的函数式了。

【例 2-3-14】 将下面的逻辑函数式化为**或非-或非**形式

$$Y=A'D'+A'B'C+AC'D+CD'$$

解:画出 Y 的卡诺图,如图 2-3-9 所示。

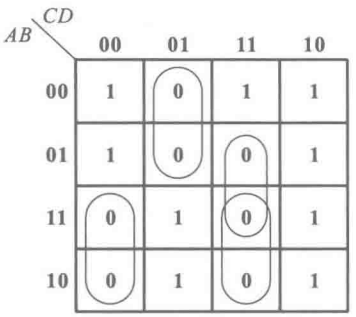


图 2-3-9 例 2-3-14 的卡诺图

将图中的 **0** 合并后得到

$$\begin{aligned}Y&=(AC'D'+A'C'D+ACD+BCD)'\\&=((A'+C+D)'+(A+C+D')'+\\&\quad(A'+C'+D')'+(B'+C'+D')')'\end{aligned}$$

5. 将逻辑函数式化为最小项之和的形式

解题方法和步骤:

(1) 首先利用逻辑代数的公式和定理将函数式化成**与或**形式。

(2) 利用公式 $A+A'=1$ 将每个乘积项中缺少的因子补齐。例如某个乘积项中缺少因子 B,则应在该项上乘以 $(B+B')$,然后拆成两项,每项中便分别增加了 B 或 B' 因子。

【例 2-3-15】 试将下面的逻辑函数式化为最小项之和的形式

$$Y=((AB')'+C)'+AD$$

解:首先将上式化为**与或**形式

$$Y=(AB')C'+AD=AB'C'+AD$$

然后在第一项上乘以 $(D+D')$,在第二项上乘以 $(B+B')$,得到

$$\begin{aligned}Y&=AB'C'(D+D')+AD(B+B')\\&=AB'C'D'+AB'C'D+ABD+AB'D\end{aligned}$$

再将上式的最后两项上各乘以 $(C+C')$,最后得到

$$\begin{aligned}Y&=AB'C'D'+AB'C'D+AB'D(C+C')+ABD(C+C')\\&=AB'C'D'+AB'C'D+AB'CD+ABCD+ABC'D\\&=m_8+m_9+m_{11}+m_{13}+m_{15}\end{aligned}$$

6. 将逻辑函数式化为最大项之积的形式

解题方法和步骤:

(1) 若给出的函数式已经是**或与**形式,则可以利用公式 $AA'=0$ 将每个括号内缺少的因子补齐。例如 $(A+C')$ 中缺少 B 或 B',这时就可以在括号里加上 BB',然后再利用公式 $A+BC=(A+B)(A+C)$ 将它拆开,就得到了两个最大项的乘积

$$(A+C'+BB')=(A+B'+C')(A+B+C')$$

(2) 若给出的函数式是**与或**形式,则应当先利用上面介绍的方法将它变换为**或与**形式,然后再按(1)中所说的方法去做。

【例 2-3-16】 将下面的逻辑函数式化为最大项之积的形式

$$Y=(B+C')(A+B'+C)$$

解:在左边的一个括号内加入 AA',然后利用公式 $A+BC=(A+B)(A+C)$ 将它拆开成两个最大项,得到

$$\begin{aligned}Y&=(B+C'+AA')(A+B'+C)\\&=(A'+B+C')(A+B+C')(A+B'+C)\\&=M_1M_2M_5\end{aligned}$$

【例 2-3-17】 将下面的逻辑函数式化为最大项之积的形式

$$Y=A'BD+AB'C'+A'C+AD'+BC+B'D'$$

解：首先将上式化成最小项之和的形式

$$Y(A,B,C,D)=\sum m(0,2,3,5,6,7,8,9,10,12,14,15)$$

而 Y' 应当等于不包含在上式中的那些最小项之和，即

$$Y'(A,B,C,D)=\sum m(1,4,11,13)$$

因此

$$\begin{aligned}Y(A,B,C,D)&=(Y')'=(m_1+m_4+m_{11}+m_{13})'\\&=m_1'm_4'm_{11}'m_{13}'\end{aligned}$$

根据 $m_i'=M_i$，于是得到

$$\begin{aligned}Y(A,B,C,D)&=M_1M_4M_{11}M_{13}\\&=(A+B+C+D')(A+B'+C+D)\\&\quad(A'+B+C'+D')(A'+B'+C+D')\end{aligned}$$

四、逻辑函数的化简

1. 公式化简法

解题方法和步骤：

公式化简法就是运用逻辑代数的公式和定理进行逻辑运算，以消去逻辑函数式中多余的乘积项和每项中多余的因子。

如果是有无关项的逻辑函数，则应充分利用无关项的特点（可以写入逻辑式也可以从逻辑式中删除），使化简的结果更加简单。

【例 2-3-18】 用公式化简法化简下面的逻辑函数

$$Y=((A'+B')D)'+(A'B'+BD)C'+A'BC'D+D'$$

解：$Y=((AB)'D)'+A'B'C'+BC'D+A'BC'D+D'\cdots$（根据 $A'+B'=(AB)'$，$(A+B)C=AC+BC$）

$=AB+D'+A'B'C'+BC'+A'BC'\cdots\cdots$（根据 $(AB)'=A'+B'$，$A+A'B=A+B$）

$=AB+D'+A'C'+BC'\cdots\cdots$（根据 $A+A'=1$）

$=AB+D'+A'C'+(A+A')BC'\cdots\cdots$（根据 $A+A'=1$）

$=AB+D'+A'C'+ABC'+A'BC'\cdots\cdots$（根据 $(A+B)C=AC+BC$）

$=AB+D'+A'C'\cdots\cdots$（根据 $A+AB=A$）

2. 卡诺图化简法

解题方法和步骤：

（1）画出表示逻辑函数的卡诺图。

（2）找出可以合并的最小项，把它们圈起来。

(3) 选择化简后保留的乘积项。选取的原则是

第一,这些乘积项必须包含函数式中所有的最小项,即包含卡诺图中全部的 **1**;

第二,所用的乘积项数目最少,即用最少的可合并的圈将卡诺图中的 **1** 圈进去;

第三,每个乘积项的因子最少,即每个圈应尽可能地圈大。

为了使每个可以合并的圈尽量大,可以在不同的圈里重复圈入某一项。因为 $A+A=A$,所以重复写入某个最小项不影响逻辑函数值。

如果是有无关项的函数,则既可以将它圈入可合并的最小项当中,也可以不圈入。是否应当圈入可合并的最小项当中,要看能否得到最大的合并圈。

【例 2-3-19】 试用卡诺图化简如下的逻辑函数

$$Y=A'BC'+A'C'D+AB'C+BCD'$$

$$A'B'C'D'+AB'C'D'+ABCD=\mathbf{0}(\text{约束条件})$$

解:将 Y 展开为最小项之和形式得到

$$Y=A'BC'D'+A'BC'D+A'B'C'D+A'BCD'+AB'CD'+AB'CD+ABCD'$$

$$=m_1+m_4+m_5+m_6+m_{10}+m_{11}+m_{14}$$

$$m_0+m_8+m_{15}=\mathbf{0}(\text{约束条件})$$

在四变量最小项卡诺图中,在 Y 所含最小项的位置上填入 **1**,约束项位置上填入"×",其余位置上填入 **0**,就得到了 Y 的卡诺图,如图 2-3-10 所示。

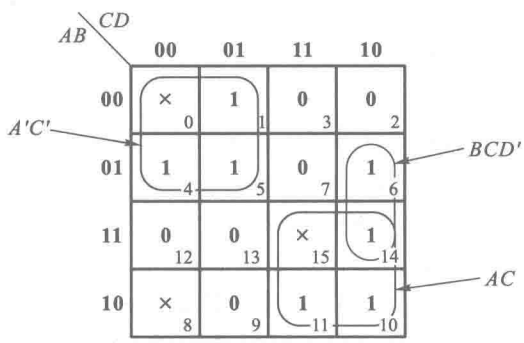


图 2-3-10　例 2-3-19 的卡诺图

利用约束项 m_0 可将 m_0、m_1、m_4 和 m_5 合并为 $A'C'$,利用约束项 m_{15} 可将 m_{10}、m_{11}、m_{14} 和 m_{15} 合并为 AC。化简后的结果为

$$Y=A'C'+AC+BCD'$$

如将上式展开为最小之和形式时,式中将包含有 m_0 和 m_{15} 两个约束项,而不包含 m_8。

3. 多输出逻辑函数的化简

在化简一组具有多输出的逻辑函数时,应当充分利用这些逻辑函数式中含有的"共用项",以求得总体上最简的化简结果。

从这一组函数的卡诺图上寻找共用项的方法虽然简单、直观,但局限性很大,尤其是在输入变量较多的情况下。为了解决多变量、多输出逻辑函数的化简问题,可以将 Q-M 化简法用于多输出逻辑函数的化简,并在此基础上编制出适于计算机化简的程序。读者如有兴趣,可参阅《数字电子技术基础(第六版)》参考文献[3]的第四章。

【例 2-3-20】 化简下列一组多输出逻辑函数。要求充分利用共用项，以求整体化简结果最简

$$Y_1(A,B,C,D)=\sum m(0,1,4,5,6,7,10,11)$$

$$Y_2(A,B,C,D)=\sum m(0,1,8,9,10,11,12,13)$$

$$Y_3(A,B,C,D)=\sum m(0,1,2,4,6,8,9,12,13)$$

解：首先画出 Y_1、Y_2、Y_3 的卡诺图，如图 2-3-11(a)所示。由图可见，(m_0,m_1) 是 Y_1、Y_2 和 Y_3 的共用项；(m_{10},m_{11}) 是 Y_1、Y_2 的共用项；(m_8,m_9,m_{12},m_{13}) 是 Y_2、Y_3 的共用项。利用这 3 个共用项化简的结果为

$$Y_1(A,B,C,D)=A'B'C'+A'B+AB'C$$

$$Y_2(A,B,C,D)=A'B'C'+AC'+AB'C$$

$$Y_3(A,B,C,D)=A'B'C'+AC'+A'D'$$

实现上述一组逻辑函数需要用 8 个门电路和 21 个输入端，如图 2-3-11(b)所示。

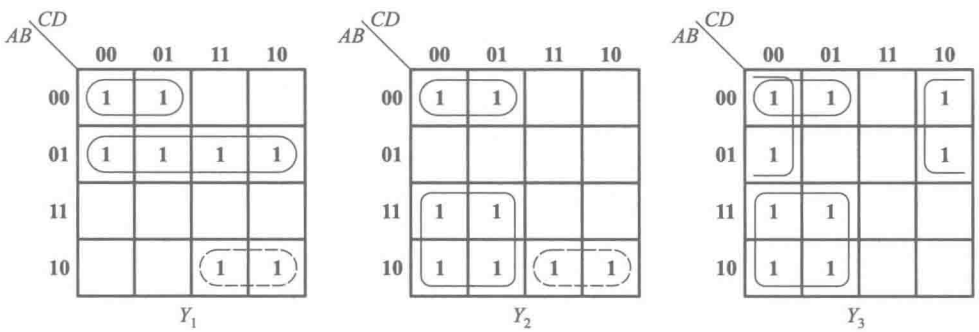
如果分别将 Y_1、Y_2 和 Y_3 单独进行化简，则可以按图 2-3-11(c)所示合并最小项，得到

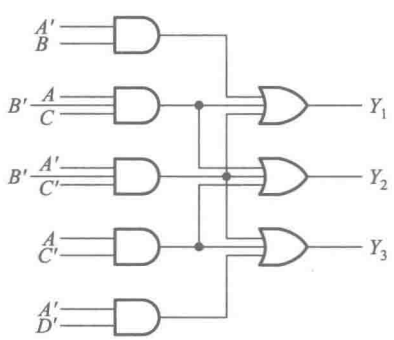
$$Y_1(A,B,C,D)=A'C'+A'B+AB'C$$

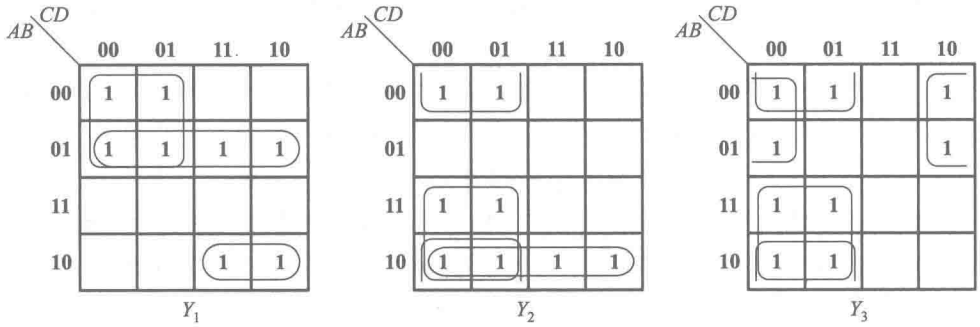
$$Y_2(A,B,C,D)=B'C'+AC'+AB'$$

$$Y_3(A,B,C,D)=A'D'+AC'+B'C'$$

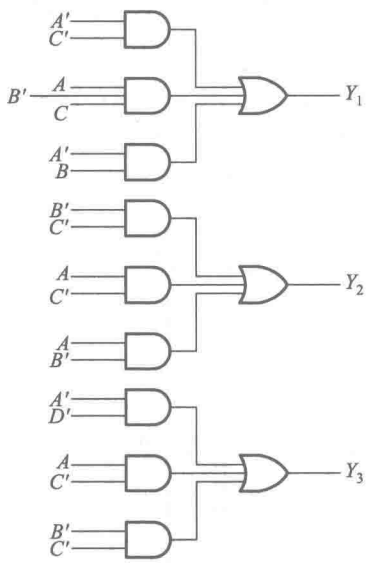
按这一组逻辑函数式接成的逻辑图将如图 2-3-11(d)所示。这时需要使用 12 个门电路和 28 个输入端。







(c)



(d)

图 2-3-11 例 3-2-20 的卡诺图与逻辑图

第三章　门电路

3.1　本章重点内容

一、半导体二极管和三极管的开关特性

1. 半导体二极管的单向导电特性和开关等效电路。

2. N 沟道增强型和 P 沟道增强型 MOS 管的基本工作原理，导通和截止的条件，开关等效电路。

3. 双极型三极管的基本工作原理，工作在放大区、截止区和饱和区的条件和特性，开关等效电路。

二、CMOS 门电路

1. CMOS 反相器的电路结构和工作原理。

2. CMOS 反相器的静态输入特性和输出特性。

3. CMOS 反相器的动态功耗和传输延迟时间的物理概念。

4. 不同逻辑功能和输出结构（互补输出、OD 输出、三态输出）CMOS 门电路的特点和用法。

三、TTL 门电路

1. TTL 反相器的电路结构和工作原理。

2. TTL 反相器的电压传输特性，静态输入特性和输出特性，输入端负载特性。

3. TTL 反相器的传输延迟时间和电源动态尖峰电流的物理概念。

4. 不同逻辑功能和输出结构（推拉式输出、OC 输出、三态输出 ）TTL 门电路的特点和用法。

四、不同类型数字集成电路间接口必须满足的条件和处理方法

1. CMOS 电路和 TTL 电路间的接口。

2. 不同逻辑电平电路间的接口。

3.2　难点释疑

一、为什么在《数字电子技术基础（第六版）》的图 3.2.3 中给出了三种不同型式的二极管开关等效电路？

实际测试结果表明，二极管的伏安特性并非理想的开关特性（理想开关正向导通时的导通内阻和导通压降等于零，反向截止时截止内阻为无穷大），而是如图 3-2-1 中的曲线。在计算含有二极管的电路时，为了简化计算，在误差允许的范围内，希望能用一个由线性元件和理想开关组成的开关等效电路替代二极管。而且，希望这个开关等效电路越简单越好。但是，这种近似替

代必须是合理的，才能够保证由此而引起的计算误差不超过允许的限度。

根据戴维宁定理，我们总可以把二极管以外的电路部分简化为一个等效电压源 V_{CC} 和一个等效内阻 R_L 串联的电路，如图 3-2-2 所示。由图可见，当 V_{CC} 为负时，加在二极管两端的是反向电压。由于硅二极管的反向电阻一般都在数兆欧以上，所以在二极管处于反向偏置状态下，可以近似地认为回路电流 i 等于零。因此，用一个断开的开关近似代替反向偏置状态下的二极管。

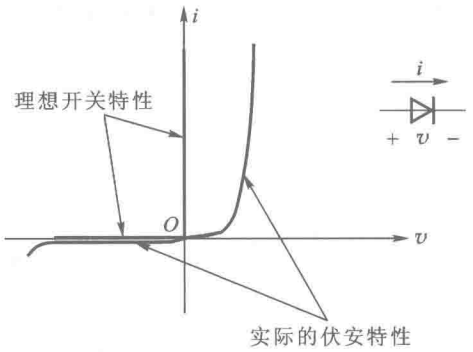


图 3-2-1　二极管的伏安特性

当 V_{CC} 为正时，二极管将导通，有回路电流 i 流过。由曲线上可以看到，二极管处于正向导通状态时它上面的压降不等于零，而且与电流的大小呈非线性关系，这就给严格的定量计算带来了不便。根据二极管的具体工作条件，即外接电路的具体情况，我们可以采取相应的近似代替方法：

① 若 V_{CC} 远大于二极管的导通压降 v_D，而且 R_L 远大于二极管的正向导通内阻 r_D，则计算回路电流时可以忽略二极管的 v_D 和 r_D，把二极管近似为一个闭合的开关。在这种条件下，二极管的开关等效电路相当于一个受外加电压极性控制的理想开关，外加电压为正时开关接通，外加电压为负时开关断开，如图 3-2-2(c)所示。

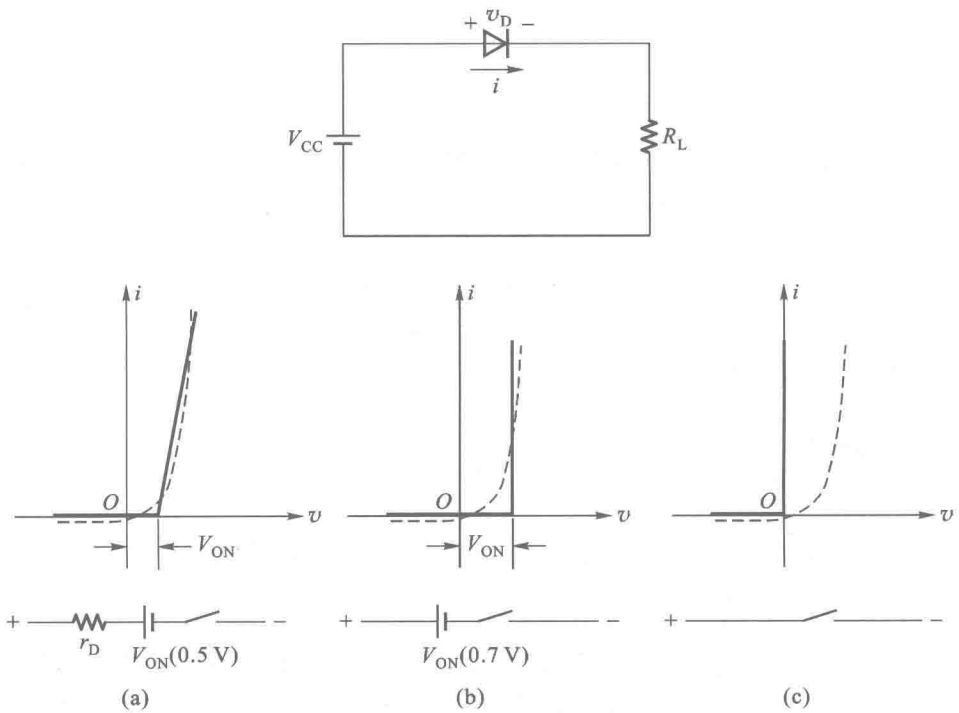


图 3-2-2　三种不同型式的二极管开关等效电路

② 若 $R_L \gg r_D$，而 v_D 与 V_{CC} 相比不可忽略，则计算回路电流时可以忽略 r_D，但不能忽略 v_D。这时就可以用图 3-2-2(b)中的折线代替二极管的伏安特性曲线，从而得到图 3-2-2(b)中的开关等效电路。在数字集成电路中，使用的电源电压几乎都在 5 V 以下，而硅二极管充分导通时的压降 V_{ON} 为 0.6~0.7 V，导通内阻只有几十至几百欧，所以符合图 3-2-2(b)开关等效电路的应用条件。

③ 若 r_D 与 R_L 相比不可忽略，v_D 与 V_{CC} 相比也不可忽略，则计算回路电流时既需要考虑 r_D 的存在，又需要考虑 v_D 的影响，因此用图 3-2-2(a)中的折线代替二极管的实际特性曲线。折线与横轴的交点 V_{ON} 表示二极管的导通压降，折线上段的斜率表示二极管的导通内阻 r_D。

以上分析说明，使用任何一种近似方法之前，必须弄清它的适用环境，或者叫做限定条件。脱离了限定条件，将得不到合理的近似计算结果。例如我们在《数字电子技术基础(第六版)》第 3.4.2 节中，曾经用近似计算方法得到 TTL 反相器的输出高电平为

$$\begin{aligned} V_{OH} &= V_{CC} - v_{R_2} - v_{BE4} - v_{D_2} \\ &\approx (5-0.2-0.7-0.7)\ \text{V} = 3.4\ \text{V} \end{aligned}$$

如图 3-2-3 所示。

前面曾经提到，二极管只有在充分导通时(即电流较大，工作在特性曲线的转折区以上)压降才近似等于 0.7 V，V_{OH} 才接近 3.4 V。如果输出端空载时用电压表去量 V_{OH}，则测得的电压要比 3.4 V 高得多(一般达 4 V 左右)，因为这时流过 T_4 的发射结和 D_2 的电流都非常小，只有通过电压表的电流和 T_5 的漏电流，所以它们的压降比 0.7 V 小得多。

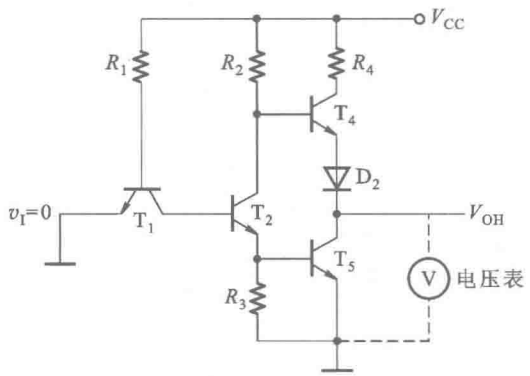


图 3-2-3　TTL 反相器输出高电平时的工作状态

二、怎样判断双极型三极管的工作状态是截止、放大还是饱和导通?

在图 3-2-4 所示的双极型三极管基本开关电路中，输出的高、低电平分别代表逻辑状态的 **1** 和 **0**。因此，希望高电平尽量接近 V_{CC}，低电平尽量接近零，也就是希望三极管的 c-e 之间尽量接近于理想开关。这就要求输入信号 v_I 为低电平时三极管完全截止，v_I 为高电平时三极管饱和导通。

1. 工作在截止状态的条件和特性

工作在截止状态的条件是 $v_{BE} \leqslant 0$。如果采用图 3-2-2(b)的折线化近似特性，则近似地认

为 $v_I \leqslant V_{ON}$ 时三极管便已经截止。

截止状态下三极管的特性是 $i_B=0$、$i_C=0$。因为没有 i_C 流过 R_C，所以 R_C 上没有压降，故 $V_O=V_{OH}=V_{CC}$。

实际上三极管处于截止状态下 i_C 不可能绝对等于零，但此时的漏电流极小，所以认为 $i_C=0$ 不会引起很大的误差。这时三极管的 c-e 之间就相当于一个断开的开关。

2. 工作在放大状态的条件和特性

工作在放大区的条件是 $v_{BE}>0.7$ V（硅三极管的 V_{ON}），而且 $v_{CE}>0.7$ V。

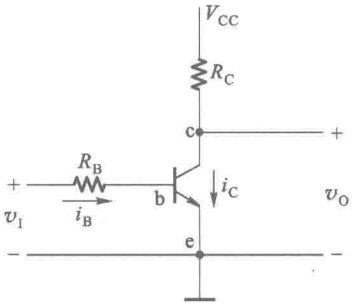


图 3-2-4　双极型三极管基本开关电路

放大状态下的特性是三极管导通，$i_B>0$、$i_C>0$，而且当 v_I 增大时，i_C 随着 i_B 的增加而成比例地增加。这个比例系数称为电流放大系数 β（即 $\beta=\Delta i_C/\Delta i_B$）。

由于 i_C 流过 R_C，在 R_C 上产生压降，所以 v_O 将随 i_C 的增加而降低，即

$$v_O=V_{CC}-R_C i_C \tag{3-2-1}$$

这时 v_O 既不是 V_{CC}，也不是零，而是 V_{CC} 与零之间的某个数值。

3. 工作在饱和导通状态的条件和特性

工作在饱和导通状态的条件是 $v_{BE}>0.7$ V；而且 $i_B \geqslant I_{BS}$，使得 i_C 足够大，$R_C i_C$ 的值接近于 V_{CC}。这时 V_{CC} 几乎全部降在 R_C 上，v_{CE} 只剩下一个很小的饱和导通压降 $V_{CE(sat)}$。I_{BS} 称为饱和基极电流，它的数值可用下式计算

$$I_{BS}=\frac{V_{CC}-V_{CE(sat)}}{\beta R_C} \tag{3-2-2}$$

饱和导通状态下的特性是 i_B 增加时 i_C 已不能再随之按比例增加了，v_{CE} 也不能再减小了，三极管的 c-e 间最后只有一个很小的饱和压降 $V_{CE(sat)}$（约在 0.1 V 以下）和一个很小的导通内阻（可小至几欧）。这时三极管的 c-e 间就近似于一个接通的开关。

由式（3-2-2）可见，I_{BS} 不仅和三极管本身的性能（$V_{CE(sat)}$、β）有关，还和外接电路参数（V_{CC}，R_C）有关。求出 I_{BS} 以后，还要从输入回路计算出输入信号实际提供的 i_B 值，只有当 $i_B>I_{BS}$ 时，三极管才能进入饱和导通状态。

三、为什么 TTL 反相器的低电平输入电流是从输入端流出的，并且数值较大，而高电平输入电流是从输入端流入的，数值又很小？

从图 3-2-5（a）TTL 反相器的电路图中可以看到，当输入为低电平 V_{IL}（假定为 0.3 V 左右）时，T_1 的发射结（be 结）处于正向接法，T_1 导通，并将 T_1 的基极电位 v_{b1} 钳在 1 V 左右。这时 T_2 的发射结（be 结）和集电结（bc 结）都不可能导通，可以认为 T_1 的集电极电流 i_{C1} 等于零。输入电路结构可以简化为图 3-2-5（b）的形式，并由此得到低电平输入电流为

$$\begin{aligned} I_{IL}&=-i_{e1}=-i_{b1}=-\frac{V_{CC}-V_{BE1}-V_{IL}}{R_1} \\ &=-\frac{5-0.7-0.3}{4}\ \text{mA}=-1\ \text{mA} \end{aligned} \tag{3-2-3}$$

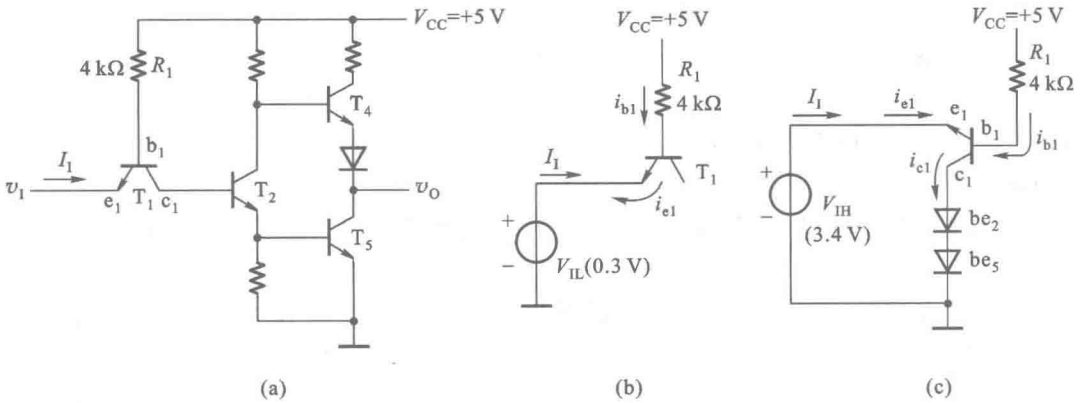


图 3-2-5　TTL 反相器输入电流的分析计算

I_{IL}的负值表示实际电流方向与规定的正方向(按双口网络的习惯,规定电流从输入端流入为正)相反,即从输入端流出。

当输入为高电平 V_{IH}(假定为 3.4 V)时,图 3-2-5(a)中的 T_2 和 T_5 的发射结 be_2 和 be_5 将同时导通,并将 T_1 的基极电位钳位在 2.1 V。这时 T_1 的工作状态可以简化成图 3-2-5(c)的形式。由该图可见,T_1 的 bc 结处于正向偏置而 be 结处于反向偏置,所以相当于将原来的发射极和集电极交换使用了。我们把 T_1 的这种状态叫做倒置状态。

由于将倒置状态下的三极管电流放大系数 β_i 设计得非常小(小于 0.01),所以虽然这时的 i_{b1} 仍然比较大,但是 $i_{e1}=\beta_i i_{b1}$ 却非常小。如果近似地认为 $\beta_i=0$,那么 i_{e1} 就仅包含 T_1 发射结的反向漏电流了。因此,$I_{IH}=i_{e1}$ 一般只有几个微安,而且是从输入端流进门电路的。

四、在计算 TTL 门电路输入端并联的总输入电流时,为什么有时按输入端的数目加倍,有时按门的数目加倍?

在 TTL 电路中,**与**门、**与非**门的输入电路结构形式和**或**门、**或非**门的输入电路结构形式是不同的。由图 3-2-6 中可以看到,从**与非**门输入端看进去是一个多发射极三极管,每个发射极是一个输入端。而在图 3-2-8 所示的**或非**门电路中,从每个输入端看进去都是一个单独的三极管,而且它们相互间在电路上没有直接的联系。

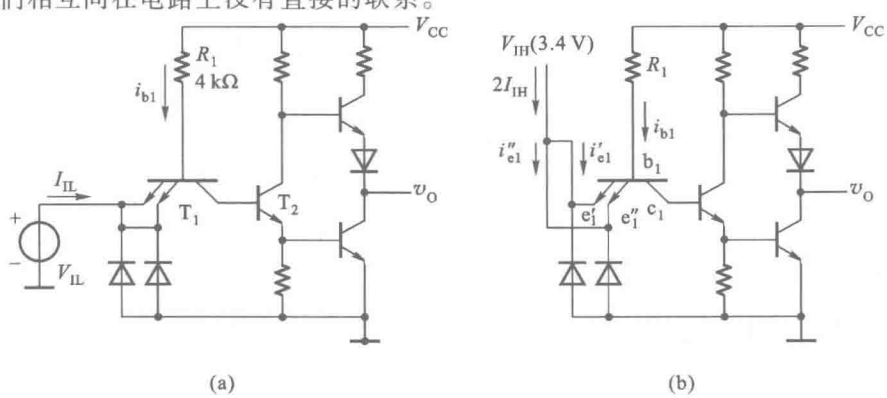


图 3-2-6　**与非**门输入端并联时输入电流的计算

1. **与非**门输入端并联时的输入电流

由图 3-2-6(a)可见，当输入为低电平时，由于 T_2 处于截止状态，所以无论有几个输入端并联，总的输入电流都等于 i_{b1}。而且发射结的导通压降仍为 0.7 V。因此，总的低电平输入电流和只有一个输入端接低电平时的输入电流 I_{IL} 相同。

当输入端接高电平时，由图 3-2-6(b)可见，$e_1'-b_1-c_1$ 和 $e_1''-b_1-c_1$ 分别构成两个倒置状态的三极管，所以总的输入电流是单个输入端高电平输入电流 I_{IH} 的两倍，也就是 I_{IH} 乘以并联输入端的数目。

在将 m' 个**与非**门的 m 个输入端并联的情况下，如图 3-2-7 所示，则总的低电平输入电流为

$$\Sigma I_{IL} = m' I_{IL}$$

式中 m' 是并联**与非**门的个数。

总的高电平输入电流为

$$\Sigma I_{IH} = m I_{IH}$$

式中 m 是并联输入端的数目。

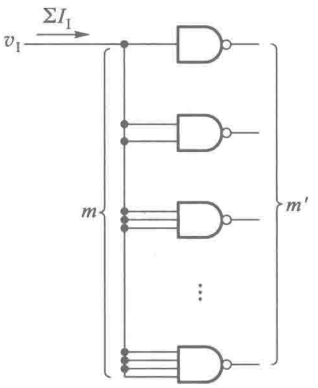


图 3-2-7 多个**与非**门输入端并联的情况

2. **或非**门输入端并联时的输入电流

由图 3-2-8 可见，从**或非**门的每个输入端看进去都是一个独立的三极管，因此在将 n 个输入端并联后，无论总的高电平输入电流 ΣI_{IH} 还是总的低电平输入电流 ΣI_{IL} 都是单个输入端输入电流的 n 倍，即

$$\Sigma I_{IH} = n I_{IH}$$

$$\Sigma I_{IL} = n I_{IL}$$

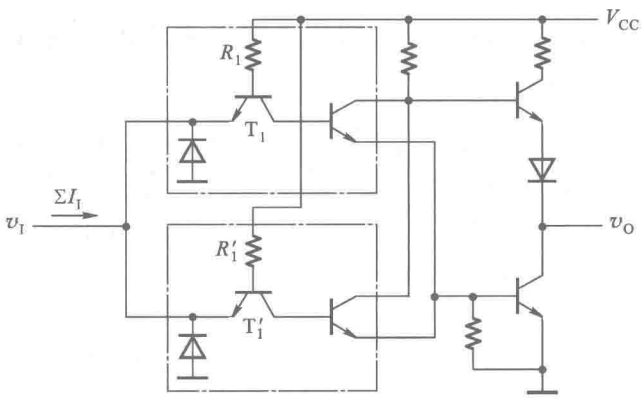


图 3-2-8 **或非**门输入端并联时输入电流的计算

式中的 I_{IH}、I_{IL} 是单个输入端的高电平输入电流和低电平输入电流。在将多个不同**或非**门的 n 个输入端并联时，上面的两个式子仍然适用。

五、为什么 TTL 电路的推拉式输出级在输出低电平和高电平时输出电阻都很小？

我们在分析 TTL 反相器的工作原理时已经讲过，在图 3-2-9 所示的推拉式输出电路中，当输

出低电平时 T_4 截止、T_5 饱和导通。双极型三极管饱和导通状态下具有很低的输出电阻。在 74 系列的 TTL 电路中，这个电阻只有几欧，所以若外接的串联电阻在几百欧以上，在分析计算时可以将它忽略不计。

当输出为高电平时，T_5 截止而 T_4 导通。T_4 工作在以发射极为输出端的状态，即所谓“射极输出器”状态。在射极输出器的正常工作范围内，三极管处于放大状态，而不是饱和导通状态。射极输出器的最主要特点就是具有高输入电阻和低输出电阻。在所有的模拟电子技术基础教材中，对这一特性都有详细的说明。根据理论推导，图 3-2-9 电路的高电平输出电阻为

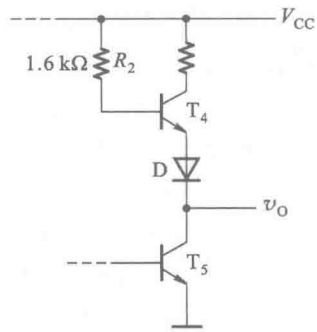


图 3-2-9　TTL 电路的推拉式输出级电路

$$r_O = \frac{R_2 + r_{be4}}{1+\beta_4} + r_D$$

上式中的 r_{be4} 是 T_4 发射结的导通电阻，β_4 是 T_4 的电流放大系数，r_D 是二极管 D 的导通电阻。74 系列 TTL 门电路的高电平输出电阻约在几十欧至一百欧之间。显然，这个数值比低电平输出电阻大得多。正因为如此，我们总是用输出的低电平去驱动负载电路。

六、为什么 CMOS 门电路的扇出系数不能仅仅用静态输入电流和输出电流来计算，还必须考虑到动态工作情况？

扇出系数是指一个门电路的输出端能够驱动同一类门电路输入端的数目。

我们已经知道，CMOS 门电路静态下的输入电流非常小，而输出电流相对地要大得多。如果只用静态下的输入电流和输出电流计算，扇出系数将是非常大的。以图 3-2-10 的 74HC04 反相器为例，它的输入电流的最大值仅为 1 μA，而输出电流的最大值达 4 mA。由此可以计算出 74HC04 的扇出系数为

$$N = 4/1\times10^{-3} = 4\times10^{3}$$

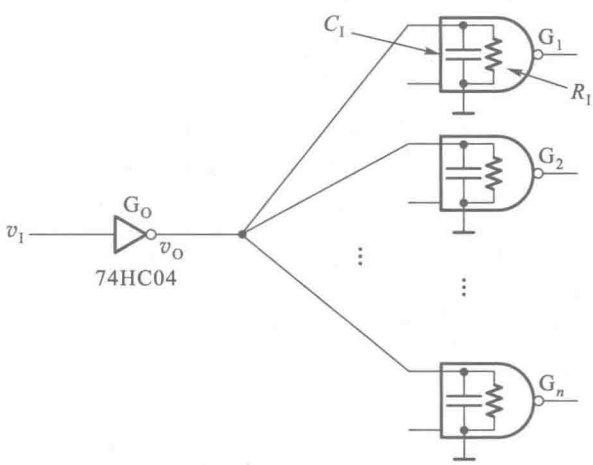


图 3-2-10

这就是说，在输出端同时接入 4 000 个 74HC 系列门电路的输入端，仍然能够保证 74HC04 反相器的输出电流不过载，而且输出的高、低电平都在允许的正常范围之内。

然而在动态情况下就不同了。由于每个 CMOS 门电路的输入端都存在一个输入电容 C_I，所以这些电容的总和就构成了门电路 G_O 输出端的负载电容 C_L，如图 3-2-10 所示。

当电路工作在高速开关状态时，必须考虑这些输入电容的影响。由于 C_L 的存在，当 G_O 的输入信号 v_I 由高电平跳变为低电平时，输出端并不能立刻跳变成高电平，必须经过对 C_L 充电，v_O 才能上升至高电平。而且，在 v_I 的低电平持续时间里，v_O 必须上升到负载门的输入高电平最小值 $V_{IH(min)}$ 以上，才能保证信号的正常传递，如图 3-2-11(a)所示。

同理，当 v_I 由低电平跳变为高电平以后，v_O 将随 C_L 的放电而逐渐降低。为了保证信号的正常传递，在 v_I 的高电平持续时间里，v_O 必须能够下降到负载门的输入低电平最大值 $V_{IL(max)}$ 以下，如图 3-2-11(b)所示。因为 CMOS 门电路的输入电阻 R_I 远远大于 $R_{ON(p)}$ 和 $R_{ON(n)}$，所以在 C_L 的充、放电等效电路中可以将其略去。

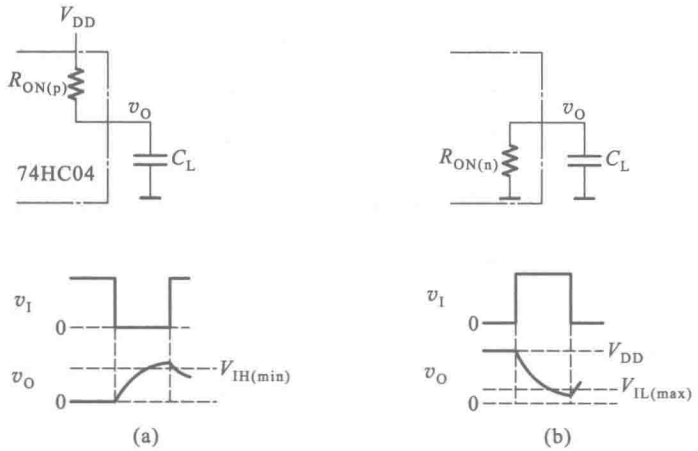


图 3-2-11

由此可见，在 v_I 的开关工作频率一定(亦即高、低电平持续时间一定)的情况下，为了保证电路正常工作，C_L 的充、放速度必须足够快，所以 C_L 的数值不能过大。也就是说，接到 v_O 端的负载门不能太多。据此即可求出在此工作频率下的扇出系数。

【例 3-2-1】 在图 3-2-10 所示电路中，已知 74HC04 在 5 V 电源电压下工作时，高电平输出电阻 $R_{ON(p)}$ 和低电平输出电阻 $R_{ON(n)}$ 均为 1 kΩ，静态下的输出低电平 $V_{OL}\approx 0$，高电平 $V_{OH}\approx 5$ V。负载均为 74HC 系列门电路，每个输入端的输入电容 C_I 的最大值为 10 pF，等效的输入电阻 R_I 等于 10 MΩ，输入高电平最小值 $V_{IH(min)}=3.15$ V，输入低电平最大值 $V_{IL(max)}=1.35$ V。若 v_I 的开关工作频率为 $f=1$ MHz，试计算此时 74HC04 的扇出系数。

解： 根据图 3-2-11(a)的等效电路，可以计算出当 v_I 由高电平跳变为低电平后，v_O 从低电平上升到 $V_{IH(min)}$ 所需的时间 t_1

$$t_1 = R_{ON(p)} C_L \ln[(V_{DD}-V_{OL})/(V_{DD}-V_{IH(min)})]$$

为了保证电路正常工作，t_1 必须小于 v_I 的低电平持续时间 $1/2f=0.5$ μs，于是得到

$$R_{ON(p)} C_L \ln[(V_{DD}-V_{OL})/(V_{DD}-V_{IH(min)})] \leqslant 0.5\times 10^{-6}$$

$$C_L \leqslant 0.5\times10^{-6}/R_{ON(P)}\ln[(V_{DD}-V_{OL})/(V_{DD}-V_{IH(min)})]$$

$$C_L \leqslant 0.5\times10^{-6}/1\times10^{3}\ln[5/(5-3.15)]\text{F}=0.5\times10^{-9}\text{ F}=500\text{ pF}$$

因此，可以接入负载门输入端的最大数目，亦即扇出系数 N_1 等于

$$N_1 = C_L/C_1 = 500/10 = 50$$

与此同时，还必须保证 v_I 由低电平跳变为高电平后，在 v_I 的高电平持续时间里 v_O 的高电平能够下降到 $V_{IL(max)}$ 以下。若 v_O 从高电平下降到 $V_{IL(max)}$ 所需时间为 t_2，则从图 3-2-11(b)的等效电路可以得到

$$t_2 = R_{ON(n)}C_L\ln[(V_{OL}-V_{DD})/(V_{OL}-V_{IL(max)})]$$

$$R_{ON(n)}C_L\ln[(V_{OL}-V_{DD})/(V_{OL}-V_{IL(max)})] \leqslant 0.5\times10^{-6}$$

$$C_L \leqslant 0.5\times10^{-6}/R_{ON(n)}\ln[(V_{OL}-V_{DD})/(V_{OL}-V_{IL(max)})]$$

$$C_L \leqslant 0.5\times10^{-6}/1\times10^{3}\ln[(-5/-1.35)]\text{F}=0.38\times10^{-9}\text{ F}=380\text{ pF}$$

$$N_2 = C_L/C_1 = 380/10 = 38$$

取 N_1 和 N_2 当中数值小的一个，最后得到扇出系数 $N=38$。

通过这个例子可以看到，考虑动态工作情况计算出的扇出系数比只考虑静态下输入和输出电流计算出的扇出系数小得非常多。

3.3　习题类型与解题方法

这一章的习题大致可以分为四种类型：双极型三极管工作状态的计算、集成门电路逻辑功能的分析、利用输入特性和输出特性计算扇出系数和接口电路，以及 OD 门和 OC 门外接上拉电阻的计算。下面结合例题说明它们的解题方法。

一、双极型三极管工作状态的计算

在三极管开关电路中，为了使三极管工作在开关状态，必须保证输入为低电平时三极管工作在截止状态，而输入为高电平时三极管工作在饱和导通状态。（当然，非饱和逻辑电路除外）。因此，这一类习题要求计算输入为高、低电平下三极管的工作状态，以判断电路参数的选择是否合理。

解题方法和步骤：

（1）利用戴维宁定理将输入电路（即接在三极管的基极和发射极之间的外接电路）简化为等效的 V_E 与 R_E 串联电路，如图 3-3-1 中所示。

（2）计算 v_I 为低电平时的 V_E 值。若 $V_E<V_{ON}$，则认为三极管基本截止，参数设计合理。若 $V_E>V_{ON}$，则三极管导通，表明电路参数的选择不合理。

V_{ON} 是三极管发射结的开启电压，硅管近似地取为 0.7 V，锗管近似地取为 0.3 V。

（3）计算 v_I 为高电平时的 V_E 值以及此时的 i_B，并与临界饱和基极电流 I_{BS} 比较。若 $i_B>I_{BS}$，则三极管饱和导通，参数设计

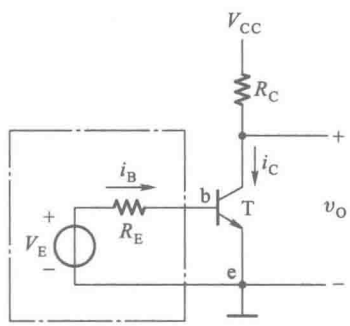


图 3-3-1　输入电路化简后的三极管开关电路

合理。若 $i_B<I_{BS}$，则三极管不饱和，说明参数设计不合理。

【例 3-3-1】 在图 3-3-2(a)所示三极管开关电路中，已知 $V_{CC}=10$ V，$V_{EE}=-5$ V，$R_C=1$ kΩ，$R_1=11$ kΩ，$R_2=3.3$ kΩ，$R_3=18$ kΩ。三极管的电流放大系数 $\beta=30$，饱和导通压降 $V_{CE(sat)}=0.1$ V，饱和导通内阻 $R_{CE(sat)}=20$ Ω。输入高、低电平分别为 $V_{IH}=3.6$ V，$V_{IL}=0.3$ V。试计算输入为高、低电平下三极管的工作状态，说明电路参数的设计是否合理。

解：首先利用戴维宁定理将输入电路化简。为清楚起见，把输入电路的完整形式画于图 3-3-2(b)中。根据戴维宁定理，等效电压源 V_E 等于 b-e 两端开路时的电压，等效内阻 R_E 等于将内部电压源短路后，从 b-e 两端看进去的电阻，于是得到

$$\begin{aligned}V_E&=v_I-\frac{v_I+V_{EE}}{R_2+R_3}R_2\\&=v_I-\frac{v_I+5}{3.3+18}\times 3.3\\&=0.845v_I-0.775\ \text{V}\end{aligned}$$

$$\begin{aligned}R_E&=\frac{R_2\cdot R_3}{R_2+R_3}\\&=\frac{3.3\times 18}{3.3+18}\ \text{k}\Omega\\&=2.8\ \text{k}\Omega\end{aligned}$$

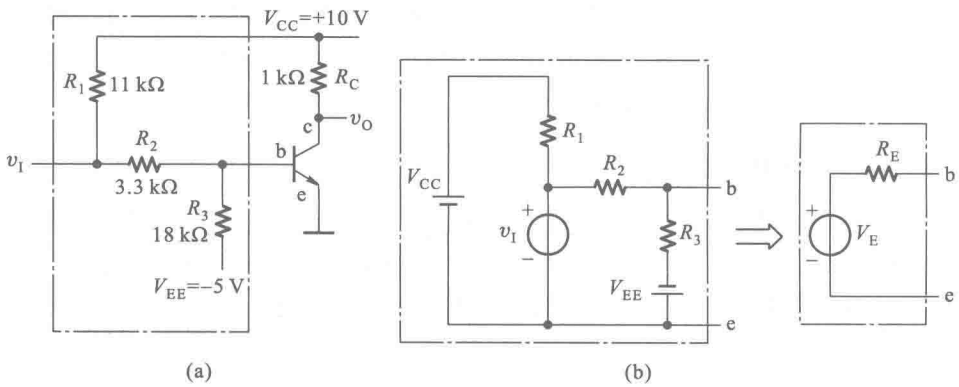


图 3-3-2 例 3-3-1 的三极管开关电路和输入电路的等效电路

当 $v_I=V_{IL}=0.3$ V 时，$V_E=(0.845\times 0.3-0.775)$ V $=-0.52$ V，故三极管截止。

当 $v_I=V_{IH}=3.6$ V 时，$V_E=(0.845\times 3.6-0.775)$ V $=2.27$ V。此时的基极电流为

$$i_B=\frac{V_E-v_{BE}}{R_E}=\frac{2.27-0.7}{2.8}\ \text{mA}=0.56\ \text{mA}$$

而临界饱和基极电流为

$$I_{BS}=\frac{V_{CC}-V_{CE(sat)}}{\beta(R_C+R_{CE(sat)})}=\frac{10-0.1}{30\times 1.02\times 10^3}\ \text{A}=0.33\ \text{mA}$$

可见，$i_B>I_{BS}$，故三极管饱和导通。

计算结果说明，v_I 为低电平时三极管截止，v_I 为高电平时三极管饱和导通，所以电路参数的设计是合理的。

二、集成门电路逻辑功能的分析

这一类题目又分为两种情况，一种是给出了门电路输入的电压波形或逻辑状态，求输出的电压波形或逻辑状态；另一种是给出了集成门电路的内部电路结构图，求它的逻辑功能。

解题方法和步骤：

（1）对于前一种题目（即给出了门电路输入的电压波形或逻辑状态，求输出的电压波形或逻辑状态），只需按照给定门电路的逻辑功能逐一找出每一种输入状态下的输出就行了。需要注意的问题就是当输入端不是接高、低逻辑电平，而是悬空、经过电阻接地或接电源电压时，输入端逻辑状态的确定方法。

对 CMOS 门电路而言，通常是不允许输入端工作在悬空状态的。输入端经过电阻接地时，与接逻辑低电平等效；经过电阻接电源电压时，与接逻辑高电平等效。

而对 TTL 电路而言，输入端的悬空状态和接逻辑高电平等效。输入端经过电阻（通常取几十千欧以内）接电源电压时，与接逻辑高电平等效。输入端经过电阻接地时，输入端的电平与电阻阻值的大小有关，当电阻阻值很小时（例如只有几十欧），输入端相当于接逻辑低电平；当电阻阻值大到一定程度以后，输入端电压将升高到逻辑高电平。例如在 74 系列门电路中，当这个电阻大于2 kΩ以后，输入端电压将高于 1.4 V；在 74LS 系列门电路中，当这个电阻大于9 kΩ以后，输入端电压将高于 1.4 V。这时输入端状态与接逻辑高电平等效。

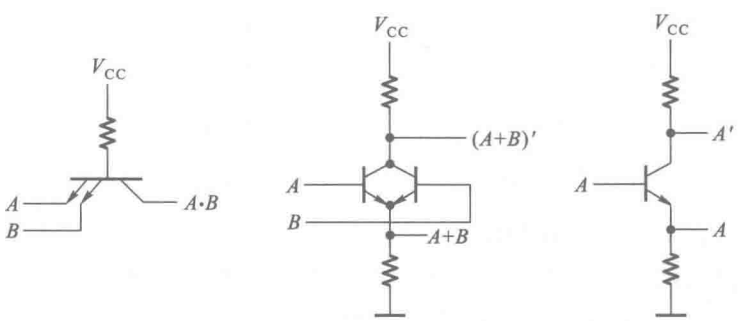
（2）对于后一种题目（即给出了集成门电路的内部电路结构图，求它的逻辑功能），通常可以按如下步骤进行求解：

① 首先将电路划分为若干个基本功能结构模块。

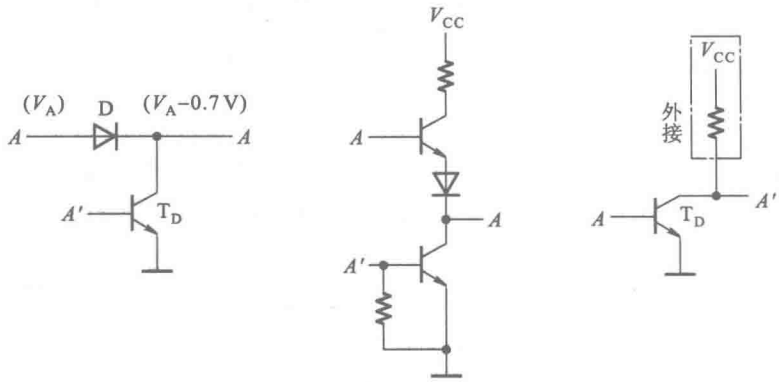
② 从输入到输出依次写出每个电路模块输出与输入的逻辑关系式，最后就得到了整个电路逻辑功能的表达式。

图 3-3-3 中给出了 TTL 集成门电路中的几种基本功能结构。

这些基本功能电路模块有**与**结构、**或非**结构、倒相结构、电平偏移结构推拉式输出结构和 OC 输出结构等几种。电平偏移结构的功能在于实现电平的变换。当输入 A 为高电平时，二极管 D 导通，输出也是高电平，但输出的高电平比输入电平低一个二极管的压降。当输入 A 为低电平时，二极管工作在截止状态，这时三极管 T_D 导通，为输出端提供一个低内阻的对地放电通路。



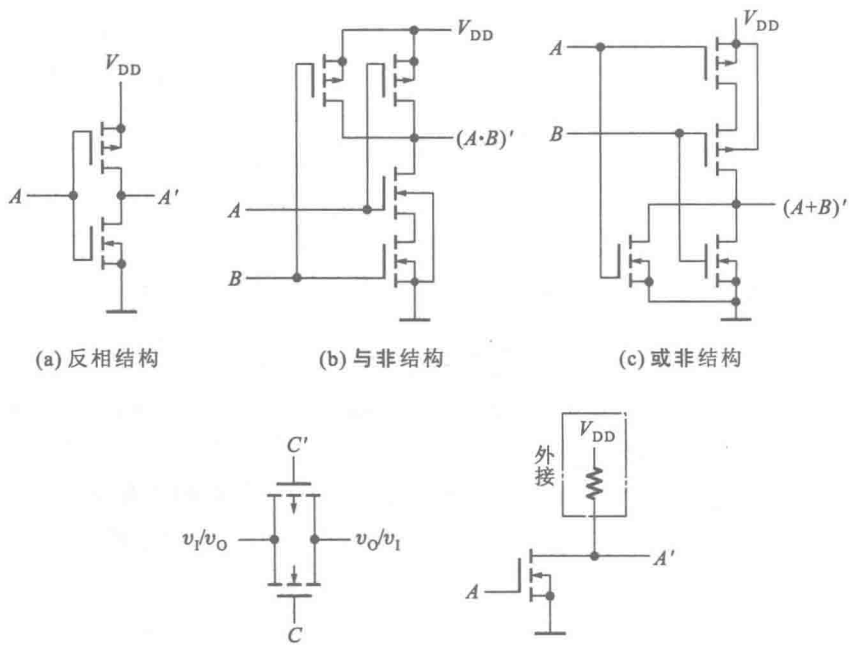
(a) 与结构　　(b) 或非结构　　(c) 倒相结构



(d) 电平偏移结构　　(e) 推拉式输出结构　　(f) OC输出结构

图 3-3-3　TTL 集成门电路中的几种基本功能结构

图 3-3-4 是 CMOS 集成门电路的几种基本电路功能结构。其中包含反相结构、**与非**结构、**或非**结构、传输门结构和 OD 输出结构。利用这几种电路模块能很方便地组成各种逻辑功能的集成电路。



(a) 反相结构　　(b) 与非结构　　(c) 或非结构

(d) 传输门结构　　(e) OD输出结构

图 3-3-4　CMOS 集成门电路中的几种基本功能结构

【例 3-3-2】　试分析图 3-3-5 电路的逻辑功能。

解：首先将电路划分为虚线框内的六个基本功能模块：最左边的三个**与**结构模块、中间的两个**或非**结构模块和最右边的推拉式输出模块，如图中所示。

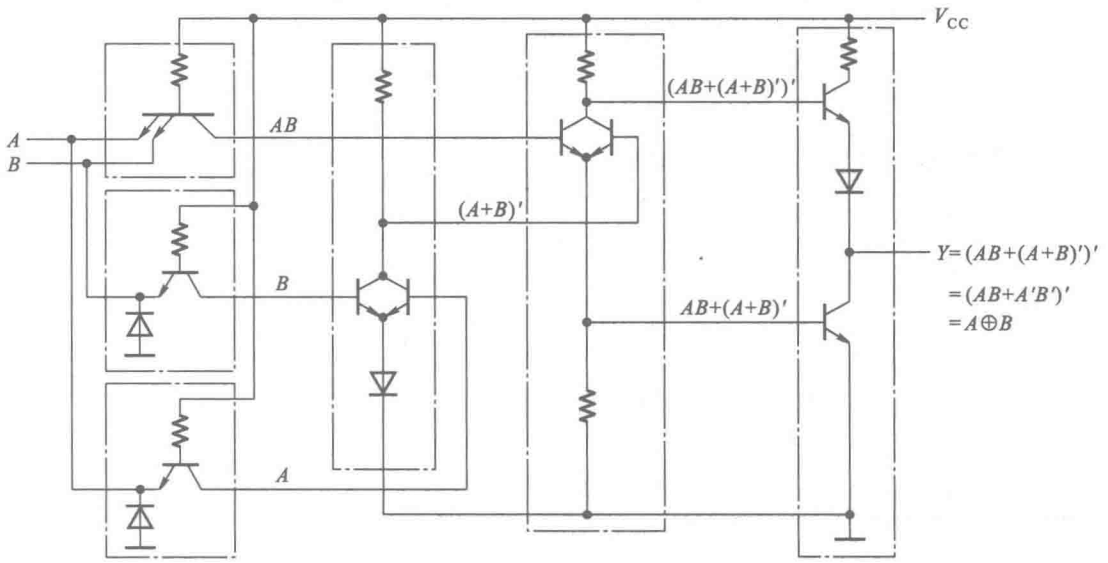


图 3-3-5　例 3-3-2 的电路

然后自左而右地逐个写出每个模块的逻辑关系式(如图中所示),最后得到

$$Y=(AB+(A+B)')'=(AB+A'B')'=A\oplus B$$

因此,图 3-3-5 电路是**异或**门电路。

【例 3-3-3】　试分析图 3-3-6 电路的逻辑功能。

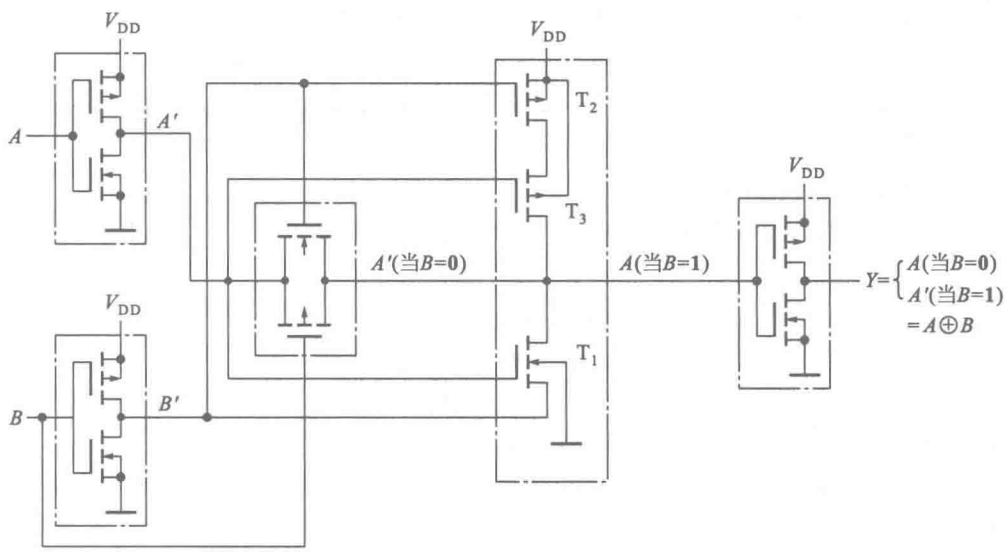


图 3-3-6　例 3-3-3 的电路

解：这个电路可以划分成四个反相器和一个传输门共五个功能模块。传输门的工作状态由 B 和 B'控制,当 $B=0$ 时传输门导通,输出等于输入的 A';当 $B=1$ 时传输门截止。电路图中间的一个反相器受 B'状态的控制,当 $B=0$ 时($B'=1$)T_1 和 T_2 同时截止,反相器不工作;当

$B=1$ 时($B'=0$)T_1 和 T_2 同时导通,反相器工作,输出等于 A。再经过输出端反相器反相以后得到

$$Y=\begin{cases}A(\text{当 } B=0)\\A'(\text{当 } B=1)\end{cases}$$

把上式的真值表列出(表 3-3-1)即可看到,$Y=A\oplus B$。

表 3-3-1 图 3-3-6 电路的逻辑真值表

A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

三、输入特性和输出特性的应用

这里所说的输入、输出特性的应用,是指应用数字集成电路的输入电气特性和输出电气特性解决集成电路之间的互相连接、集成电路与输入端外接电路的连接以及集成电路与输出端外接负载电路的连接问题。

1. TTL 电路扇出系数的计算

所谓扇出系数,通常是指一个门电路可以同时驱动同一种门电路输入端的最大数目。

解题方法和步骤:

① 首先需要知道驱动门每个输入端的低电平输出电流最大值 $I_{OL(max)}$ 和高电平输出电流最大值 $I_{OH(max)}$、负载门低电平输入电流最大值 $I_{IL(max)}$ 和高电平输入电流最大值 $I_{IH(max)}$。这些参数可以从手册上查到,也可以是题目给出的。

② 计算在 $I_{OL}\leqslant I_{OL(max)}$ 的条件下,驱动门能驱动负载门的数目 N_1。由图3-3-7(a)可知,这时应满足

$$I_{OL}=N_1\mid kI_{IL(max)}\mid \leqslant I_{OL(max)}$$

$$N_1\leqslant\frac{I_{OL(max)}}{\mid kI_{IL(max)}\mid}$$

负载为**或/或非**门时,k 等于每个门的并联输入端数;负载为**与/与非**门时,k 等于 1。

③ 计算在 $I_{OH}\leqslant I_{OH(max)}$ 的条件下,驱动门能驱动负载门的数目 N_2。由图3-3-7(b)可知,这时应满足

$$I_{OH}=pN_2I_{IH(max)}\leqslant\mid I_{OH(max)}\mid$$

$$N_2\leqslant\frac{\mid I_{OH(max)}\mid}{pI_{IH(max)}}$$

上式中的 p 是每个负载门的并联输入端个数。

④ 取 N_1、N_2 中小的一个,即为所求的扇出系数。

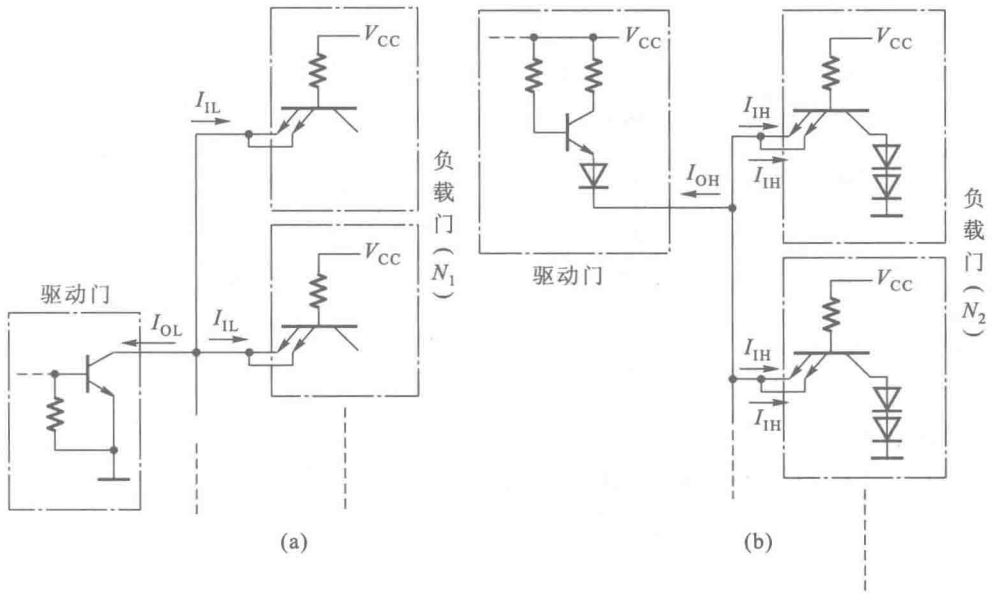


图 3-3-7　计算 TTL 电路扇出系数的简化电路

【例 3-3-4】　在图 3-3-8 电路中，试计算 2 输入**或非**门 G_1 能驱动多少个同样的**或非**门电路。已知**或非**门的低电平输出电流最大值 $I_{OL(max)}=16$ mA，高电平输出电流最大值 $I_{OH(max)}=-0.4$ mA，高电平输入电流最大值 $I_{IH(max)}=40$ μA，低电平输入电流最大值 $I_{IL(max)}=-1.6$ mA。

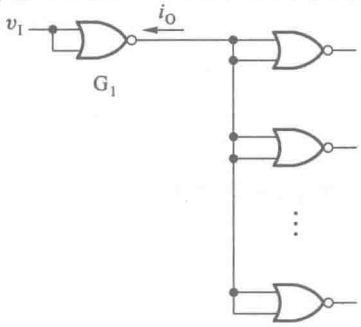


图 3-3-8　例 3-3-4 的电路

解：在保证 $I_{OL}\leqslant I_{OL(max)}$ 的条件下，设 G_1 可驱动负载门的个数为 N_1，因为每个负载门的两个**或**输入端并联，故有

$$I_{OL}=N_1\left|2I_{IL(max)}\right|\leqslant I_{OL(max)}$$

$$N_1\leqslant\frac{I_{OL(max)}}{\left|2I_{IL(max)}\right|}=\frac{16}{2\times1.6}=5$$

若 G_1 输出高电平时能驱动的负载门个数为 N_2，则有

$$I_{OH}=N_2 2I_{IH(max)}\leqslant\left|I_{OH(max)}\right|$$

$$N_2\leqslant\frac{\left|I_{OH(max)}\right|}{2I_{IH(max)}}=\frac{0.4}{2\times0.04}=5$$

综合 G_1 输出高、低电平时的驱动能力后得到 $N=5$。

2. TTL 电路输入端串联电阻允许值的计算

由图 3-3-9 可知，当输入信号经过串联电阻 R_P 接到门电路的输入端时，由于 TTL 电路的高电平输入电流和低电平输入电流都不等于零，所以在串联电阻 R_P 上要产生压降。当输入为高电平时，由图 3-3-9(a)可见，如果 R_P 数值过大，则加到门电路输入端的 V_A 将低于规定的 $V_{IH(min)}$ 这是不允许的。同理，当输入为低电平时，由图 3-3-9(b)可见，如果 R_P 选得过大，则 V_A 将高于规定的 $V_{IL(max)}$，这也是不允许的。因此，需要计算出 R_P 阻值的允许范围。

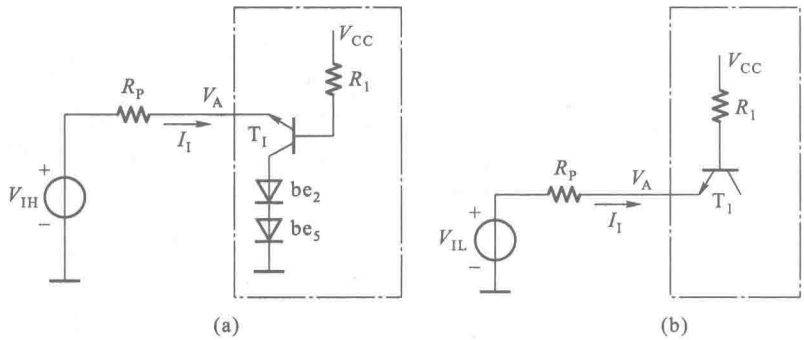


图 3-3-9 TTL 电路输入端串联电阻允许值的计算

解题方法和步骤：

(1) 计算 $V_I=V_{IH}$ 时 R_P 的最大允许值。为保证 $V_A \geqslant V_{IH(min)}$，即

$$V_A=V_{IH}-R_P I_{IH(max)} \geqslant V_{IH(min)}$$

于是得到

$$R_P \leqslant \frac{V_{IH}-V_{IH(min)}}{I_{IH(max)}} \tag{3-3-1}$$

其中 V_{IH}、$V_{IH(min)}$、$I_{IH(max)}$ 的具体数值由题目给出，也可以从器件手册中查到。$I_{IH(max)}$ 的值在 $V_A>V_{IH(min)}$ 的范围内基本不变。如果 V_A 处有多个输入端并联，则应以总的输入电流代替式(3-3-1)中的 $I_{IH(max)}$。

(2) 计算 $V_I=V_{IL}$ 时 R_P 的最大允许值。由图 3-3-9(b)可见，为了保证 $V_A \leqslant V_{IL(max)}$，$R_P$ 上的压降应小于 $V_{IL(max)}-V_{IL}$。因为 R_P 与 R_1 同处于一个串联支路中，所以它们的电阻值之比等于它们上面的压降之比，即

$$\frac{R_P}{R_1} \leqslant \frac{V_{IL(max)}-V_{IL}}{V_{CC}-V_{BE1}-V_{IL(max)}}$$

$$R_P \leqslant \frac{V_{IL(max)}-V_{IL}}{V_{CC}-V_{BE1}-V_{IL(max)}} R_1 \tag{3-3-2}$$

式中的 V_{IL}、$V_{IL(max)}$ 由题目给出，或从器件手册中查到。V_{BE1} 是 T_1 发射结的导通压降，约 0.7 V。

如果 V_A 处有 n 个 TTL 门电路并联，则可以利用戴维宁定理将这 n 个输入电路等效为 V_{CC}、V_{BE1} 和一个阻值为 R_1/n 的电阻串联的支路，并以 R_1/n 代替式(3-3-2)中的 R_1。

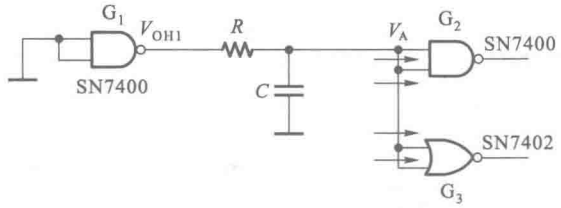
(3) 取式(3-3-1)和式(3-3-2)的计算结果中阻值较小的一个作为 R_P 的最大允许值。

【例 3-3-5】 在图 3-3-10 电路中，试求 *RC* 滤波电路中 *R* 的最大允许阻值。已知门 G_1 输出的高、低电平分别为 3.4 V 和 0.2 V，门 G_2 和 G_3 的高电平输入电流最大值 $I_{IH(max)}=40\ \mu A$，输入高电平最小值 $V_{IH(min)}=2$ V，输入低电平最大值 $V_{IL(max)}=0.8$ V。

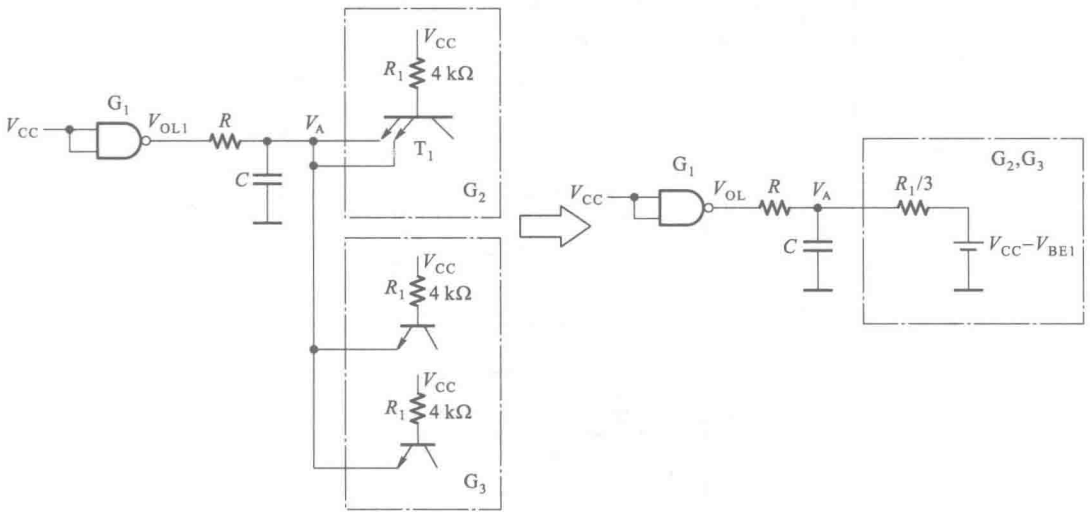
解：当 *RC* 电路输入为高电平 $V_{OH1}=3.4$ V 时，由式(3-3-1)得到

$$R \leqslant \frac{V_{OH1}-V_{IH(min)}}{4I_{IH(max)}}=\frac{3.4-2.0}{4\times 0.04}\ k\Omega=8.75\ k\Omega$$

而当 *RC* 电路输入为低电平 $V_{OL1}=0.2$ V 时，由式(3-3-2)又得到



(a) 当G_1输出为高电平



(b) 当G_1输出为低电平

图 3-3-10　例 3-3-5 的电路

$$R \leqslant \frac{V_{IL(max)}-V_{IL}}{V_{CC}-V_{BE1}-V_{IL(max)}} \cdot \frac{R_1}{3}=\frac{0.8-0.2}{5-0.7-0.8}\times\frac{4}{3}\ \text{k}\Omega=0.228\ \text{k}\Omega$$

为同时满足 RC 电路输入高电平时和输入低电平时对 R 取值的限制，R 的阻值不应大于 0.228 kΩ。

3. 三极管接口电路的电路参数计算

在输入信号的高、低电平与数字集成电路要求的输入电平不同，或者输入信号不能提供数字集成电路所要求的输入电流时，就需要在输入信号与集成电路之间接入接口电路，如图 3-3-11(a)所示。同样，在数字集成电路输出的高、低电平不符合负载电路的要求，或者数字集成电路不能提供负载所需要的输出电流时，也需要在数字集成电路与负载之间接入接口电路，如图 3-3-11(b)所示。

在没有合适的接口电路芯片可以选用的情况下，可以用三极管开关电路设计成所需要的接口电路。数字集成电路可能是 TTL 电路、CMOS 电路或其他类型的集成电路。负载电路部分同样既可能是 TTL、CMOS 电路，也可能是其他类型的电路。

解题方法和步骤：

在图 3-3-11(b)电路中，为了保证接口电路在 $v_I=V_{IL}$ 时 v_O 的高电平高于要求的 V_{OH}，在 $v_I=V_{IH}$ 时三极管饱和导通($v_O \approx 0$)，无论是在分析给定接口电路时还是设计接口电路时，电路参数的配合必须符合以下关系：

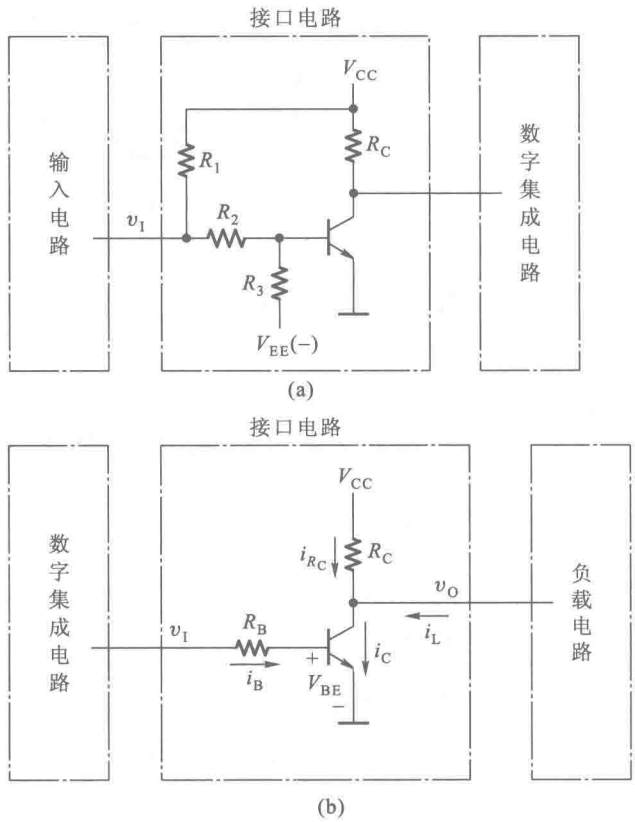


图 3-3-11 三极管接口电路

① 当 $v_I = V_{IL}$ 时，$V_{BE} < V_{ON}$（开启电压，硅三极管约为 0.6 V），三极管截止，且

$$v_O = V_{CC} - R_C \mid i_L \mid \geqslant V_{OH} \tag{3-3-3}$$

② 当 $v_I = V_{IH}$ 时，三极管饱和导通，即

$$\begin{aligned} i_B &= \frac{i_C}{\beta} = \frac{1}{\beta}(i_{R_C} + i_L) \\ &= \frac{1}{\beta}\left(\frac{V_{CC} - V_{CE(sat)}}{R_C} + i_L\right) \geqslant I_{BS} \end{aligned} \tag{3-3-4}$$

式中 I_{BS} 为三极管的饱和基极电流，$V_{CE(sat)}$ 是三极管的饱和压降，β 是三极管的电流放大系数。

【例 3-3-6】 在图 3-3-12 电路中，CMOS 门电路 G_1 通过接口电路同时驱动 TTL **与非**门 G_2、G_3 和 TTL **或非**门 G_4 和 G_5。已知 G_1 输出的高、低电平分别为4.3 V和 0.1 V，输出电阻小于 50 Ω；$G_2 \sim G_5$ 的高电平输入电流 $I_{IH} = 40\ \mu A$，低电平输入电流 $I_{IL} = -1.6$ mA；三极管的电流放大系数 $\beta = 60$，饱和压降 $V_{CE(sat)} \leqslant 0.2$ V。要求接口电路输出的高、低电平满足 $V_{OH} \geqslant 3.4$ V，$V_{OL} \leqslant 0.2$ V，试选择一组合适的 R_B 和 R_C 的阻值。

解：当 G_1 输出低电平时，接口电路的输入为 $v_I = V_{IL} = 0.1$ V，故三极管截止，v_O 的高电平应满足式(3-3-3)，即

$$V_{OH} = V_{CC} - R_C \mid i_L \mid \geqslant 3.4\ \text{V}$$

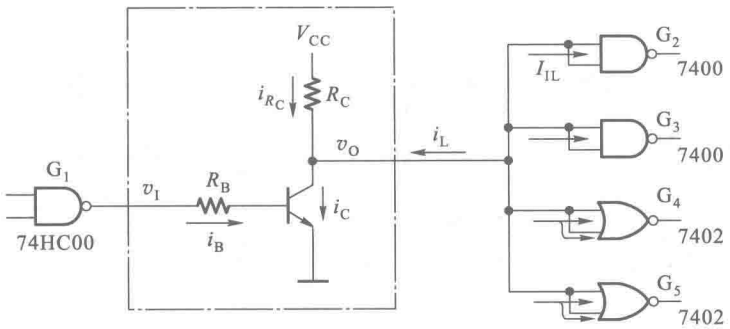


图 3-3-12　例 3-3-6 的电路

为了保证 $V_{OH}\geqslant 3.4$ V，选 $V_{CC}=5$ V，而 $|i_L|=8|I_{IH}|=0.32$ mA，于是得到

$$R_C\leqslant\frac{V_{CC}-3.4}{|i_L|}=\frac{5-3.4}{0.32}\ \text{k}\Omega=5.0\ \text{k}\Omega$$

当 G_1 输出高电平时，接口电路的输入为 $v_I=V_{IH}=4.3$ V。为保证三极管饱和导通，应满足式(3-3-4)，即

$$i_B\geqslant\frac{1}{\beta}\left(\frac{V_{CC}-V_{CE(sat)}}{R_C}+i_L\right)$$

$$\frac{V_{IH}-V_{BE}}{R_B}\geqslant\frac{1}{\beta}\left(\frac{V_{CC}-V_{CE(sat)}}{R_C}+i_L\right)\qquad(3-3-5)$$

上式中有 R_B 和 R_C 两个待定参数，通常可以在已求出的 R_C 允许阻值范围内选定一个阻值，然后代入上式求出所需要的 R_B 值。因为**与非**门的输入端并联后总的低电平输入电流并不增加，而**或非**门输入端并联后总的低电平输入电流按并联输入端的数目加倍，所以 v_O 为低电平时接口电路总的负载电流 i_L 等于 $6|I_{IL}|$。若取 $R_C=2$ kΩ，则将这些值代入式(3-3-5)后得到

$$\frac{4.3-0.7}{R_B}\geqslant\frac{1}{60}\left(\frac{5-0.2}{2}+6\times1.6\right)$$

$$R_B\leqslant\frac{3.6}{2.4+9.6}\times60\ \text{k}\Omega=18\ \text{k}\Omega$$

由于产品手册上给出的 β 值通常都是三极管工作在线性放大区时的 β 值，而进入饱和区以后 β 值迅速减小，所以应当选用比上面计算结果更小的 R_B 阻值。在本例中可以选 $R_B=12$ kΩ(或 15 kΩ)。

四、OC 门和 OD 门外接上拉电阻阻值的计算

解题方法和步骤：

OC 门和 OD 门的应用电路接法可以画成图 3-3-13 所示的形式。

(1) 当 OC 门(或 OD 门)全部截止，输出为高电平时，由图 3-3-13(a)可见，所有 OC 门输出三极管截止状态下的漏电流 I_{OH} 和负载电路全部的高电平输入电流 $\sum I_{IH}$ 全部流过 R_L，在 R_L 上产生压降。为保证 v_O 输出的高电平高于要求的 V_{OH} 值，R_L 的阻值不能取得太大，据此即可求出 R_L 的最大允许值。由图 3-3-13(a)电路得到

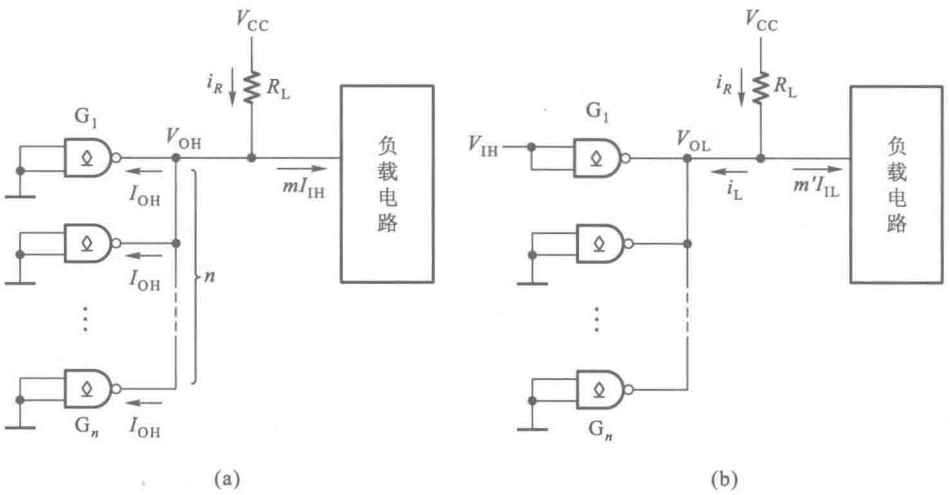


图 3-3-13 OC 门和 OD 门应用电路的一般结构形式

$$V_{CC}-R_L(nI_{OH}+mI_{IH})\geqslant V_{OH}$$

$$R_L\leqslant\frac{V_{CC}-V_{OH}}{nI_{OH}+mI_{IH}}=R_{L(max)} \tag{3-3-6}$$

上式中的 m 是负载门电路高电平输入电流的数目。

(2) 当 OC 门(或 OD 门)输出为低电平,而且只有一个 OC 门导通的情况下,为了保证流经 R_L 的电流和负载电路所有的低电平输入电流全部流入一个导通的 OC 门时,仍然不会超过允许的最大电流 $I_{OL(max)}$,R_L 的阻值不能选得太小。据此可求出 R_L 的最小允许值。由图 3-3-13(b)电路得到

$$\frac{V_{CC}-V_{OL}}{R_L}+|m'I_{IL}|\leqslant I_{OL(max)}$$

$$R_L\geqslant\frac{V_{CC}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=R_{L(min)} \tag{3-3-7}$$

式中的 V_{OL} 是 OC 门输出三极管的饱和导通压降,具体数值通常都在 0.2 V 上下。m' 是负载门电路低电平输入电流的数目。负载为 CMOS 门电路时,m' 和 m 相等。

(3) 在 $R_{L(max)}$ 与 $R_{L(min)}$ 中间选定一个标称电阻值作为 R_L 的阻值。

【例 3-3-7】 在图 3-3-14 中,用 OC 门 G_1 和 G_2 的并联输出驱动三极管开关电路。要求 OC 门输出高电平时三极管 T 饱和导通,OC 门输出低电平时三极管 T 截止。

已知 OC 门 7403 输出高电平时输出端三极管的漏电流为 $I_{OH}\leqslant 0.1$ mA,输出为低电平 $V_{OL}=0.2$ V 时允许流入的最大负载电流为 $I_{OL(max)}=16$ mA。三极管 T 的电流放大系数 $\beta=50$,集电极负载电阻 $R_C=1$ kΩ,饱和导通压降 $V_{CE(sat)}=0.1$ V,饱和导通内阻 $R_{CE(sat)}=20$ Ω。给定 $V_{CC1}=5$ V,$V_{CC2}=10$ V。试求 R_L 取值的允许范围。

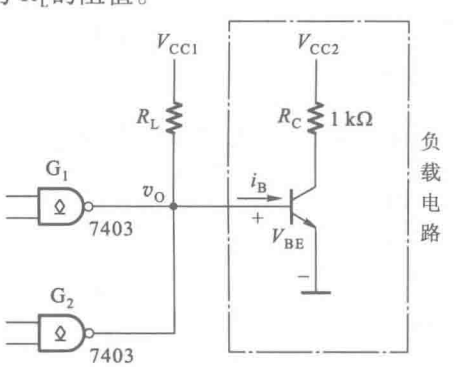


图 3-3-14 例 3-3-7 的电路

解：当 OC 门 G_1 和 G_2 同时截止时，v_O为高电平。因为三极管的发射结 be 导通后，v_O被钳在 0.7 V，所以 $V_{OH}=0.7$ V。这时由 V_{CC1}经 R_L提供给三极管 T 的基极电流 I_B（亦即负载电路的输入电流）应当大于三极管 T 的饱和基极电流 I_{BS}，所以 R_L值不能太大。根据式(3-3-6)得到

$$R_L \leqslant \frac{V_{CC1}-V_{BE}}{2I_{OH}+I_{BS}}=\frac{5-0.7}{2\times 0.1+I_{BS}}$$

其中 $I_{BS}=\dfrac{V_{CC2}-V_{CE(sat)}}{\beta(R_C+R_{CE(sat)})}=(10-0.1)/1\times 50\ \text{mA}\approx 0.2\ \text{mA}$，代入上式后得到

$$R_L \leqslant \frac{5-0.7}{2\times 0.1+0.2}\ \text{k}\Omega = 10.8\ \text{k}\Omega$$

当 OC 门中只有一个导通时，输出为低电平 $V_{OL}=0.2$ V。这时三极管 T 截止，负载电路的输入电流 $i_B=0$。为保证 OC 门的负载电流不超过 $I_{OL(max)}$，R_L值不能太小。根据式(3-3-7)得到

$$R_L \geqslant \frac{V_{CC1}-V_{OL}}{I_{OL(max)}}=\frac{5-0.2}{16}\ \text{k}\Omega = 0.3\ \text{k}\Omega$$

故应取　　$0.3\ \text{k}\Omega \leqslant R_L \leqslant 10.8\ \text{k}\Omega$。

第四章　组合逻辑电路

4.1　本章重点内容

一、组合逻辑电路在逻辑功能和电路结构上的特点(与时序逻辑电路的区别)。

二、组合逻辑电路的设计方法和步骤,以及使用小规模集成门电路和使用常用中规模集成组合逻辑电路模块进行设计的区别。

三、几种常见的中规模集成组合逻辑电路的逻辑功能和使用方法(会读功能表,掌握扩展功能的接法和附加控制端的各种应用,用于组合逻辑电路设计的原理等)。

四、定性了解组合逻辑电路中的竞争-冒险现象及常用的消除方法。

五、用可编程逻辑器件和硬件描述语言实现组合逻辑电路。

4.2　难点释疑

一、在使用中规模集成的组合逻辑电路器件设计要求的组合逻辑电路时,如何选择器件的类型?

1. 数据选择器的应用

首先来讨论用数据选择器设计组合逻辑电路的原理和适用范围。

以图 4-2-1 中的 4 选 1 数据选择器为例,已经知道它的输出逻辑函数式为

$$Y=D_0A_1'A_0'+D_1A_1'A_0+D_2A_1A_0'+D_3A_1A_0 \tag{4-2-1}$$

若将地址输入端 A_1、A_0 作为两个输入逻辑变量 B 和 C 的输入端,则可将式(4-2-1)写成

$$Z=D_0B'C'+D_1B'C+D_2BC'+D_3BC \tag{4-2-2}$$

如果将第三个输入变量的原变量 A、反变量 A'、**0**、**1** 根据所要产生的函数有选择地分别接至数据输入端 $D_0\sim D_3$,就可以得到任意形式的三变量组合逻辑函数。

我们已经知道,任意一个三变量逻辑函数都可以化为若干个三变量最小项之和的形式。在式(4-2-2)中,若将 A 接至 D_0 端,则式中的第一项成为 $AB'C'(m_4)$;若将 A' 接至 D_0 端,则这一项成为 $A'B'C'(m_0)$;若将 **1** 接至 D_0 端,因为 $\mathbf{1}=A+A'$,所以这一项等于两个最小项 $AB'C'$ 和 $A'B'C'$ 之和;若将 **0** 接至 D_0 端,则式(4-2-2)中将不含 $A'B'C'$ 和 $AB'C'$ 两个最小项。

同理,当我们分别将 A、A'、**1**、**0** 接至 D_1 端时,则式(4-2-2)中的第二项将分别变成 $AB'C(m_5)$、$A'B'C(m_1)$、$AB'C+A'B'C$、**0**。

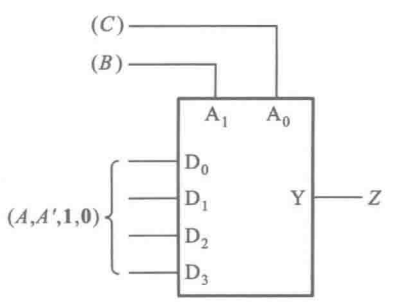


图 4-2-1　用数据选择器设计组合逻辑电路

当我们分别将 A、A'、**1**、**0** 接至 D_2 端时，式(4-2-2)中的第三项将分别变成 $ABC'(m_6)$、$A'BC'(m_2)$、$ABC'+A'BC'$、**0**。

当我们分别将 A、A'、**1**、**0** 接至 D_3 端时，式(4-2-2)中的第四项将分别变成 $ABC(m_7)$、$A'BC(m_3)$、$ABC+A'BC$、**0**。

可见，通过在 $D_0 \sim D_3$ 端接入不同的状态(A、A'、**0**、**1**)，就可以得到 $m_0 \sim m_7$ 的任意组合，也就是可以得到任何一种形式的三变量逻辑函数。因此，我们把数据选择器又看做是通用组合逻辑函数发生器。在组合逻辑电路设计中，数据选择器是通用性最强、应用最多的一种中规模集成电路。

它的应用范围只受两个条件限制，一是由于它只有一个输出端，所以只能用于生成单输出逻辑函数；二是输入变量数不能大于 $n+1$，这里的 n 是指数据选择器的地址输入端数目。

在后面第 4.3 节中我们还会通过例题具体说明用数据选择器设计组合逻辑电路的详细过程。

2. 译码器的应用

我们已经知道，译码器的基本功能是将每一个输入的二进制代码译成对应的一个输出端上的高、低电平信号。例如在图 4-2-2 的 3 线-8 线译码器中，当 $A_2A_1A_0$ 为 000～111 的每一组取值时，都有一个对应的输出端给出高电平信号(也有用低电平作为有效输出信号的)。

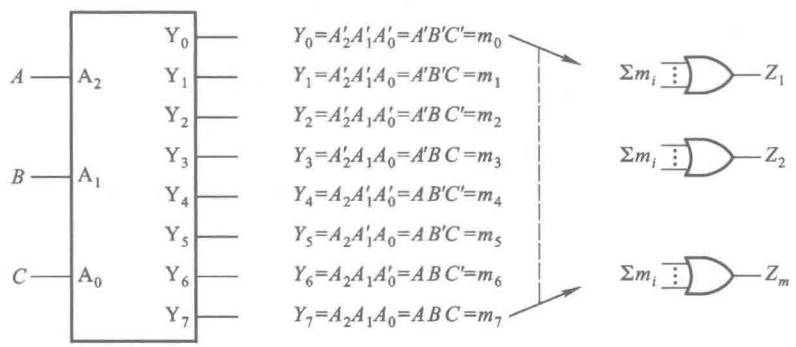


图 4-2-2　用译码器设计组合逻辑电路

如果将三个输入逻辑变量 A、B、C 分别接至 A_2、A_1、A_0，那么在 $Y_0 \sim Y_7$ 端将给出三变量 A、B、C 的全部最小项 $m_0 \sim m_7$。因此，我们又可以把译码器看做是通用的最小项发生器。因为任何组合逻辑函数都可以化为若干最小项之和的形式，所以只要用附加的**或**门将所需的那些最小项相加，就可以得到所需要的逻辑电路了，如图 4-2-2 所示。

在设计多输出的组合逻辑电路时，使用译码器和附加的门电路比使用多个数据选择器要更经济一些。因为每个输出函数所用的最小项都可以取自同一个译码器的输出，所以增加一个函数输出端只要增加一个**或**门就够了。

因为 n 位二进制译码器只有 n 个变量输入端，所以只能用它产生输入变量数不大于 n 的组合逻辑函数。

需要提醒注意一点，二-十进制译码器的十个输出端只能产生四变量的十个最小项 $m_0 \sim m_9$，没有给出四变量的全部最小项。因此，不能用它产生含有 $m_{10} \sim m_{15}$ 的四变量组合逻辑函数。

3. 加法器的应用

加法器的基本逻辑功能是将两个(或两组)输入按二进制数的数值相加而得到输出。因此,只有在输出能化成两部分输入按二进制数值相加的情况下,用加法器设计这样的电路最为简便、合理。可见,它的应用范围是很有限的。

此外,由表 4-2-1 全加器的真值表还可以看到,当输入 A、B、CI 有奇数个 **1** 时,输出 S 为 **1**;当 A、B、CI 中有偶数个 **1** 和全都是 **0** 时,S 为 0。因此,我们又可以把全加器当作 3 位二进制代码的奇偶校验电路使用。利用全加器能够很方便地构成多位二进制代码的奇偶校验电路。图 4-2-3 就是用全加器组成的 8 位代码奇偶校验电路。当 $b_0 \sim b_7$ 中有奇数个 **1** 时,输出 Y 为 **1**,否则 Y 等于零。

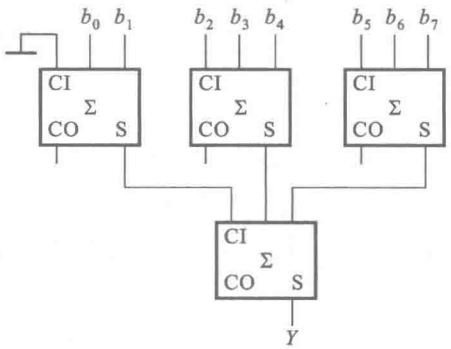


图 4-2-3 用全加器组成的 8 位代码奇偶校验电路

表 4-2-1 全加器的真值表

输入			输出	
CI	A	B	S	CO
0	**0**	**0**	**0**	**0**
0	**0**	**1**	**1**	**0**
0	**1**	**0**	**1**	**0**
0	**1**	**1**	**0**	**1**
1	**0**	**0**	**1**	**0**
1	**0**	**1**	**0**	**1**
1	**1**	**0**	**0**	**1**
1	**1**	**1**	**1**	**1**

4. 数值比较器的应用

数值比较器的基本逻辑功能是比较两个输入二进制代码的数值,给出大于、小于和相等的输出信号。因此,它只能用在判断两个代码是否相同或者数值的大小关系,局限性很大。

5. 编码器的应用

编码器的基本逻辑功能是把每个输入端的高、低电平信号转换为一个对应的输出代码。因此，它仅限于用在需要把一组开关信号转换为一组二进制代码的地方，应用范围也很局限。在输出的代码和我们所要求的编码形式不同时，还需要通过代码转换电路，转换为所要求的代码。

二、为什么有时把表示反相的小圆圈画在逻辑图形符号的输入端？怎样分析这种图形符号的逻辑功能？

在某些具体的逻辑电路当中，有的输入逻辑变量是以低电平作为有效信号的。在这种情况下，有时为了强调说明“低电平有效”，便在信号输入端处加上小圆圈，并在信号名称上加“非”号。从逻辑功能上讲，这个小圆圈所代表的含义是输入信号经过反相以后才加到后边的输入端上的，所以它代替了输入端的一个反相器，如图 4-2-4 所示。因此，也可以把这种画法看做是一种用输入端的小圆圈代替反相器的简化画法。

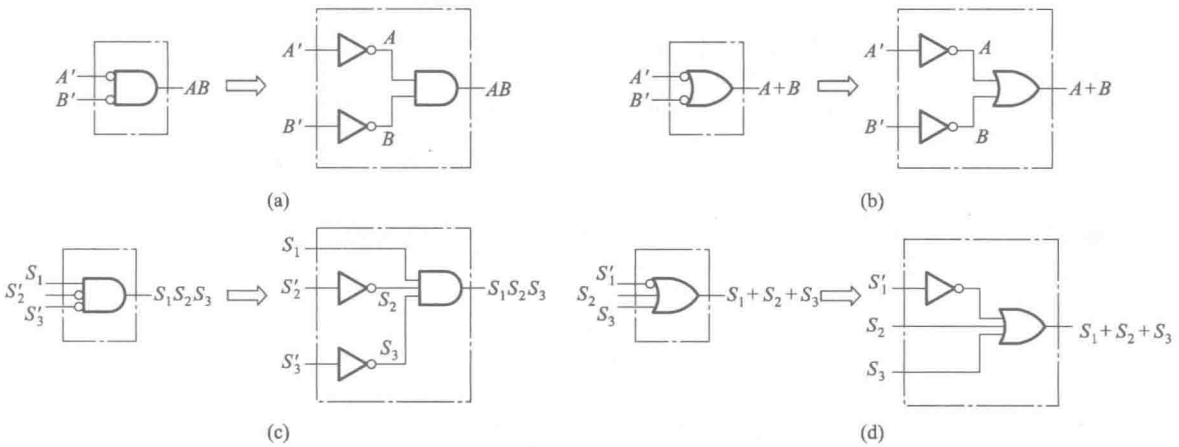


图 4-2-4　输入端有反相记号的逻辑符号的等效替代

在分析这一类型逻辑图形符号的功能时，只要用反相器代替输入端的小圆圈（如图 4-2-4 所示），马上就可以写出它所表示的逻辑运算式了。

4.3　习题类型与解题方法

这一章的习题不外乎组合逻辑电路分析和组合逻辑电路设计两大类。

所谓组合逻辑电路的分析，是指分析给定逻辑电路的功能，写出它的逻辑函数式或功能表，以使逻辑功能更加直观、明了。给定的逻辑电路又可以分为两种类型，一种是用小规模集成门电路组成的，另一种是用中规模集成常用组合逻辑电路组成的。

所谓组合逻辑电路的设计，是指根据要求实现的逻辑功能，设计出实现这种逻辑功能的具体逻辑电路。这类题目也分为三种类型，一种类型是采用小规模集成门电路实现要求的逻辑功能，第二种类型则是采用中规模集成常用组合逻辑电路实现要求的逻辑功能，第三种类型是采用可编程逻辑器件设计需要的逻辑电路。在采用可编程逻辑器件进行设计时，需要使用硬件描述语

言进行逻辑功能的描述。然后选择合适的器件和开发工具，最后将编程数据下载到可编程器件中。

一、分析用小规模集成门电路组成的组合逻辑电路

解题方法和步骤：

通常采用的方法是从输入端到输出端依次写出每一级门电路输出的逻辑式，最后在输出端自然就得到了表示整个电路输出与输入之间关系的逻辑函数式。这个方法就是我们介绍各种逻辑函数表示方法相互转换时所讲过的从逻辑图到逻辑函数式的转换方法。

有时还可以从逻辑函数式列出真值表，以使逻辑功能更加一目了然。

【例 4-3-1】 试分析图 4-3-1 给出的逻辑电路，说明该电路所能实现的逻辑功能。

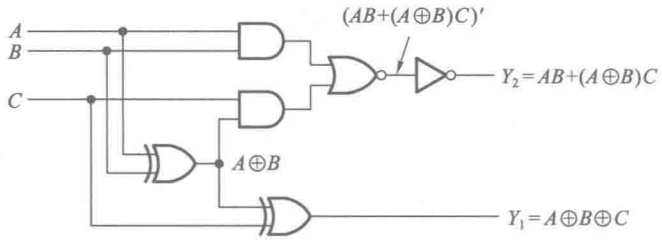


图 4-3-1 例 4-3-1 的电路

解： 从输入端 A、B、C 向输出端 Y_1、Y_2 依次写出每一级门电路输出的逻辑运算式，如图中所示，于是得到

$$Y_1 = A \oplus B \oplus C \tag{4-3-1}$$

$$Y_2 = AB + (A \oplus B)C \tag{4-3-2}$$

但是这两个式子所表示的逻辑功能还不够直观，所以我们进一步列出 Y_1 和 Y_2 的真值表，见表 4-3-1。从这个真值表上可以看出，当 A、B、C 中有奇数个 **1** 时 Y_1 等于 **1**，否则等于 **0**；当 A、B、C 中有两个以上同时为 **1** 时，Y_2 等于 **1**，否则等于 **0**。如果把 A、B、C 看做是相加的三个二进制数，则 Y_1 就是输出的和，Y_2 就是输出的进位。因此，图 4-3-1 实际上就是一个全加器。

表 4-3-1 例 4-3-1 电路的逻辑真值表

A	B	C	AB	$A\oplus B$	$(A\oplus B)C$	Y_1 $(A\oplus B)\oplus C$	Y_2 $AB+(A\oplus B)C$
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	1	0	1	0
0	1	1	0	1	1	0	1
1	0	0	0	1	0	1	0
1	0	1	0	1	1	0	1
1	1	0	1	0	0	0	1
1	1	1	1	0	0	1	1

二、分析用中规模集成常用组合逻辑电路组成的组合逻辑电路

解题方法和步骤：

（1）根据所用器件本身固有的逻辑功能，写出表示输入与输出之间关系的逻辑函数式。

（2）用加到输入端的变量名称和写到输出端的变量名称代替上述逻辑函数式中对应端的名称，就得到了所分析电路的逻辑函数式。

为便于更加直观地显示电路的逻辑功能，有时还需要列出电路的逻辑真值表。

【例 4-3-2】 试写出图 4-3-2 电路的输出逻辑函数式，说明该电路的逻辑功能。

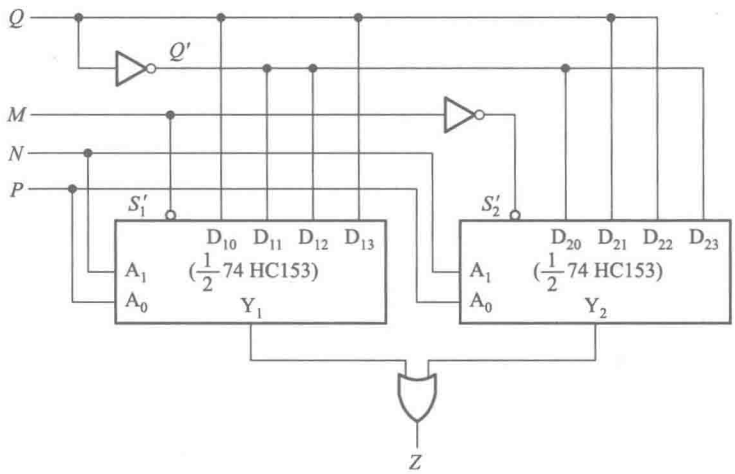


图 4-3-2　例 4-3-2 的电路

解： 74HC153 是双 4 选 1 数据选择器，两个数据选择器有公共的地址输入端 A_1 和 A_0，其余的输入端和输出端是各自独立的。

我们已经知道 4 选 1 数据选择器的输出函数式为

$$Y_1 = S_1(A_1'A_0'D_{10} + A_1'A_0D_{11} + A_1A_0'D_{12} + A_1A_0D_{13})$$

$$Y_2 = S_2(A_1'A_0'D_{20} + A_1'A_0D_{21} + A_1A_0'D_{22} + A_1A_0D_{23})$$

由此可知

$$\begin{aligned} Z &= Y_1 + Y_2 \\ &= S_1(A_1'A_0'D_{10} + A_1'A_0D_{11} + A_1A_0'D_{12} + A_1A_0D_{13}) \\ &\quad + S_2(A_1'A_0'D_{20} + A_1'A_0D_{21} + A_1A_0'D_{22} + A_1A_0D_{23}) \end{aligned}$$

在图 4-3-2 电路中，$A_0 = P$，$A_1 = N$，$S_1 = M'$，$S_2 = M$，$D_{10} = D_{13} = D_{21} = D_{22} = Q$，$D_{11} = D_{12} = D_{20} = D_{23} = Q'$。将 M、N、P、Q 代入上式得到

$$\begin{aligned} Z = {} & M'N'P'Q + M'N'PQ' + M'NP'Q' + M'NPQ + MN'P'Q' + MN'PQ \\ & + MNP'Q + MNPQ' \end{aligned} \tag{4-3-3}$$

如果列出 Z 的真值表（如表 4-3-2）则可以看出，当 M、N、P、Q 中有奇数个 **1** 时 Z 等于 **1**，其余情况下 Z 等于 **0**，所以这是一个 4 位二进制代码的奇偶校验电路。

表 4-3-2 例 4-3-2 中函数 Z 的真值表

M	N	P	Q	Z
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

【例 4-3-3】 分析图 4-3-3 中的逻辑电路，说明该电路具有什么逻辑功能。

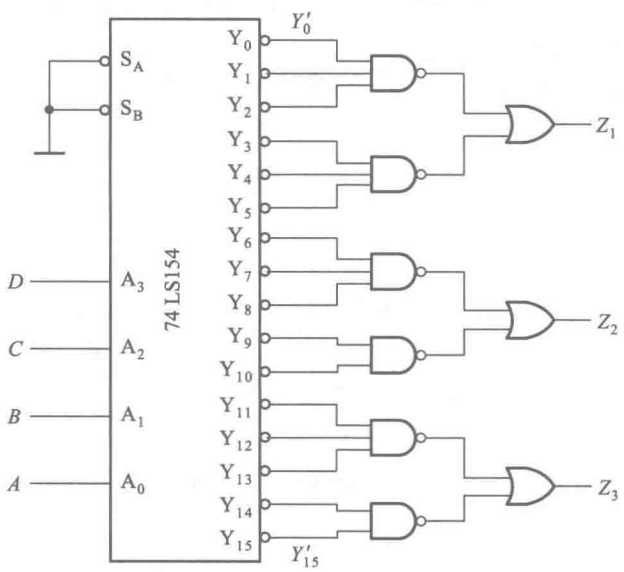


图 4-3-3 例 4-3-3 的电路

解：已知 74LS154 是 4 线-16 线译码器，输出与输入之间的关系为

$$\begin{cases} Y_0' = (A_3'A_2'A_1'A_0')' & Y_8' = (A_3A_2'A_1'A_0')' \\ Y_1' = (A_3'A_2'A_1'A_0)' & Y_9' = (A_3A_2'A_1'A_0)' \\ Y_2' = (A_3'A_2'A_1A_0')' & Y_{10}' = (A_3A_2'A_1A_0')' \\ Y_3' = (A_3'A_2'A_1A_0)' & Y_{11}' = (A_3A_2'A_1A_0)' \\ Y_4' = (A_3'A_2A_1'A_0')' & Y_{12}' = (A_3A_2A_1'A_0')' \\ Y_5' = (A_3'A_2A_1'A_0)' & Y_{13}' = (A_3A_2A_1'A_0)' \\ Y_6' = (A_3'A_2A_1A_0')' & Y_{14}' = (A_3A_2A_1A_0')' \\ Y_7' = (A_3'A_2A_1A_0)' & Y_{15}' = (A_3A_2A_1A_0)' \end{cases}$$

由图可知输出 Z_1、Z_2、Z_3 分别为

$$\begin{aligned} Z_1 &= (Y_0'Y_1'Y_2')' + (Y_3'Y_4'Y_5')' = Y_0 + Y_1 + Y_2 + Y_3 + Y_4 + Y_5 \\ &= A_3'A_2'A_1'A_0' + A_3'A_2'A_1'A_0 + A_3'A_2'A_1A_0' + A_3'A_2'A_1A_0 + A_3'A_2A_1'A_0' + A_3'A_2A_1'A_0 \\ Z_2 &= (Y_6'Y_7'Y_8')' + (Y_9'Y_{10}')' = Y_6 + Y_7 + Y_8 + Y_9 + Y_{10} \\ &= A_3'A_2A_1A_0' + A_3'A_2A_1A_0 + A_3A_2'A_1'A_0' + A_3A_2'A_1'A_0 + A_3A_2'A_1A_0' \\ Z_3 &= (Y_{11}'Y_{12}'Y_{13}')' + (Y_{14}'Y_{15}')' = Y_{11} + Y_{12} + Y_{13} + Y_{14} + Y_{15} \\ &= A_3A_2'A_1A_0 + A_3A_2A_1'A_0' + A_3A_2A_1'A_0 + A_3A_2A_1A_0' + A_3A_2A_1A_0 \end{aligned}$$

在以上三式中，令 $A_3 = D$、$A_2 = C$、$A_1 = B$、$A_0 = A$，得到

$$\begin{aligned} Z_1 &= D'C'B'A' + D'C'B'A + D'C'BA' + D'C'BA + D'CB'A' + D'CB'A \\ Z_2 &= D'CBA' + D'CBA + DC'B'A' + DC'B'A + DC'BA' \\ Z_3 &= DC'BA + DCB'A' + DCB'A + DCBA' + DCBA \end{aligned}$$

若 *DCBA* 为 4 位二进制数，则图 4-3-3 电路具有数值范围判断功能。当 *DCBA* 等效的十进制数小于、等于 5 时，$Z_1 = \mathbf{1}$。当 *DCBA* 等效的十进制数在 6~10 之间时，$Z_2 = \mathbf{1}$。当 *DCBA* 等效的十进制数在 11~15 之间时，$Z_3 = \mathbf{1}$。

三、用小规集成门电路设计组合逻辑电路

解题方法和步骤：

(1) 进行逻辑抽象，把要求实现的逻辑功能表述为一个逻辑函数形式。具体的做法可按如下步骤进行：

① 确定输入变量和输出变量。通常总是把引起事件的原因作为输入变量，把事件的结果作为输出变量。

② 定义逻辑状态的含意。因为在二值逻辑中，输入、输出变量都有 **0** 和 **1** 两种取值，所以要规定它们各自 **0**、**1** 所代表的具体含义。

③ 根据设计题目给出的因果关系，列出表示输出与输入关系的真值表。这样就把一个实际的逻辑功能要求抽象为一个逻辑函数了。

(2) 写出逻辑函数式。为了能应用逻辑代数的公式和定理进行逻辑函数的化简和变换，需要将真值表转换成逻辑函数式。

对于某些逻辑关系比较简单的问题，有时也可以直接写出它的逻辑函数式，省略列出真值表这一步。

（3）将逻辑函数式化简或变换。为使设计的电路尽量简单，即所用的门最少，且每个门的输入端数目最少，就必须将函数化为最简形式——所含乘积项最少，同时每个乘积项的因子最少。

如果对使用的门电路类型有限制，则有时还需要对函数式进行变换，以适应所用门电路的特点。例如规定全部用**与非**门组成设计的电路，那么就必须将函数式化为**与非-与非**的形式，等等。

（4）画出用门电路组成的逻辑电路图。

到这一步为止，应当说只是完成了逻辑设计。要想把逻辑设计变为实际的硬件设备，还需要进行工艺设计和施工，这些内容就不包括在本课程的内容里了。

【例 4-3-4】 设计一个代码转换电路，将余 3 循环码转换为 8421 码。

解： 根据题意可知，设计的代码转换电路以余 3 循环码为输入、8421 码为输出，这就可以直接列出表示输出与输入关系的真值表，如表 4-3-3 所示。

表 4-3-3 例 4-3-4 代码转换电路的真值表

输入				输出			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1
0	1	1	1	0	0	1	0
0	1	0	1	0	0	1	1
0	1	0	0	0	1	0	0
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	0
1	1	1	1	0	1	1	1
1	1	1	0	1	0	0	0
1	0	1	0	1	0	0	1

由于余 3 循环码中不会出现 **0000**、**0001**、**0011**、**1000**、**1001** 和 **1011** 这六种状态，所以可将 $A_3'A_2'A_1'A_0'$、$A_3'A_2'A_1'A_0$、$A_3'A_2'A_1A_0$、$A_3A_2'A_1'A_0'$、$A_3A_2'A_1'A_0$ 和 $A_3A_2'A_1A_0$ 这六个最小项作为约束项处理。

从表 4-3-3 可以写出 Y_3、Y_2、Y_1、Y_0 作为 A_3、A_2、A_1、A_0 的逻辑函数的表达式，然后进行化简。如果利用卡诺图化简，则可以直接从表 4-3-3 画出图 4-3-4 中 Y_3、Y_2、Y_1、Y_0 的卡诺图，而无需先写出它们化简前的逻辑式。

由图 4-3-4 的卡诺图化简后得到

$$\begin{cases} Y_3 = A_3A_1A_0' \\ Y_2 = A_3A_0 + A_1'A_0' \\ Y_1 = A_0 \\ Y_0 = A_3A_2' + A_3A_1A_0 + A_3A_1'A_0' + A_3'A_1'A_0 + A_3'A_2A_1A_0' \end{cases} \tag{4-3-4}$$

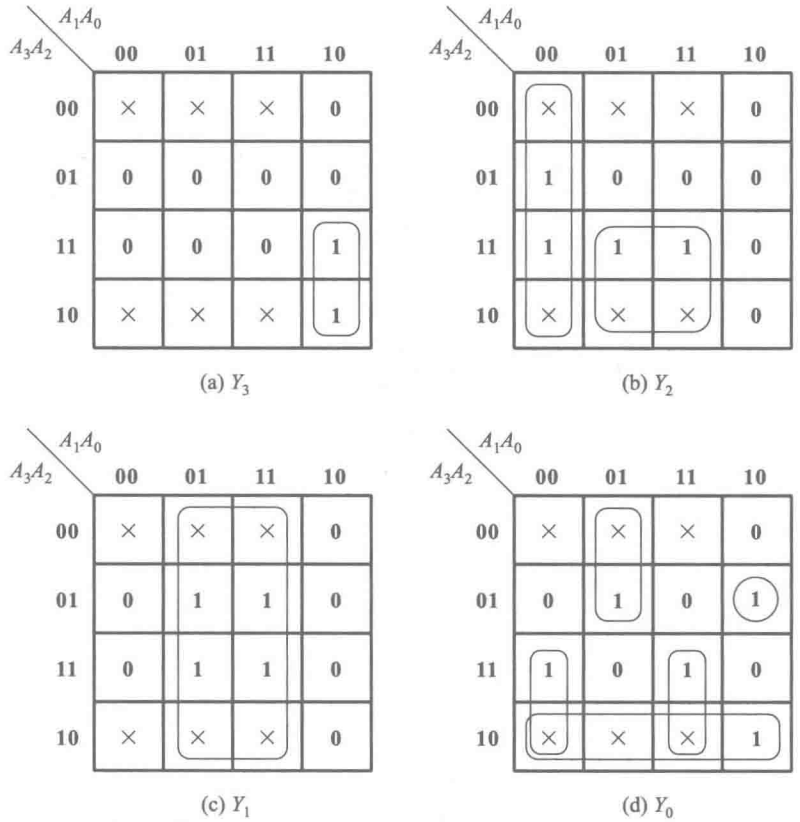


图 4-3-4　例 4-3-4 电路的卡诺图

如果对使用门电路的类型没有任何限制，那么直接用**与**门和**或**门组成的电路将如图 4-3-5 所示。为了保证信号的单向传输，并将输入与输出电路隔离，应在 A_0 与 Y_1 之间接入同相输出的缓冲器。

如果规定只能用 2 输入**与非**门 74HC00 和 3 输入**与非**门 74HC10 组成这个代码转换电路，这时就必须将式(4-3-4)变换为全部由两变量**与非**运算、三变量**与非**运算、非运算组合而成的形式，即

$$
\begin{cases}
Y_3=((A_3A_1A_0')')' \\
Y_2=((A_3A_0+A_1'A_0')')'=((A_3A_0)'\cdot(A_1'A_0')')' \\
Y_1=A_0 \\
Y_0=((A_3A_2'+A_3A_1A_0+A_3A_1'A_0'+A_3'A_1'A_0+A_3'A_2A_1A_0')')' \\
\quad=((A_3A_2')'\cdot(A_3A_1A_0)'\cdot(A_3A_1'A_0')'\cdot(A_3'A_1'A_0)'\cdot(A_3'A_2A_1A_0')')' \\
\quad=((A_3A_2')'\cdot(A_3A_1A_0)'\cdot(A_3A_1'A_0')'\cdot(A_3'A_1'A_0)'\cdot(A_3'\cdot((A_2A_1A_0')')')')' \\
\quad=((((A_3A_2')'\cdot(A_3A_1A_0)'\cdot(A_3A_1'A_0')')')'\cdot(((A_3'A_1'A_0)'\cdot(A_3'\cdot((A_2A_1A_0')')')')')')'
\end{cases}
\tag{4-3-5}
$$

根据式(4-3-5)画出的电路图如图 4-3-6 所示。图中只包含 2 输入**与非**门和 3 输入**与非**门两种门电路。

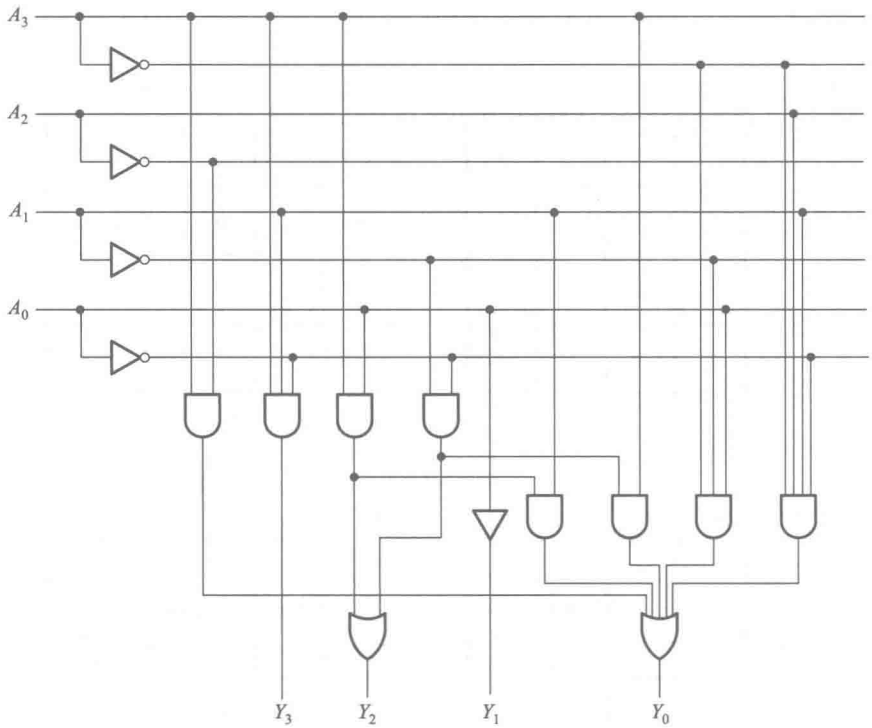


图 4-3-5 用**与**门、**或**门组成的代码转换电路

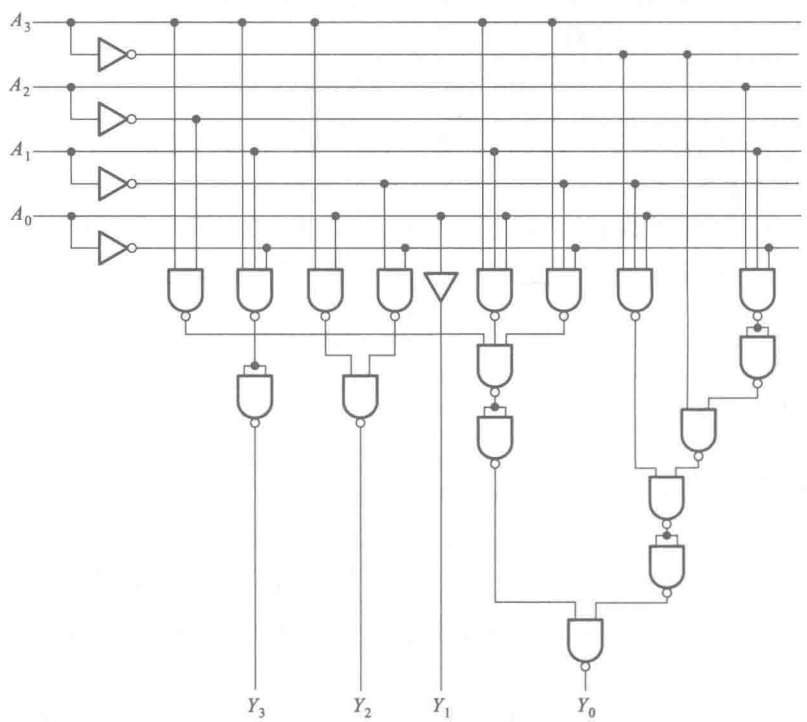


图 4-3-6 用 2 输入端和 3 输入端**与非**门组成的代码转换电路

四、用数据选择器设计组合逻辑电路

设计方法和步骤：

（1）进行逻辑抽象，用逻辑函数的形式来描述所要实现的逻辑功能。

（2）写出逻辑函数式。

（以上两个步骤的具体做法与使用小规模集成门电路进行设计时完全相同。）

（3）选定数据选择器器件。若函数有 M 个输入变量，选用的数据选择器有 n 位地址输入，则应取 $M \leqslant n+1$，以 $M=n+1$ 时器件的利用最充分。

（4）将逻辑函数式化为最小项之和的形式，并与数据选择器输出的逻辑函数式对照比较，确定输入变量在地址输入端与数据输入端应如何连接才能得到设计函数所含的所有最小项。依此连接后，在数据选择器的输出端就得到了所设计的逻辑函数。

（5）画出逻辑电路图。

【例 4-3-5】 设计一个三人表决电路。在表决一般问题时以多数同意为通过。在表决重要问题时，必须一致同意才能通过。

解： 首先进行逻辑抽象。取参加表决三人的态度为输入变量，以 P、Q、R 表示，并规定 **1** 状态表示同意，**0** 状态表示不同意。同时，以 T 表示表决问题的类型，$T=\mathbf{0}$ 表示一般问题，$T=\mathbf{1}$ 表示重要问题。取表决结果为输出变量，以 Z 表示，并规定 $Z=\mathbf{1}$ 表示通过，$Z=\mathbf{0}$ 表示不通过。

于是就可以列出表 4-3-4 的真值表。从真值表写出 Z 的最小项之和形式的逻辑函数式

$$\begin{aligned} Z &= P'QRT'+PQ'RT'+PQR'T'+PQRT'+PQRT \\ &= P'QRT'+PQ'RT'+PQR'T'+PQR(T+T') \\ &= P'QRT'+PQ'RT'+PQR'T'+PQR\cdot\mathbf{1} \end{aligned} \tag{4-3-6}$$

表 4-3-4　例 4-2-5 三人表决电路的真值表

T	P	Q	R	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0

续表

T	P	Q	R	Z
1	**1**	**0**	**1**	**0**
1	**1**	**1**	**0**	**0**
1	**1**	**1**	**1**	**1**

因为 Z 为四变量逻辑函数，所以选有 3 位地址输入的 8 选 1 数据选择器 74HC151 产生逻辑函数 Z。表 4-3-5 是器件手册给出的 74HC151 的功能表。按照正逻辑约定，高电平 H 为 **1**，低电平 L 为 **0**，即可写出当 $G'=\mathbf{0}(G=\mathbf{1})$ 时 Y 的逻辑函数式

$$Y=C'B'A'D_0+C'B'AD_1+C'B\,A'D_2+C'BAD_3+CB'A'D_4$$
$$+CB'AD_5+CBA'D_6+CBAD_7 \tag{4-3-7}$$

表 4-3-5 74HC151 的功能表

输入				输出	
C	B	A	G'	Y	W
×	×	×	H	L	H
L	L	L	L	D_0	D_0'
L	L	H	L	D_1	D_1'
L	H	L	L	D_2	D_2'
L	H	H	L	D_3	D_3'
H	L	L	L	D_4	D_4'
H	L	H	L	D_5	D_5'
H	H	L	L	D_6	D_6'
H	H	H	L	D_7	D_7'

将式(4-3-7)与式(4-3-6)对照一下可以看出，如果令数据选择器的输入接成 $C=P$、$B=Q$、$A=R$、$D_0=D_1=D_2=D_4=\mathbf{0}$、$D_3=D_5=D_6=T'$、$D_7=\mathbf{1}$，则式(4-3-7)可写成

$$Y=P'Q'R'\cdot\mathbf{0}+P'Q'R\cdot\mathbf{0}+P'QR'\cdot\mathbf{0}+P'QR\cdot T'+PQ'R'\cdot\mathbf{0}$$
$$+PQ'R\cdot T'+PQR'\cdot T'+PQR\cdot\mathbf{1}$$
$$=P'QRT'+PQ'RT'+PQR'T'+PQR\cdot\mathbf{1} \tag{4-3-8}$$

可见，式(4-3-8)给出的 Y 与我们所需要的式(4-3-6)的 Z 完全相同。

图 4-3-7 给出了按上述设计方法得到的逻辑图。

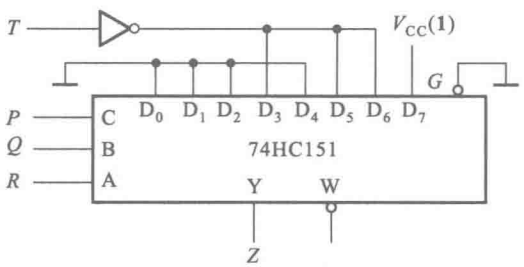


图 4-3-7 例 4-3-5 的表决电路

五、用译码器设计组合逻辑电路

设计步骤和方法：

（1）进行逻辑抽象，用逻辑函数的形式描述所要实现的逻辑功能。

（2）写出逻辑函数式。

（以上两个步骤的具体做法与使用小规模集成门电路进行设计时完全相同。）

（3）选定译码器器件。因为输入为 n 位的二进制译码器在输出端给出 n 变量的全部最小项，所以为设计具有 M 个输入变量的逻辑函数，必须选 $n \geqslant M$。而且，在 $n=M$ 时对译码器的利用最充分。

（4）将逻辑函数式化为最小项之和的形式，并用译码器产生这些最小项。然后，利用**或**门（或者用**与非**门）将这些最小项相加，就得到了所设计的逻辑函数。

（5）画出逻辑电路图。

【例 4-3-6】 设计一个数值比较电路，比较两个二进制数 $A(a_1a_0)$ 和 $B(b_1b_0)$，要求能分别给出 $A-B \geqslant 2$、$B-A \geqslant 2$ 和 $|A-B|<2$ 的输出信号。

解： 首先进行逻辑抽象，找出描述所设计逻辑电路逻辑功能的真值表。

以 a_1、a_0、b_1、b_0 为输入变量，以 Z_1、Z_2、Z_3 分别表示 $A-B \geqslant 2$、$B-A \geqslant 2$ 和 $|A-B|<2$ 的输出，即可列出表 4-3-6 的真值表。

表 4-3-6　例 4-3-6 数值比较电路的真值表

输　入				输　出		
a_1	a_0	b_1	b_0	Z_1	Z_2	Z_3
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1
1	1	1	1	0	0	1

从真值表写出 Z_1、Z_2、Z_3 的逻辑式，得到

$$\begin{cases} Z_1 = a_1a_0'b_1'b_0' + a_1a_0b_1'b_0' + a_1a_0b_1'b_0 = m_8 + m_{12} + m_{13} \\ Z_2 = a_1'a_0'b_1b_0' + a_1'a_0'b_1b_0 + a_1'a_0b_1b_0 = m_2 + m_3 + m_7 \\ Z_3 = (Z_1 + Z_2)' \end{cases} \tag{4-3-9}$$

从上式中可以看出，Z_1 和 Z_2 已经是最小项之和的形式了，因此不再需要作形式的变换。同时还可以看出，$Z_3 = (Z_1 + Z_2)'$，所以用 Z_1 和 Z_2 产生 Z_3 比用最小项相加产生 Z_3 要简单得多。

选用有 4 位输入代码的 4 线-16 线译码器 74HC154 作为四变量最小项发生电路。将 a_1、a_0、b_1、b_0 接到 74HC154 的输入端 D、C、B、A 上，在它的输出端 $Y_0' \sim Y_{15}'$ 就给出了 a_1、a_0、b_1、b_0 的全部 16 个最小项，如图 4-3-8 所示。

$$\begin{cases} Y_0' = (a_1'a_0'b_1'b_0')' = m_0' & Y_8' = (a_1a_0'b_1'b_0')' = m_8' \\ Y_1' = (a_1'a_0'b_1'b_0)' = m_1' & Y_9' = (a_1a_0'b_1'b_0)' = m_9' \\ Y_2' = (a_1'a_0'b_1b_0')' = m_2' & Y_{10}' = (a_1a_0'b_1b_0')' = m_{10}' \\ Y_3' = (a_1'a_0'b_1b_0)' = m_3' & Y_{11}' = (a_1a_0'b_1b_0)' = m_{11}' \\ Y_4' = (a_1'a_0b_1'b_0')' = m_4' & Y_{12}' = (a_1a_0b_1'b_0')' = m_{12}' \\ Y_5' = (a_1'a_0b_1'b_0)' = m_5' & Y_{13}' = (a_1a_0b_1'b_0)' = m_{13}' \\ Y_6' = (a_1'a_0b_1b_0')' = m_6' & Y_{14}' = (a_1a_0b_1b_0')' = m_{14}' \\ Y_7' = (a_1'a_0b_1b_0)' = m_7' & Y_{15}' = (a_1a_0b_1b_0)' = m_{15}' \end{cases}$$

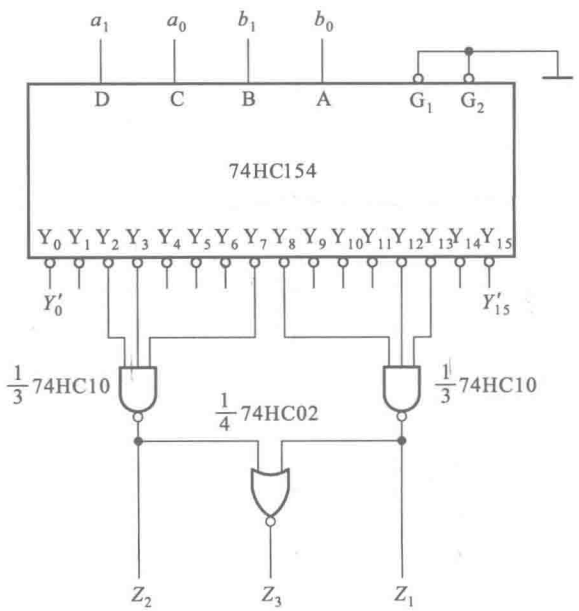


图 4-3-8 例 4-3-6 的数值比较电路

由于这些输出是以 m_i' 的形式给出的，所以还需要把 Z_1 和 Z_2 化为 m_i' 的函数。将 Z_1、Z_2 两式经两次求反后得到

$$\begin{cases} Z_1=((m_8+m_{12}+m_{13})')'=(m_8'\cdot m_{12}'\cdot m_{13}')' \\ Z_2=((m_2+m_3+m_7)')'=(m_2'\cdot m_3'\cdot m_7')' \\ Z_3=(Z_1+Z_2)' \end{cases} \tag{4-3-10}$$

在74HC154的输出端附加两个3输入**与非**门和一个2输入**或非**门，就得到了图4-3-8的设计结果。74HC10是三3输入**与非**门，每个器件封装里有三个3输入端的**与非**门。74HC92是四2输入**或非**门，每个器件封装里有四个2输入**或非**门。

六、用加法器设计组合逻辑电路

设计方法和步骤：

（1）进行逻辑抽象。

（2）写出逻辑函数式。

（以上两个步骤与使用小规模集成门电路设计时完全相同。）

（3）若函数式能化成由两部分按数值相加的形式，则可使用加法器进行设计。

（4）选定加法器器件，将函数式化为按数值相加的两部分，作为加法器的两个输入，加法器的输出即所需要得到的函数输出。

（5）画出逻辑电路图。

【例4-3-7】 设计一个3位二进制数的3倍乘法运算电路。

解： 设3位二进制数为$D(d_2d_1d_0)$，则乘3运算可以化为

$$Y=D\times3=D+D\times2 \tag{4-3-11}$$

而二进制的乘2运算可以简单地将被乘数向高位移1位而得到。因此，可以用一个4位全加器74HC83实现乘3运算，如图4-3-9所示。将$d_2d_1d_0$作为一个加数接至加法器的一组输入端的$A_2A_1A_0$，同时将$d_2d_1d_0$右移1位（乘2）接至加法器的另一组输入端的$B_3B_2B_1$，就按式（4-3-11）的方式实现了乘3运算。

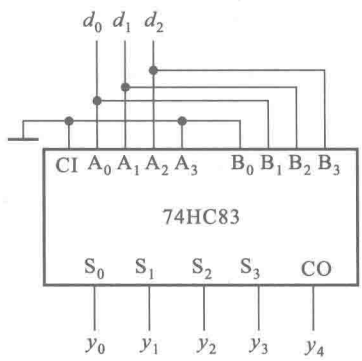


图4-3-9　用加法器设计的乘3运算电路

因为3位二进制数的最大值为**111**（7），乘3的运算结果等于21（**10101**），所以用进位输出CO作为输出的高位y_4就可以了，不需要附加其他电路。

七、用 Verilog HDL 语言描述一个逻辑电路模块

解题方法和步骤：

Verilog HDL 描述逻辑电路的基本单元是模块。对任何一个待描述的电路在进行模块命名后，首先要说明电路的输入/输出接口；然后根据所给的条件选择适当的描述方式。用硬件描述语言描述电路的程序不唯一。

【例 4-3-8】 用 Verilog 语言的结构描述方式描述图 4-3-10 电路的逻辑功能。

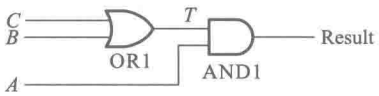


图 4-3-10

解：
```
module Judge(A,B,C,Result);
    input A,B,C;
    output Result;
    wire T;
    or
        OR1(T,B,C);
    and
        AND1(Result,A,T);
endmodule
```

八、根据 Verilog HDL 语言的描述画出相应的逻辑电路图

解题方法和步骤：

直接用逻辑图形符号取代语言描述中的关键字，将这些图形符号按从输入到输出的顺序连接起来，就得到所求的逻辑电路图。

【例 4-3-9】 下面给出的程序是用 Verilog HDL 结构描述方式描述的一个电路模块，试画出与之对应的逻辑电路图。

```
module onebit_fulladd(A,B,CI,Sum,Cout);          //模块名称和端口名
input A,B,CI;                                    //输入
output Sum,Cout;                                 //输出
wire Sum_temp,C_1,C_2,C_3;                       //定义模块内部的连接线
xor                                              //用 2 个异或门 XOR1,XOR2
XOR1(Sum_temp,A,B);
XOR2(Sum,Sum_temp,CI);
and                                              //用 3 个与门 AND1,AND2,AND3
AND3(C_3,A,B);
AND2(C_2,B,CI);
AND1(C_1,A,CI);
```

```
or
OR1(Cout,C_1,C_2,C_3);                    //用 1 个或门
emdmodule                                 //结束
```

解：根据程序描述画出所用的逻辑门，并画出输入至输出的连接关系，即可得到图 4-3-11 所示的逻辑电路。

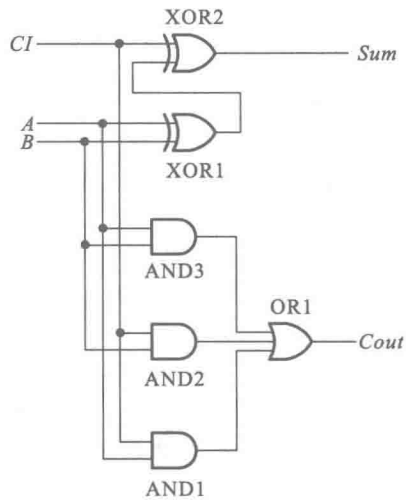


图 4-3-11　例 4-3-9 的逻辑电路

第五章　半导体存储电路

5.1　本章重点内容

一、锁存器的电路结构和工作原理。

二、触发器的基本工作原理、主要特性和分类方法。

三、存储器的分类、每种存储器的基本工作原理和主要特点。

四、存储器扩展容量的接法。

五、用存储器设计组合逻辑电路的基本原理和方法。

5.2　难点释疑

一、触发器的种类繁多，怎样才能系统地掌握它们的分类方法和各自的特点？

我们知道，所有的触发器都必须具备存储一位二值信息（**1** 和 **0**）的基本功能。也就是说，它必须具有两个能自行保持的稳定状态，用来表示 **1** 和 **0**，同时必须能在输入信号的作用下，按要求置为 **1** 状态或 **0** 状态。

迄今为止，已先后研制成了多种满足上述基本逻辑功能要求的触发器电路。为了能够正确地选择和使用这些触发器，必须掌握触发器最重要的两个性能，即逻辑功能和触发方式。为此，我们从两个方面的特点对触发器进行了分类。

1. 按逻辑功能分类

虽然所有的触发器都具有存储一位二值信息的功能，但是由于输入信号给出的方式不同（例如有单端输入的，也有双端输入的），在经过一个时钟信号周期以后触发器的次态随初态和输入信号状态而变化的规律也不完全相同，因而它们在逻辑功能的具体描述上是有区别的。根据这些区别，我们把触发器分为 *SR* 触发器、*JK* 触发器、*D* 触发器和 *T* 触发器等几种不同的类型。

① *SR* 触发器的逻辑功能

若 $R=\mathbf{0}$、$S=\mathbf{1}$，则经过一个时钟信号周期后 $Q^*=\mathbf{1}$；

若 $R=\mathbf{1}$、$S=\mathbf{0}$，则经过一个时钟信号周期后 $Q^*=\mathbf{0}$；

若 $R=\mathbf{0}$、$S=\mathbf{0}$，则经过一个时钟信号周期后 $Q^*=Q$（保持原状态不变）；

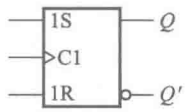
若 $R=\mathbf{1}$、$S=\mathbf{1}$，则经过一个时钟周期以后 Q^* 的状态无法确知，因此正常工作过程中不允许出现 $R=S=\mathbf{1}$ 的输入信号。

将上述逻辑功能表示为真值表和函数式的形式，就得到表 5-2-1 和式（5-2-1）。

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases} \tag{5-2-1}$$

表 5-2-1　*SR* 触发器的特性表

R	S	Q	Q^*
0	**0**	**0**	**0**
0	**0**	**1**	**1**
0	**1**	**0**	**1**
0	**1**	**1**	**1**
1	**0**	**0**	**0**
1	**0**	**1**	**0**
1	**1**	**0**	不定
1	**1**	**1**	不定



在触发器的图形符号中，用输入端的字母名称直接表示逻辑功能的种类。

② *JK* 触发器的逻辑功能

若 $J=\mathbf{0}$、$K=\mathbf{1}$，则经过一个时钟信号周期后 $Q^*=\mathbf{0}$；

若 $J=\mathbf{1}$、$K=\mathbf{0}$，则经过一个时钟信号周期后 $Q^*=\mathbf{1}$；

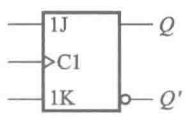
若 $J=\mathbf{0}$、$K=\mathbf{0}$，则经过一个时钟信号周期后 $Q^*=Q$（保持原状态不变）；

若 $J=\mathbf{1}$、$K=\mathbf{1}$，则经过一个时钟信号周期后 $Q^*=Q'$（翻转）；

将上述逻辑功能表示为真值表和函数式的形式，就得到表 5-2-2 和式(5-2-2)。

表 5-2-2　*JK* 触发器的特性表

J	K	Q	Q^*
0	**0**	**0**	**0**
0	**0**	**1**	**1**
0	**1**	**0**	**0**
0	**1**	**1**	**0**
1	**0**	**0**	**1**
1	**0**	**1**	**1**
1	**1**	**0**	**1**
1	**1**	**1**	**0**



$$Q^*=JQ'+K'Q \tag{5-2-2}$$

③ *D* 触发器的逻辑功能

若 $D=\mathbf{0}$，则经过一个时钟信号周期后 $Q^*=\mathbf{0}$；

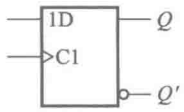
若 $D=\mathbf{1}$，则经过一个时钟信号周期后 $Q^*=\mathbf{1}$。

将上述逻辑功能表示为真值表和函数式的形式，就得到表 5-2-3 和式(5-2-3)。

$$Q^*=D \tag{5-2-3}$$

表 5-2-3　*D* 触发器的特性表

D	*Q*	Q^*
0	**0**	**0**
0	**1**	**0**
1	**0**	**1**
1	**1**	**1**



④ *T* 触发器的逻辑功能

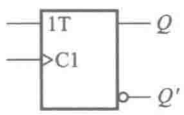
若 $T=\mathbf{1}$，则经过一个时钟信号周期后 $Q^*=Q'$（翻转）；

若 $T=\mathbf{0}$，则经过一个时钟信号周期后 $Q^*=Q$（保持原状态不变）。

将上述逻辑功能表示为真值表和函数式的形式，就得到表 5-2-4 和式(5-2-4)。

表 5-2-4　*T* 触发器的特性表

T	*Q*	Q^*
0	**0**	**0**
0	**1**	**1**
1	**0**	**1**
1	**1**	**0**



$$Q^*=TQ'+T'Q \tag{5-2-4}$$

把以上四种触发器的逻辑功能比较一下可以看到，它们各具有一定的特点。例如 *D* 触发器，它只具有置 **0** 和置 **1** 两种功能，所以只需用单端输入 *D* 的 **0**、**1** 状态就可以给出置 **0**、置 **1** 信号了。而 *SR*、*JK* 触发器除了具有置 **0**、置 **1** 功能以外，还具有保持（*JK* 触发器还有翻转）的功能，因此必须用双端输入 *SR* 或 *JK* 的四种不同状态才能分别给出置 **0**、置 **1**、保持、翻转的输入信号。

根据这些特点，我们就可以按照具体应用场合的要求，选择最适合的一种逻辑功能类型的触发器了。

这里还要强调一点，就是我们在讨论触发器逻辑功能的分类时，没有涉及触发器的触发方式。下面将会谈到，同样一种逻辑功能的触发器可以具有不同类型的触发方式。

另外还要说明一点，*SR* 锁存器虽然也具有存储一位二值信息的功能，但由于它的置 **1**、置 **0** 操作不需要时钟信号“触发”，所以它不具备上面定义的 *SR* 触发器的逻辑功能。

2. 按触发方式类型分类

所谓“触发方式”是指时钟信号到来时电路状态翻转的过程。

由于触发器有多种不同的电路结构，所以当时钟信号到来时，电路状态的翻转过程也各具不同的动作特点。触发方式分为电平触发、边沿触发和脉冲触发三种。

① 电平触发方式的动作特点

图 5-2-1 是一个电平触发 *SR* 触发器的电路结构和逻辑符号。由图可见，在 $CLK=\mathbf{1}$ 的全部时间里输入信号的变化都会引起输出状态的变化。如果 $CLK=\mathbf{1}$ 期间输入信号多次发生变化，则输出状态也将多次发生改变。这就是所有电平触发方式触发器共同的动作特点。

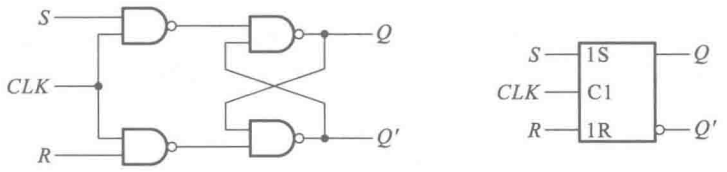


图 5-2-1　电平触发 *SR* 触发器的电路结构和逻辑符号

除了图 5-2-1 的电路以外，电平触发的触发器还有其他的电路结构形式。但只要说明是电平触发方式的触发器，那么它们的动作特点就都是一样的。

在触发器的图形逻辑符号中，在框图 *CLK*、*Q*、*Q′*端的内部均不能附加任何标记。框图外部 *CLK* 输入端处没有小圆圈表示 *CLK* 高电平为有效信号，*CLK* 高电平期间输出状态将随输入状态改变而改变。*CLK* 输入端处有小圆圈时，表示 *CLK* 低电平为有效信号，*CLK* 低电平期间输出状态将随输入状态改变而改变。

② 边沿触发方式的动作特点

图 5-2-2 是一个边沿触发的 *D* 触发器的电路结构和逻辑符号。这个电路的结构特点是由两个电平触发的 *D* 触发器接成主从结构。根据电平触发的特点可知，在时钟信号 *CLK* 的高电平到来之前，CLK_1 为高电平而 CLK_2 为低电平。因此，在 *CLK* 的低电平期间，主触发器 FF_1 输出端的状态 Q_1 将随着输入端 *D* 的状态而变化，始终保持 $Q_1=D$。与此同时，由于 CLK_2 为低电平，所以从触发器 FF_2 输出端的状态 *Q* 将保持不变。

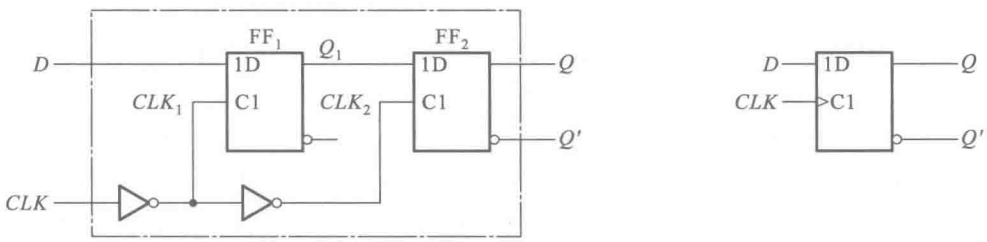


图 5-2-2　边沿触发 *D* 触发器的电路结构和逻辑符号

当 *CLK* 由低电平跳变为高电平以后，CLK_1 变为低电平而 CLK_2 变为高电平，Q_1 将保持为 *CLK* 跳变前瞬间 *D* 端的逻辑状态而不再随 *D* 端输入信号而改变。同时，FF_2 输出端的状态 *Q* 将等于这时它的输入 Q_1 的状态，也就是 *CLK* 跳变前瞬间 *D* 端的状态。

由此可见，触发器的次态仅仅取决于 *CLK* 上升沿到达前瞬间输入端 *D* 的状态，而与此前和此后输入信号的状态无关。这就是所有边沿触发方式触发器共同的动作特点。

边沿触发方式的触发器也有多种电路结构形式。只要知道是边沿触发的触发器，那么它的动作特点都和上面的例子是一样的。

在图形逻辑符号中，用 *CLK* 输入端在框图内部的“>”表示边沿触发方式。*CLK* 输入端处没有小圆圈为上升沿触发，即触发器的次态仅取决于 *CLK* 上升沿到达前瞬间输入信号的状态。如果在 *CLK* 输入端处画有小圆圈，则表示是下降沿触发，这时触发器的次态仅取决于 *CLK* 下降沿到达前瞬间输入信号的状态。

③ 脉冲触发方式的动作特点

图 5-2-3 是脉冲触发 *SR* 触发器的电路结构和逻辑符号。这个电路与图 5-2-2 电路最主要的区别是将其中的两个电平触发 *D* 触发器改成了电平触发 *SR* 触发器。

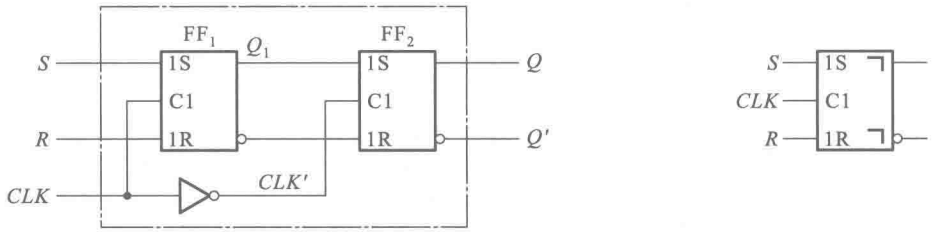


图 5-2-3　脉冲触发 *SR* 触发器的电路结构和逻辑符号

电路结构的这一改变导致了触发方式的不同。由图可见，当 *CLK* 处在低电平时，*CLK'* 为高电平，所以主触发器 FF_1 的输出状态 Q_1 保持不变，同时从触发器 FF_2 被置成与 FF_1 相同的状态，使 $Q=Q_1$。当 *CLK* 变成低高平以后，*CLK'* 变为低电平，所以 FF_2 的输出状态 *Q* 保持不变而触发器 FF_1 接受 *S*、*R* 端的输入信号。待 *CLK* 回到低电平以后，*CLK'* 变为高电平，FF_2 被置成与 FF_1 相同的新状态。所以这个触发器在 *CLK* 为高电平到来时接收输入信号，而输出状态的变化发生在 *CLK* 的下降沿。

这里特别需要注意的是，电平触发的 *SR* 触发器与电平触发的 *D* 触发器不同。在电平触发的 *D* 触发器中，*CLK* 高电平期间输出端 *Q* 的状态始终跟随 *D* 端变化并与之保持一致，所以当 *CLK* 由高电平跳变为低电平时，*Q* 端的状态与此刻 *D* 端输入的状态相同。但是在电平触发的 *SR* 触发器中，就不能仅仅用 *CLK* 由高电平跳变为低电平时 *S*、*R* 端的状态确定 *Q* 端的状态了，而必须考察 *CLK* 为高电平期间 *S*、*R* 状态的变化情况。

例如 *CLK* 高电平到来之前触发器的初始状态为 $Q_1=\mathbf{0}$，若在 *CLK* 变为高电平以后输入信号先是 $S=\mathbf{1}$、$R=\mathbf{0}$，触发器被置成 $Q_1=\mathbf{1}$，而随后又变成了 $S=R=\mathbf{0}$，那么当 *CLK* 跳变为低电平时，Q_1 仍然保持 **1** 状态。如果按 *CLK* 跳变为低电平时的输入 $S=R=\mathbf{0}$ 来确定 Q_1 的次态，Q_1 应保持初始状态 $Q_1=\mathbf{0}$，这显然是错误的。

通过以上的分析，我们可以总结出脉冲触发方式的动作特点：

（1）触发器的翻转分两步动作。第一步，当 *CLK* 信号高电平到来后，主触发器 FF_1 接受输入信号、从触发器 FF_2 的输出状态 *Q* 保持不变；第二步，当 *CLK* 信号的下降沿到来后，触发器 FF_2 按 FF_1 的状态翻转为新的状态。

（2）由于输入端的 FF_1 是一个电平触发的触发器，在 $CLK=\mathbf{1}$ 的全部时间里输入信号的变化都会影响 FF_1 的输出状态，所以必须根据 $CLK=\mathbf{1}$ 的全部期间输入信号的变化过程确定 *CLK* 下降沿到达后触发器的次态。

还要强调一点，就是图 5-2-3 电路的 *CLK* 是以高电平为有效信号的。如果 *CLK* 以低电平为有效信号，则主触发器在 *CLK* 低电平期间接收输入信号，而输出状态的变化发生在 *CLK* 信号的上升沿。同时，应当在图形逻辑符号中 *CLK* 的输入端处加画一个小圆圈。

3. 触发器的电路结构形式、逻辑功能、触发方式这三者之间的关系

从上面的讨论可以看到，触发器的触发方式是由它的电路结构形式决定的。也就是说，每一

种电路结构类型触发器的触发方式是一定的，即电平触发、边沿触发和脉冲触发中的一种。而触发器的逻辑功能和触发方式却没有固定的对应关系。因为同样一种逻辑功能的触发器可以采用不同的电路结构形式（即具有不同的触发方式）；用同一种电路结构形式（即具有相同的触发方式）可以构成不同逻辑功能的触发器。

例如图 5-2-4 中，两个触发器的逻辑功能不同，一个是 *SR* 触发器，另一个是 *D* 触发器。但由于采用了同样的电路结构形式，所以触发方式相同，都是电平触发。而在图 5-2-5 中，两个触发器的逻辑功能虽然相同，都是 *JK* 触发器，但由于电路结构不同，所以触发方式也不一样，图（a）属于脉冲触发，而图（b）属于边沿触发。

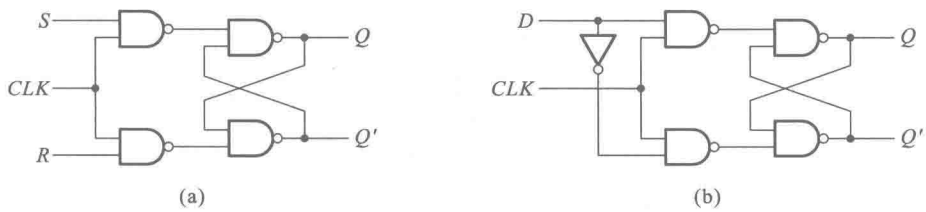


图 5-2-4　不同逻辑功能的触发器可以具有相同的触发方式

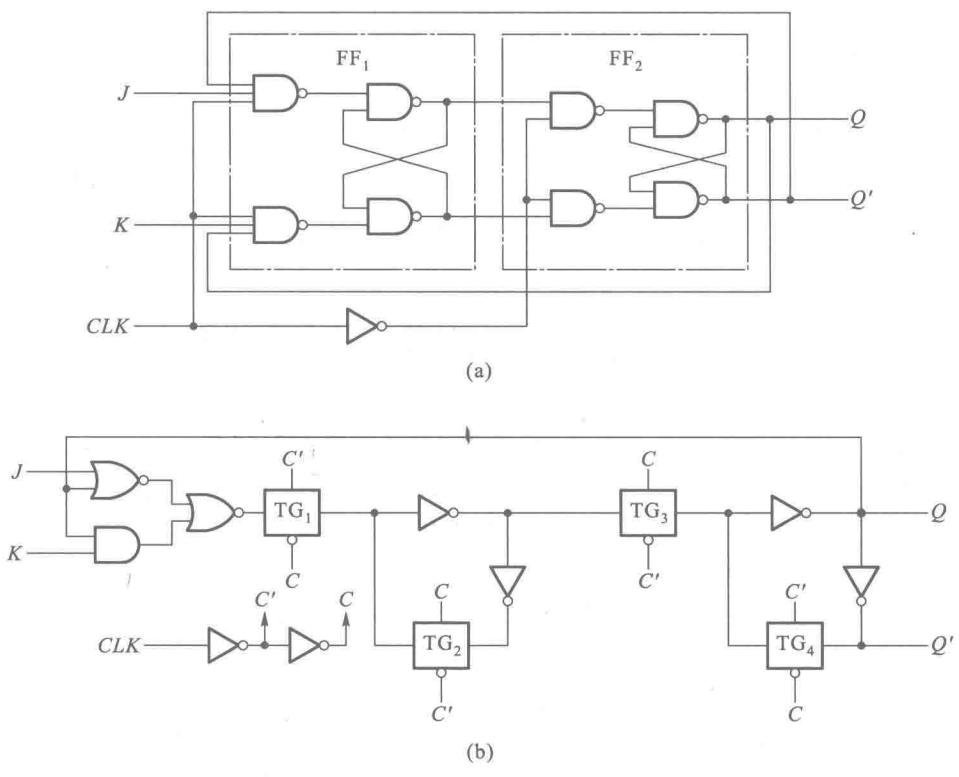


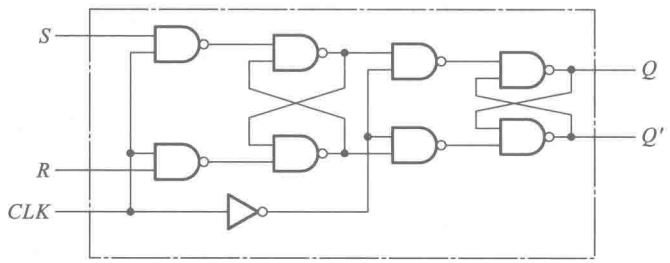
图 5-2-5　同一种逻辑功能的触发器可以具有不同的触发方式

因此，各种触发方式和各种逻辑功能的不同组合，就产生了许多种触发器的具体产品。这也就是触发器种类和型号繁多的原因所在。

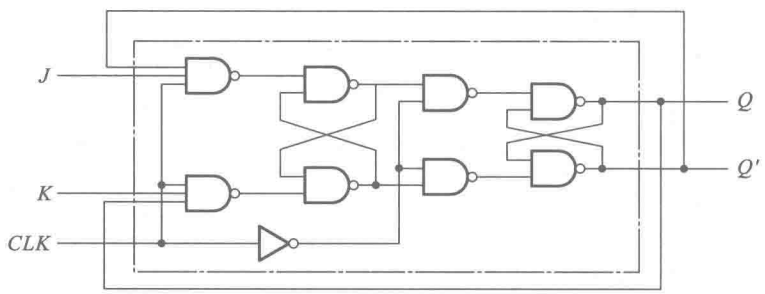
鉴于触发器都是作为一个基本逻辑单元电路使用的，所以对于使用者而言，只要知道它的逻辑功能和触发方式，就可以根据给定的输入和时钟信号确定它的输出了。因此，触发器内部的详细结构不是学习的重点。

二、为什么在脉冲触发的 *JK* 触发器中，当 *CLK* 在有效电平期间输入信号多次改变时，主触发器只可能翻转一次；而在脉冲触发的 *SR* 触发器中，在 *CLK* 的有效电平期间主触发器可能随输入信号的变化发生多次翻转？

比较一下图 5-2-6 中的两个电路即可看出，只要在图(a)的 *SR* 触发器电路上增加两条从输出端 Q 和 Q'到输入端的反馈线，就得到了图(b)中的 *JK* 触发器。



(a)



(b)

图 5-2-6　脉冲触发的 *SR* 触发器和 *JK* 触发器的比较

有了这两条反馈线的以后，若 *JK* 触发器的初始状态为 $Q=0$，则 *CLK* 的高电平期间只有 $J=1$ 的输入信号能进入主触发器，将主触发器置 **1**，即使有 $K=1$ 的输入信号，也不能将主触发器置 **0**。反之，若 *JK* 触发器的初始状态为 $Q=1$，则只有 $K=1$ 的输入信号才能进入主触发器，将主触发器置 **0**；即使有 $J=1$ 的输入信号，也不能将主触发器置 **1**。这样就保证了当出现 $J=K=1$ 的输入状态时，触发器的次态是确定的，即 $Q^*=Q'$。

因为 *CLK* 高电平期间输出端 Q 和 Q'的状态是保持不变的，所以当 $Q=0$ 时主触发器只能接受 $J=1$ 的输入信号，而且一旦被置成 **1** 状态以后，即使再输入 $K=1$ 的信号也不可能被重新置 **0**。同理，当 $Q=1$ 时主触发器只能接受 $K=1$ 的输入信号，而且一旦被置成 **0** 状态以后，即使再输入 $J=1$ 的信号也不可能被重新置 **1**。因此，在 *CLK* 高电平期间无论输入信号发生多少次变化，脉冲触发 *JK* 触发器的主触发器只可能发生一次翻转，而且一旦翻转以后不可能再翻回来。

三、如果使用一片有8位地址输入、8位数据输出的256×8位存储器来设计有四个输入逻辑变量、四个函数输出端的组合逻辑电路，这时应当选哪四个地址输入端作为变量输入端，选哪四个数据输出端作为函数输出端？其余的输入端和输出端应如何处理？

我们在讲述用存储器设计组合逻辑电路的原理时已经说过，在知道了组合逻辑函数的真值表以后，如果把输入变量看作存储器的地址输入信号，把存储器的数据输出端看作是函数输出端，那么函数的真值表也就是存储器的数据表。

为了设计一个有四个输入变量、四个输出的组合逻辑电路，使用有4位地址输入、4位数据输出的16×4位存储器就够用了。从原理上讲，可以用256×8位存储器任意16个地址的存储单元存放函数的真值表，得到所设计的组合逻辑电路。同时，也可以将真值表中四个输出函数值存放在每个存储地址单元8位当中的任何4位的位置上。这也就是说，可以从8位地址输入端中选择任何四个作为变量输入端，并将其余的地址输入端应固定地接至**1**或**0**。同时，可以从八个数据输出端中任意选择四个作为函数输出端。

【例5-2-1】 试用256×8位的RAM设计一个多输出的组合逻辑电路。电路的逻辑真值表在表5-2-5中给出。

表5-2-5　例5-2-1组合逻辑电路的真值表

输　入				输　出			
A	B	C	D	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	0	1
0	0	1	1	0	0	1	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	0
0	1	1	1	0	1	0	0
1	0	0	0	0	0	0	1
1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	0
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	0
1	1	0	1	0	1	0	0
1	1	1	0	0	1	0	0
1	1	1	1	1	0	0	0

解：根据上面的分析，我们可以从存储器的 8 位地址输入端 $A_7 \sim A_0$ 中任意选择四个作为输入变量 A、B、C、D 的输入端，同时又可以从存储器的 8 位数据输出端中任意选择四个作为函数 $Y_3 \sim Y_0$ 的输出端，所以设计的方案有很多种。现只举两个方案加以说明。

方案(一)：以 A_3、A_2、A_1、A_0 为 A、B、C、D 的输入端，并将 $A_7 \sim A_4$ 接 **0**；以 $D_3 \sim D_0$ 作为 $Y_3 \sim Y_0$ 的输出端，如图 5-2-7 所示。

由于 $A_7 \sim A_4$ 固定接为 **0**，所以函数真值表存在地址代码为 **0000 0000～0000 1111** 的十六个地址单元中。每个地址单元存放 8 位二值代码的 **0** 或 **1**。因为取 $D_3 \sim D_0$ 为 $Y_3 \sim Y_0$ 的输出，所以应将函数值存入每个地址单元的 $D_3 \sim D_0$ 四位位置中。由于 $D_7 \sim D_4$ 这四个输出端没有用，所以每个地址单元中 $D_7 \sim D_4$ 位置上存入什么数据都无所谓，即 **0**、**1** 皆可，表中用×表示。

因此，只要按照表 5-2-6 将数据写入 RAM，则 $Y_3 \sim Y_0$ 与 A、B、C、D 之间的关系就和表 5-2-5 所要求的一样。

表 5-2-6 图 5-2-7RAM 的数据表

地址								数据							
A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	×	×	×	×	0	0	0	0
0	0	0	0	0	0	0	1	×	×	×	×	0	0	0	1
0	0	0	0	0	0	1	0	×	×	×	×	0	0	0	1
0	0	0	0	0	0	1	1	×	×	×	×	0	0	1	0
0	0	0	0	0	1	0	0	×	×	×	×	0	0	0	1
0	0	0	0	0	1	0	1	×	×	×	×	0	0	1	0
0	0	0	0	0	1	1	0	×	×	×	×	0	0	1	0
0	0	0	0	0	1	1	1	×	×	×	×	0	1	0	0
0	0	0	0	1	0	0	0	×	×	×	×	0	0	0	1
0	0	0	0	1	0	0	1	×	×	×	×	0	0	1	0
0	0	0	0	1	0	1	0	×	×	×	×	0	0	1	0
0	0	0	0	1	0	1	1	×	×	×	×	0	1	0	0
0	0	0	0	1	1	0	0	×	×	×	×	0	0	1	0
0	0	0	0	1	1	0	1	×	×	×	×	0	1	0	0
0	0	0	0	1	1	1	0	×	×	×	×	0	1	0	0
0	0	0	0	1	1	1	1	×	×	×	×	1	0	0	0
				A	B	C	D					Y_3	Y_2	Y_1	Y_0
输入								输出							

方案(二)：以 A_7、A_6、A_5、A_4 为 A、B、C、D 的输入端，并将 $A_3 \sim A_0$ 接 **0**；以 $D_7 \sim D_4$ 作为 $Y_3 \sim Y_0$ 的输出端，如图 5-2-8 所示。

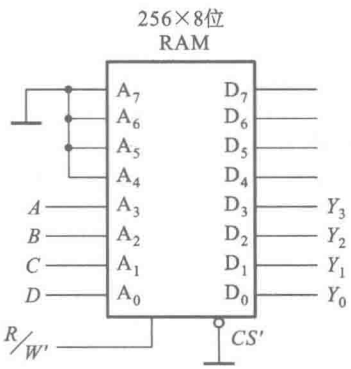


图 5-2-7　例 5-2-1 设计方案一

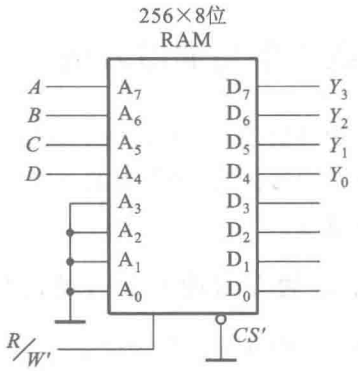


图 5-2-8　例 5-2-1 设计方案二

在这种接法之下，当 $ABCD$ 为 **0000~1111** 这十六种取值下，被选中的十六个地址是 **0000 0000**、**0001 0000**、**0010 0000**、**0011 0000**、**0100 0000**、**0101 0000**、…、**1111 0000**。由于取 $D_7 \sim D_4$ 为 $Y_3 \sim Y_0$ 的输出端，所以真值表里的函数值应放在地址单元的 $D_7 \sim D_4$ 位置上。这时按表 5-2-7 的数据表向 RAM 中写入数据后，$Y_3 \sim Y_0$ 与 A、B、C、D 的关系也同样满足表 5-2-1 的逻辑关系。

表 5-2-7　图 5-2-8RAM 的数据表

地址								数据							
A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	0	0	×	×	×	×
0	0	0	1	0	0	0	0	0	0	0	1	×	×	×	×
0	0	1	0	0	0	0	0	0	0	0	1	×	×	×	×
0	0	1	1	0	0	0	0	0	0	1	0	×	×	×	×
0	1	0	0	0	0	0	0	0	0	0	1	×	×	×	×
0	1	0	1	0	0	0	0	0	0	1	0	×	×	×	×
0	1	1	0	0	0	0	0	0	0	1	0	×	×	×	×
0	1	1	1	0	0	0	0	0	1	0	0	×	×	×	×
1	0	0	0	0	0	0	0	0	0	0	1	×	×	×	×
1	0	0	1	0	0	0	0	0	0	1	0	×	×	×	×
1	0	1	0	0	0	0	0	0	0	1	0	×	×	×	×
1	0	1	1	0	0	0	0	0	1	0	0	×	×	×	×
1	1	0	0	0	0	0	0	0	0	1	0	×	×	×	×
1	1	0	1	0	0	0	0	0	1	0	0	×	×	×	×
1	1	1	0	0	0	0	0	0	1	0	0	×	×	×	×
1	1	1	1	0	0	0	0	1	0	0	0	×	×	×	×
A	B	C	D					Y_3	Y_2	Y_1	Y_0				
输入								输出							

5.3 习题类型与解题方法

这一章的习题基本上可以分为四种类型：(1) 给定触发器输入信号的电压波形，要求画出对应的输出电压波形；(2) 触发器的一些实际应用；(3) 存储器扩展容量的方法；(4) 用存储器设计组合逻辑电路。

一、给定触发器输入信号的波形，求对应的输出波形

这类题目当中又可区分为以下三种情况：

1. 直接给出了触发器输入信号的波形

解题方法和步骤：

根据所用触发器的特性表和触发方式，直接就可以确定每个时钟信号周期后输出的状态了。

2. 输入信号经另外的组合逻辑电路加到触发器的输入端

解题方法和步骤：

方法一，首先求出给定输入信号下加到触发器每个输入端上的信号波形，然后根据触发器的特性表就很容易画出输出波形了。

方法二，在输入端附加电路比较复杂的情况下，也可以按如下方法和步骤求解，即

① 首先写出加到触发器每个输入端的输入信号的逻辑函数式。

② 将输入信号的逻辑函数代入触发器的特性方程，得到触发器的状态方程。

③ 利用触发器的状态方程，依时序先后顺序逐一求出每次 CLK 信号作用后触发器的次态输出，画出输出随输入和初态变化的波形图。

3. 触发器的信号输入端(亦称同步输入端)和异步输入端(即异步置 **0** 端和异步置 **1** 端)同时有输入信号。

解题方法和步骤：

(1) 因异步置 **0** 信号 R_D 和异步置 **1** 信号 S_D 不受时钟信号控制，所以只要出现 $S_D=\mathbf{1}$(或 $S'_D=\mathbf{0}$)信号，触发器的输出立刻被置为 $Q=\mathbf{1}$，而与此时的输入和 CLK 的状态无关。同理，只要出现 $R_D=\mathbf{1}$(或 $R'_D=\mathbf{0}$)信号，触发器的输出立刻被置为 $Q=\mathbf{0}$，而与此时的输入和 CLK 的状态无关。

(2) 在没有异步置 **0**、置 **1** 有效信号的情况下，仍然可以用上面 1、2 两种情况下的解法求出输出波形。

【例 5-3-1】 将同样的输入信号分别加到两个触发器 FF_1 和 FF_2 的 J、K 输入端上，如图 5-3-1 所示，试画出 Q_1、Q_2 端的电压波形。假定触发器的初始状态均为 $Q=\mathbf{0}$。

解： 由触发器的图形逻辑符号可知，FF_1 是上升沿触发的边沿触发 JK 触发器，Q_1 状态的变化发生在 CLK 的上升沿，而且仅仅与 CLK 上升沿到达时刻的输入有关。第一个 CLK 上升沿到达时 $J=\mathbf{1}$、$K=\mathbf{0}$，触发器被置成 $Q_1=\mathbf{1}$。第二个、第三个 CLK 上升沿到达时 $J=\mathbf{0}$、$K=\mathbf{1}$，触发器置 **0**。第四个 CLK 上升沿到达时 $J=K=\mathbf{0}$，触发器保持 $Q=\mathbf{0}$ 不变，于是就得到了图(a)中的 Q_1 波形图。

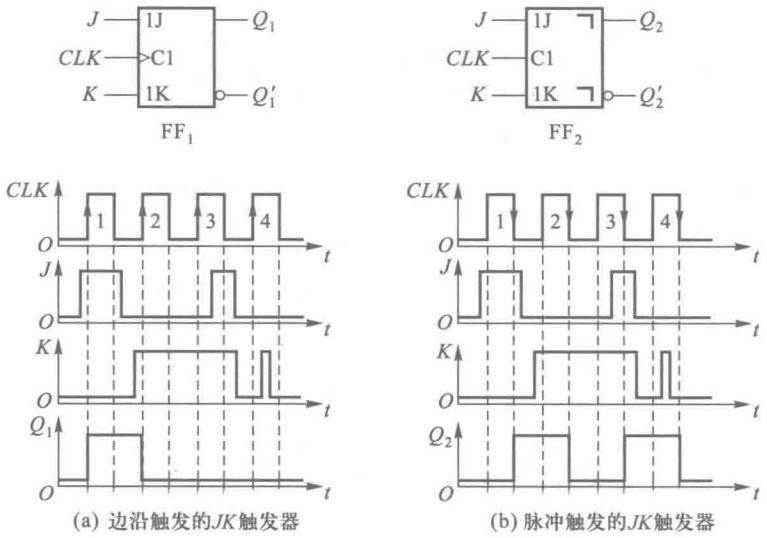


图 5-3-1　例 5-3-1 的波形图

FF_2 是脉冲触发方式的 JK 触发器，每当 $CLK=\mathbf{1}$ 时主触发器接收信号、从触发器保持不变，CLK 下降沿到达时从触发器按照这时主触发器的状态翻转，主触发器保持不变。第一个 CLK 高电平期间 $J=\mathbf{1}$、$K=\mathbf{0}$，主触发器置 **1**，CLK 下降沿到达时输出变为 $Q_2=\mathbf{1}$。第二个 CLK 高电平期间 $J=\mathbf{0}$、$K=\mathbf{1}$，主触发器置 **0**，CLK 下降沿到达时 $Q_2=\mathbf{0}$。第三个 CLK 高电平期间出现了 $J=K=\mathbf{1}$ 信号，主触发器置 **1**，CLK 下降沿到达时 $Q_2=\mathbf{1}$。第四个 CLK 高电平期间出现了 $K=\mathbf{1}$ 信号，主触发器置 **0**，CLK 下降到达时 $Q_2=\mathbf{0}$，这样就得到了图(b)中的 Q_2 波形。

比较一下 Q_1 和 Q_2 的波形可以看出，虽然 FF_1 和 FF_2 都是 JK 触发器，但由于触发方式不同，在同样的输入作用下，输出的波形是不同的。因此，不同触发方式的触发器即使逻辑功能相同，也不能简单地互换使用。

【例 5-3-2】　画出图 5-3-2 电路中触发器输出端 Q 的电压波形。输入信号 A、B 的波形如图 5-3-3 中所示。触发器的初始状态为 $Q=\mathbf{0}$。

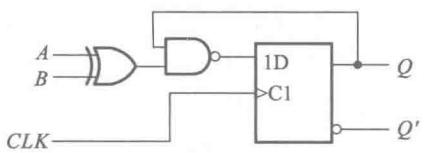


图 5-3-2　例 5-3-2 的电路

解： 由图 5-3-2 中写出触发器输入端 D 的逻辑式，得到

$$D=((A\oplus B)Q)'$$

故得到触发器的状态方程为

$$Q^*=D=((A\oplus B)Q)' \tag{5-3-1}$$

上式表明，当 $A\oplus B=1$ 时，$Q^*=Q'$；当 $A\oplus B=\mathbf{0}$ 时，$Q^*=\mathbf{1}$。我们可以先画出 $A\oplus B$ 的波形，然后根据 $A\oplus B$ 的状态就能决定 Q^* 的状态。于是得到图 5-3-3 中 Q 的波形图。

【例 5-3-3】　试画出图 5-3-4 电路在 CLK 脉冲序列作用下 Q_1 和 Q_2 的电压波形。设两个触发器的初始状态均为 $Q=\mathbf{0}$。

解： 这是一个有异步置零信号输入的电路。因为异步置零信号（$R_D=\mathbf{0}$ 信号）的优先权最高，只要它一出现触发器立即置 **0**，与 J、K 的输入信号和 CLK 状态无关，所以这时不能用触发器的状态方程去确定次态。我们可以找出每次时钟信号到来前每个触发器的输入和现态，然后根据它的功能表确定次态。

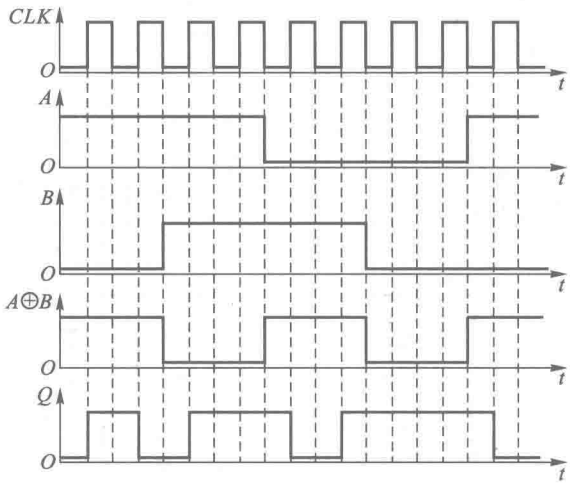


图 5-3-3　图 5-3-2 电路的电压波形图

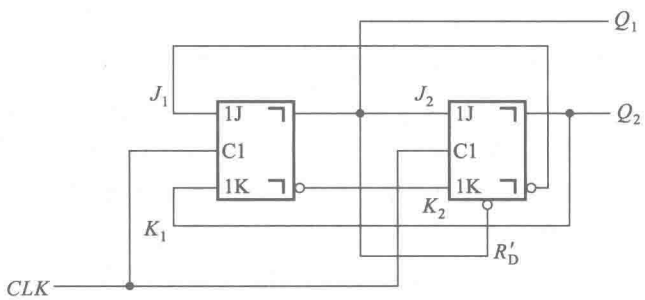


图 5-3-4　例 5-3-3 的电路

第一个 *CLK* 脉冲到来之前，$J_1=\mathbf{1}$、$K_1=\mathbf{0}$，$J_2=\mathbf{0}$、$K_2=\mathbf{1}$、$R'_D=\mathbf{0}$，所以 *CLK* 下降沿到达后，触发器状态为 $Q_1Q_2=\mathbf{10}$。

第二个 *CLK* 脉冲到来之前，$J_1=\mathbf{1}$、$K_1=\mathbf{0}$，$J_2=\mathbf{1}$、$K_2=\mathbf{0}$、$R'_D=\mathbf{1}$，所以 *CLK* 下降沿到达后，触发器状态为 $Q_1Q_2=\mathbf{11}$。

第三个 *CLK* 脉冲到来之前，$J_1=\mathbf{0}$、$K_1=\mathbf{1}$，$J_2=\mathbf{1}$、$K_2=\mathbf{0}$、$R'_D=\mathbf{1}$，所以 *CLK* 下降沿到达后，触发器状态置成 $Q_1Q_2=\mathbf{01}$。但由于 $R'_D=Q_1$，所以在 Q_1 变为 **0** 以后，Q_2 立即被置 **0**。于是电路回到了起始的状态 $Q_1Q_2=\mathbf{00}$。Q_1、Q_2 的电压波形如图 5-3-5 所示。

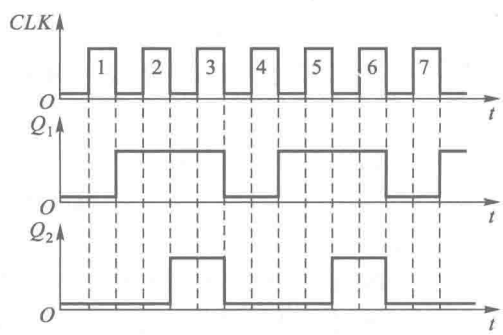


图 5-3-5　图 5-3-4 电路的电压波形图

二、触发器的应用

1. 触发器存储功能的应用

这一类题目是利用触发器的记忆功能把需要保存的瞬态信号保存下来，直到需要清除时

为止。

【例 5-3-4】 设计一个举重裁判逻辑电路。在一个主裁判员和两个副裁判员当中，必须有包含主裁判员在内的两人以上认定试举动作合格，并按动自己的按钮时，表示试举成功的输出信号 $Z=1$。而且，要求这个 $Z=1$ 的信号能一直保持下去，直到工作人员按动清除按钮为止。

解： 由于三个裁判员按动按钮发出的信号不能自行保持，而且按动的动作可能有先后、长短之别，所以需要用三个触发器分别保存三人按动按钮发出的信号。由于只要求触发器有置 **1** 和置 **0** 功能即可，所以用 *RS*、*JK*、*D* 型触发器均可，对结构类型也无特定要求。而且对三人的动作没有时间上同步的要求，所以也可以使用锁存器。

若选用 *SR* 锁存器，则可用裁判员按动按钮 *A*、*B*、*C* 给出的低电平作为置 **1** 信号，用工作人员按动按钮 *P* 给出的低电平作为置 **0** 信号，如图 5-3-6 所示。试举成功的信号 *Z* 由三个锁存器的输出状态判别，这个判断逻辑电路已在《数字电子技术基础(第六版)》第 2.5.1 节中的图 2.5.2 给出。这样我们就得到了图 5-3-6 所示的电路。

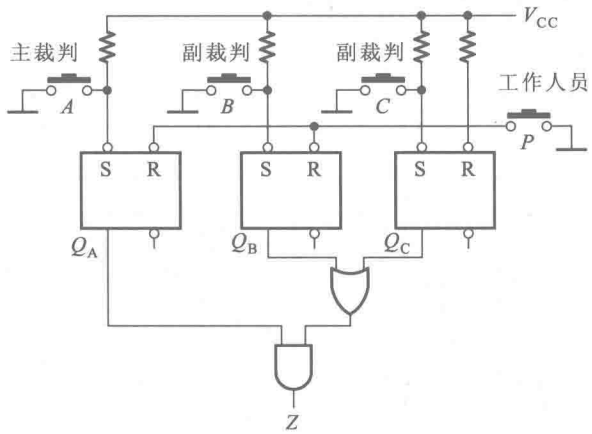


图 5-3-6　例 5-3-4 的电路图

2. 触发器分频/计数功能的应用

当 *T* 触发器处于 $T=1$ 的工作状态时，每输入一个 *CLK* 脉冲输出状态改变一次，因此输出端脉冲的频率将为 *CLK* 脉冲频率的 1/2。这就是所说的分频功能。在第六章里我们会更详细地讨论由触发器组成各种分频器/计数器的有关问题，这里就不做进一步地介绍了。

三、存储器扩展容量的方法

解题方法和步骤：

(1) 位扩展方法。在一片存储器芯片的字数够用而每个字的位数不够用时，可以用位扩展连接方法将多片存储器组合成输出数据位数更多的存储器。

连接的方法是将各片的地址线、读/写控制线(R/W')、片选线(CS')分别并联起来。如果每一片输出的数据是 *m* 位，则按上述方法用 *n* 片组合成的存储器将有 $m\times n$ 位数据输出。

(2) 字扩展接法。在一片存储器芯片的字数不够用而每个字的位数够用时，可以用字扩展接法将多片存储器芯片组合成字数更多的存储器。

连接的方法是将各片的地址线、读/写控制线(R/W')、数据输出线分别并联起来,然后通过每一片的片选(CS')信号,来区分地址代码选中的是哪一片中的存储单元。各片的片选信号由地址代码的附加位译出。如果每片存储器芯片的字数为 p,则按上述方法将 n 片存储器芯片组合成的存储器将可存储 $p\times n$ 个字。

(3) 如果一片存储器芯片的字数和位数都不够用,则可同时采用位扩展接法和字扩展接法,将多片存储器芯片组合成一个有更多字数和位数的存储器。

【例 5-3-5】 试使用 1 024×4 位的 RAM 芯片组合成一个 4 096×8 位的存储器。

解: 因为 4 096×8/1 024×4=8,所以需要用 8 片 1 024×4 位的存储器芯片。可以首先用位扩展接法将每两片接成 1 024×8 位的存储器,如图 5-3-7 中的 1 和 2、3 和 4、5 和 6、7 和 8,然后再用字扩展接法将它们接成 4 096×8 位的存储器。为了区分这四个 1 024×8 位的存储器,需要在 1 024×4 位芯片的 10 位输入地址($A_9\sim A_0$)之外增加两位地址代码 A_{11} 和 A_{10},以便用 $A_{11}A_{10}$ 的四种不同取值来指定这四个 1 024×8 位存储器当中的某一个。为此,还必须用一个 2 线-4 线译码器,将 $A_{11}A_{10}$ 的四种状态(**00**、**01**、**10**、**11**)译成 $Y_0'\sim Y_3'$ 四个输出信号,分别去控制四个 1 024×8 位存储器的 CS' 端,这样就得到了图 5-3-7 的电路连接图。

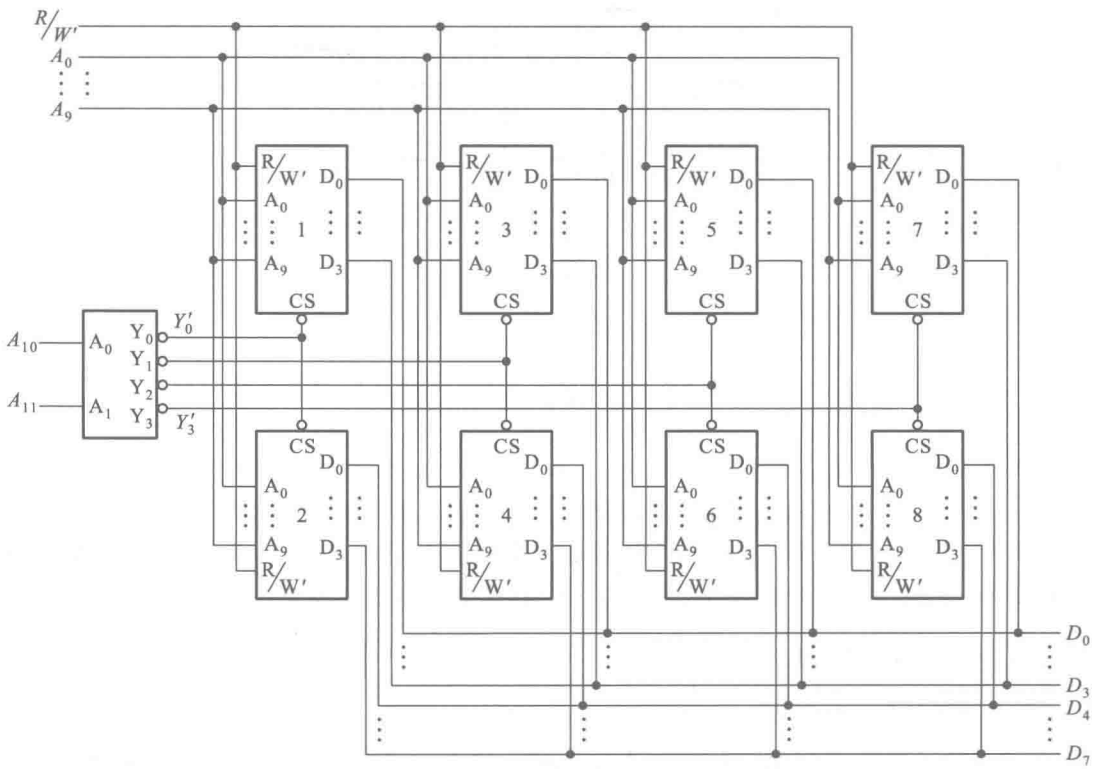


图 5-3-7　例 5-3-5 的电路

四、用存储器设计组合逻辑电路

解题方法和步骤:

(1) 进行逻辑抽象,得出所设计组合逻辑电路的逻辑真值表。

（2）选择存储器芯片。芯片的地址输入端数应等于或大于（最好是等于）输入变量数，芯片的数据输出端数应等于或大于（最好是等于）输出函数的数目。

（3）若一片存储器芯片的地址输入端数或数据输出端数达不到上述要求，可采用字扩展接法或位扩展接法将多片存储器芯片组合成一个符合要求的存储器。

（4）将输入变量接至存储器的地址输入端，取存储器的输出端作为函数输出端，并从函数的真值表得到与之对应的存储器的数据表。

（5）将得到的数据表写入存储器中，就得到了所设计的组合逻辑电路。

【例 5-3-6】 设计一个代码转换电路，将 8421 码转换为余 3 循环码。

解： 以 8421 码的 4 位作为四个输入变量，以余 3 循环码的 4 位作为多输出函数的四个函数输出端，就得到了表 5-3-1 的逻辑真值表。

表 5-3-1　例 5-3-6 代码转换电路的真值表

输　入					输　出			
D	C	B	A		Y_3	Y_2	Y_1	Y_0
0	0	0	0		0	0	1	0
0	0	0	1		0	1	1	0
0	0	1	0		0	1	1	1
0	0	1	1		0	1	0	1
0	1	0	0		0	1	0	0
0	1	0	1		1	1	0	0
0	1	1	0		1	1	0	1
0	1	1	1		1	1	1	1
1	0	0	0		1	1	1	0
1	0	0	1		1	0	1	0
1	0	1	0		0	0	0	0
1	0	1	1	伪	0	0	0	0
1	1	0	0		0	0	0	0
1	1	0	1		0	0	0	0
1	1	1	0	码	0	0	0	0
1	1	1	1		0	0	0	0

在正常工作情况下，8421 码中不会出现 **1010～1111** 这六个代码，故一般称之为“伪码”。输入出现伪码时，输出也应当设定为余 3 循环码的伪码，这里将输出全部设为 **0000**（也可以设成其他的伪码）。

产生表 5-3-1 的逻辑函数使用一片有 4 位地址输入、4 位数据输出的 16×4 位存储器就够用了。若选用 1 024×4 位 RAM，以它的地址输入端 A_3、A_2、A_1、A_0 作为 D、C、B、A 的输入端，以它的

数据输出端 D_3、D_2、D_1、D_0 作为 Y_3、Y_2、Y_1、Y_0 的输出端，如图 5-3-8 所示，则可得到 RAM 的数据表如表 5-3-2。

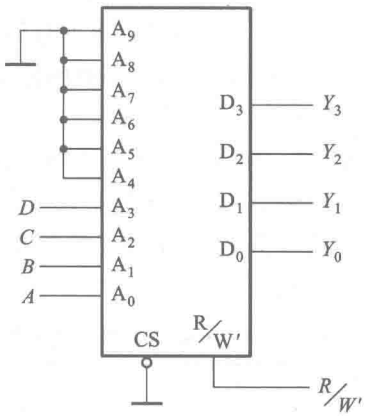


图 5-3-8　例 5-3-5 的电路

表 5-3-2　图 5-3-8 RAM 的数据表

地　址										数　据			
A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	0	1	0	0	1	1	1
0	0	0	0	0	0	0	0	1	1	0	1	0	1
0	0	0	0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	0	0	1	0	1	1	1	0	0
0	0	0	0	0	0	0	1	1	0	1	1	0	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	0	0	0	1	0	0	0	1	1	1	0
0	0	0	0	0	0	1	0	0	1	1	0	1	0
0	0	0	0	0	0	1	0	1	0	0	0	0	0
0	0	0	0	0	0	1	0	1	1	0	0	0	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	0	0	0	0	0	1	1	0	1	0	0	0	0
0	0	0	0	0	0	1	1	1	0	0	0	0	0
0	0	0	0	0	0	1	1	1	1	0	0	0	0
						D	C	B	A	Y_3	Y_2	Y_1	Y_0
输　入										输　出			

将表 5-3-2 的数据写入 RAM 中，就得到了所设计的代码转换电路。

第六章　时序逻辑电路

6.1　本章重点内容

一、时序逻辑电路在逻辑功能和电路结构上的特点，以及时序逻辑电路逻辑功能的描述方法。

二、同步时序逻辑电路的分析方法和设计方法。

三、几种常见中规模集成时序逻辑电路的逻辑功能和使用方法（会读功能表，掌握扩展接法及任意进制计数器的构成方法等）。

四、用 Verilog HDL 语言描述同步时序逻辑电路。

6.2　难点释疑

一、为什么时序逻辑电路的结构中必须含有一个存储电路，而且存储电路的输出还必须与输入变量一起决定电路的输出？

我们知道时序逻辑电路区别于组合逻辑电路的根本特征在于它任意时刻的输出不仅取决于当时的输入，而且还取决于电路原来的状态。

为了实现上述逻辑功能，时序电路就必须有记忆能力，把电路原来的状态保存下来，这就需要用存储电路，以存储电路的不同状态表示电路所处的不同状态。存储电路应该能记忆电路工作过程中所有可能出现的状态，所以存储电路所具有的状态数目不能少于电路的状态数。同时，为了使输出“不仅取决于当时的输入，而且还取决于电路原来的状态”，那么就必须将存储器的输出（即所记忆的状态）加到输出电路上，与输入的逻辑信号共同决定输出的逻辑状态。因此，我们才把时序电路典型的电路结构形式画成图 6-2-1 的形式。

不过，也不是每一个具体的时序电路都有图 6-2-1 所示的完整形式。一种情况是输出只取决于存储电路的状态（即 Y 只是 Q 的函数，与 X 无关），我们把这种类型的时序电路叫做 Moore 型时序电路。第二种情况是有些时序电路中没有输入逻辑变量，例如图 6-2-2 的同步十六进制计数器电路就属于这一种。由于没有输入变量，所以每当 CLK 脉冲到来时，电路便根据原来所处的状态转到相应的次态，并给出由存储电路决定的输出信号 C。第三种情况是有的时序电路中看不到组合逻辑电路部分。例如图 6-2-3 中的移位寄存器就属于这一种。其实我们也可以想象成它的组合电路部分全部是由一些同相器（输出与输入的逻辑状态相等的门电路）组成的，只是不必画出来，这样在电路中就找不到组合电路部分了。

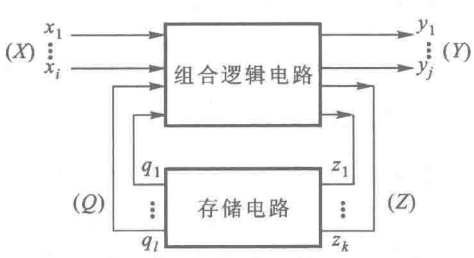


图 6-2-1　时序逻辑电路结构的一般形式

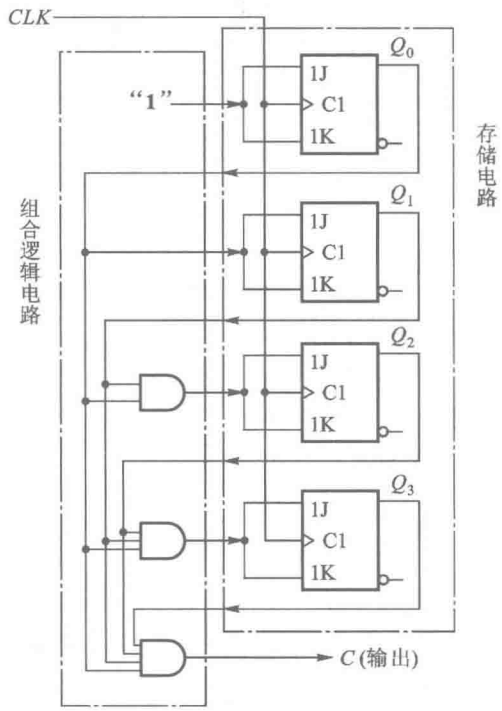


图 6-2-2　没有输入逻辑变量的时序逻辑电路的例子

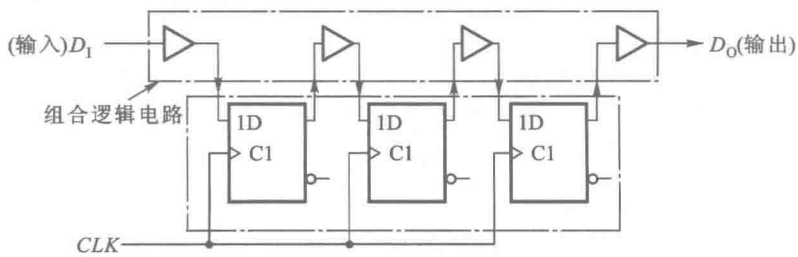


图 6-2-3　没有组合逻辑电路部分的时序逻辑电路的例子

不论是以上三种特例的哪一种，它们仍然都具有时序电路的基本特征，这就是任何时刻的输出都与电路原来的状态有关。因此，都需要用驱动方程、状态方程和输出方程这三个方程才能完整地描述它们的逻辑功能。

二、既然计数器能记录输入的 *CLK* 脉冲数，那么是否可以说 *CLK* 信号是计数器的输入逻辑变量？

通过对计数器工作过程的分析可以看到，当它工作在计数状态时，每次时钟脉冲 *CLK* 到来以后便按照状态转换图依次从一个状态转换为下一个状态。这是所有计数器的共同特点。因此，只要知道没有加时钟脉冲以前计数器的初始状态，就可以根据当前计数器的状态得知已经输入了几个时钟脉冲。这就是它能对时钟脉冲进行计数的基本原理。

图 6-2-4 是同步十六进制计数器的状态转换图。由图可见，若已知初始状态为 $Q_3Q_2Q_1Q_0$= **0000**，则电路状态变为 **1011** 以后，我们就知道已经输入了 11 个时钟脉冲，因而可以用 **1011** 状态表示已经输入的脉冲数 11。但如果电路的初始状态取为 **1000**，则电路进入 **1011** 状态以后，说明已经输入了 3 个时钟脉冲，这时电路的 **1011** 状态所表示输入的时钟脉冲数就变成 3 而不是 11 了。

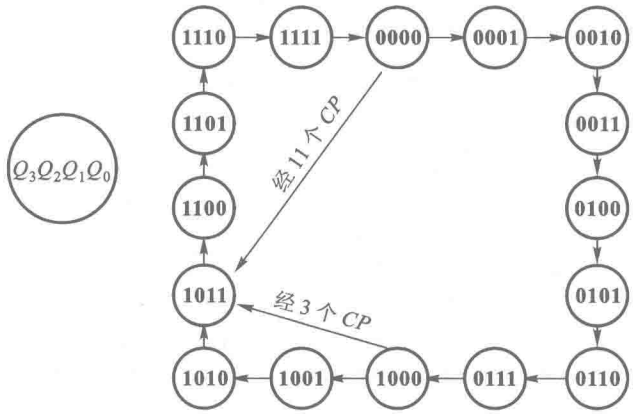


图 6-2-4　计数器的“计数”原理

由此可见，时钟脉冲只是让计数器从一个状态转到下一个状态的操作信号，而计数器的具体状态与时钟信号没有任何逻辑关系。因此，时钟信号不是输入逻辑变量。

三、在设计时序逻辑电路时，怎样才能正确地将设计要求的逻辑问题抽象成一个逻辑函数？

当时序逻辑电路的设计要求是用户用一段语言叙述给出时，我们首先要作逻辑抽象。所谓逻辑抽象，就是用数学抽象的方法把要求实现的逻辑功能（或称为逻辑事件）表示为逻辑函数的形式。时序逻辑函数可以是状态转换图的形式，也可以是状态转换表的形式。目前的 EDA 软件还无法完成这项工作，因此必须由设计者用人工的方法来完成。

我们知道时序逻辑电路在逻辑功能上的特点是任一时刻的输出不仅取决于这时的输入，同时还取决于电路所处的状态（或者说取决于以前的输入情况），这就要求逻辑函数能描述逻辑事件的全部过程。为此，逻辑抽象工作必须包括以下内容：

1. 确定什么是所设计电路的输入变量和输出变量。

2. 通过对逻辑要求的分析，找出在事件发生过程中所有可能出现的逻辑状态。这些状态需要分别用电路的状态表示，因此逻辑状态的数目也就是电路必须具备的状态数。

3. 定义输入、输出逻辑状态（**1** 和 **0**）的含意，并将逻辑状态编码。

4. 分析设计要求，找出每个逻辑状态在各种可能的输入信号下输出的状态和应当转到的次态。这样就能画出状态转换图了。

其中比较难的、也是最关键的步骤是 2、4 两项，就是确定电路的状态数，并找出每个状态在不同输入下的输出和次态。为此，必须认真分析事件因果关系发生的全部过程。在后面的例题详解中，我们还将结合例题说明逻辑抽象的过程。

四、为什么时序逻辑电路中存在一个能否自启动的问题？怎样在设计过程中保证设计的电路一定能够自启动？

我们已经知道，时序逻辑电路工作时是在有限个状态之间按一定顺序转换的。电路的状态用存储电路中触发器的状态组合表示。由于触发器的状态组合数往往大于所需要的状态数，于是就有不用的状态存在。我们把这些不用的状态称之为“无效状态”。

例如要求设计一个六进制计数器，它的状态转换图如图 6-2-5 所示。为了表示电路 6 个不同的状态，最少要用 3 个触发器，而 3 个触发器的输出 $Q_2Q_1Q_0$ 共有 8 个不同的状态，于是就出现了 2 个无效状态 **010** 和 **101**。

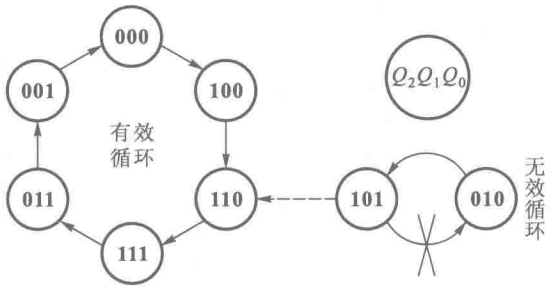


图 6-2-5 一个六进制计数器的状态转换图

当电路在工作过程中因为某种原因进入无效状态以后，如果每一个无效状态的次态都是有效循环当中的一个有效状态，那么在下一个时钟信号到来之后，电路将自动进入有效循环，电路是能够自启动的。

反之，如果无效状态的次态仍然是一个无效状态（不包括经过另外的无效状态以后能转入有效循环的），则电路一旦进入这些无效状态，将无法在时钟信号作用下自动转入有效循环中，电路将不能自启动。

因此，保证电路能够自启动的关键，在于必须保证每个无效状态的次态都能直接转入一个有效状态，或者能间接地转入一个有效状态（即经过另外的无效状态以后，最终仍能转入一个有效状态）。如果我们在设计过程中能做到这一点，那么设计出的时序逻辑电路就一定能自启动。

在时序逻辑电路的设计方法中已经讲过，设计时首先要找出电路的状态方程。为此，可以从电路的状态转换图画出状态方程的卡诺图。然后利用卡诺图化简，即可得到电路的状态方程了。

我们仍以图 6-2-5 的计数器为例，画出状态方程的卡诺图，即 $Q_2^*Q_1^*Q_0^*$ 的卡诺图，如图 6-2-6 所示。为了使状态方程尽量简单，图中将无效状态作为无关项处理，用“×”表示。

化简过程中将这些“×”取作 **1** 还是取作 **0**，视化简结果是否最简单而定。为看得清楚起见，把图 6-2-6 的卡诺图拆分为图 6-2-7 中的 Q_2^*、Q_1^*、Q_0^* 这 3 个卡诺图。按照图中所示的方式合并最小项后，得到电路的状态方程为

$$\begin{cases} Q_2^* = Q'_0 \\ Q_1^* = Q_2 \\ Q_0^* = Q_1 \end{cases} \qquad (6\text{-}2\text{-}1)$$

Q_2 \ Q_1Q_0	00	01	11	10
0	100	000	001	×××
1	110	×××	011	111

图 6-2-6 图 6-2-5 计数器状态方程（$Q_2^*Q_1^*Q_0^*$）的卡诺图

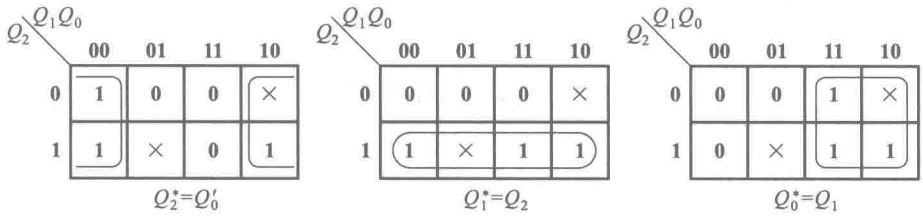


图 6-2-7　Q_2^*、Q_1^*、Q_0^* 的卡诺图

这里要特别提醒的是，在上述合并最小项的过程中，实际上已经指定了卡诺图中每个“×”的取值，即圈入 1 的相邻组的“×”已经被取作 **1**，未圈入的被取作 **0** 了。因此，图 6-2-6 的卡诺图实际上已经确定为图 6-2-8 的形式了。

由于化简过程中只考虑了如何使化简结果最简单，没有考虑到能否自启动的问题，所以必须检查一下无效状态能否直接或间接转入有效循环。从图 6-2-8 的卡诺图中可以看到，两个无效状态 **101** 和 **010** 的次态仍然是无效状态 **010** 和 **101**，所以电路不能自启动。**101** 和 **010** 两个状态组成了一个独立于“有效循环”之外的一个“无效循环”，如图 6-2-5 所示。

为了保证电路能够自启动，只要将两个无效状态中任何一个的次态修改为有效循环中的某个状态就可以了。修改的具体方案有多种。例如可以将无效状态 **101** 的次态修改为 **110**，这时图 6-2-7 中 Q_2^* 的卡诺图将变为图 6-2-9 中的形式，电路的状态方程也随之修改为

$$\begin{cases} Q_2^* = Q_0' + Q_2 Q_1' \\ Q_1^* = Q_2 \\ Q_0^* = Q_1 \end{cases} \tag{6-2-2}$$

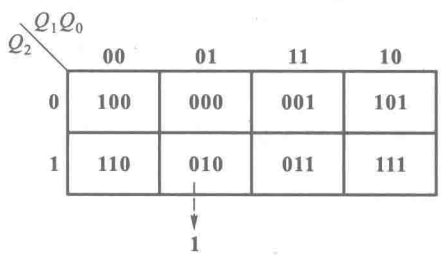


图 6-2-8　化简后的状态方程卡诺图

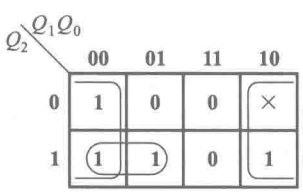


图 6-2-9　修改后的 Q_2^* 卡诺图

图 6-2-5 中的状态转换图也将得到修改，如图中虚线所示。

如果采用 D 触发器组成这个计数器电路，则可得到电路的驱动方程为

$$\begin{cases} D_2 = Q_0' + Q_2 Q_1' \\ D_1 = Q_2 \\ D_0 = Q_1 \end{cases} \tag{6-2-3}$$

根据式(6-2-3)就得到了图 6-2-10 的计数器电路。这个电路一定能自启动。

如果开始设计时，就将状态方程卡诺图中每个无效状态的次态都随便填写为某个有效状态，则设计出的电路也是能自启动的。但是化简后的状态方程就不一定是最简单的，因而也不能保证设计出的电路最简单。

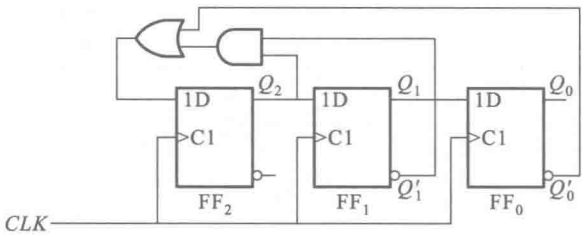


图 6-2-10　能自启动的六进制计数器电路

6.3　习题类型与解题方法

本章的习题首先可以分为时序逻辑电路的分析和时序逻辑电路的设计两大类。在时序逻辑电路分析的题目中又分为两种类型，一种类型是分析由触发器和门电路组成的时序逻辑电路，另一种类型是分析由中规模集成的时序逻辑电路模块为核心组成的时序逻辑电路。这两种电路的分析方法是不同的。在时序逻辑电路设计的题目中有三种类型，第一种类型是用触发器和门电路进行设计；第二种类型是用中规模集成的时序逻辑电路模块为核心器件进行设计，这两类设计题目的设计方法也不一样；第三种类型是用硬件描述语言对设计的电路进行逻辑功能描述，然后选定 PLD 器件，并借助开发工具完成设计。

一、分析由触发器和门电路组成的时序逻辑电路

虽然逻辑图本身也是逻辑功能的一种描述方式，但是它往往不能比较直观地表示出电路的功能，这一点在时序逻辑电路中尤为突出。因此，我们经常需要把它的逻辑功能用逻辑方程、状态转换表、状态转换图、波形图等比较直观的形式表示出来，这就是我们这里所说的时序逻辑电路的分析。

解题方法和步骤：

（1）写出存储电路中每个触发器的驱动方程（即触发器输入信号的逻辑函数式）。这些驱动方程组成了电路的驱动方程组。

（2）将驱动方程代入触发器的特性方程，得到每个触发器的状态方程。这些状态方程组成电路的状态方程组。

（3）从逻辑图直接写出电路的输出方程。

（4）为了显示电路的全部工作过程，可进一步求出电路的状态转换表，并可从状态转换表画出状态转换图或时序图。

为此，可取任何一组输入变量取值和电路的状态为初始状态代入状态方程和输出方程，求出现态下的输出和电路的次态。再以得到的次态作为初态，将这时的输入变量取值代入状态方程和输出方程，求出现态下的输出和电路的次态。如此继续做下去，求出以电路所有的状态为初态时的计算结果。将计算结果依次列表，就得到了状态转换表。

以上是通用的分析方法，它适用于任何由触发器和门电路组成的时序逻辑电路。但这并不等于说在分析一些逻辑功能很简单的电路时也必须遵循上述步骤按部就班地进行。例如在分析移位寄存器的逻辑功能时，我们知道每个触发器的次态就是前一级触发器现在的状态，据此直接

就能画出电路的状态转换图了。

【例 6-3-1】 试分析图 6-3-1 给出的时序逻辑电路，画出电路的状态转换图，说明电路能实现什么功能。

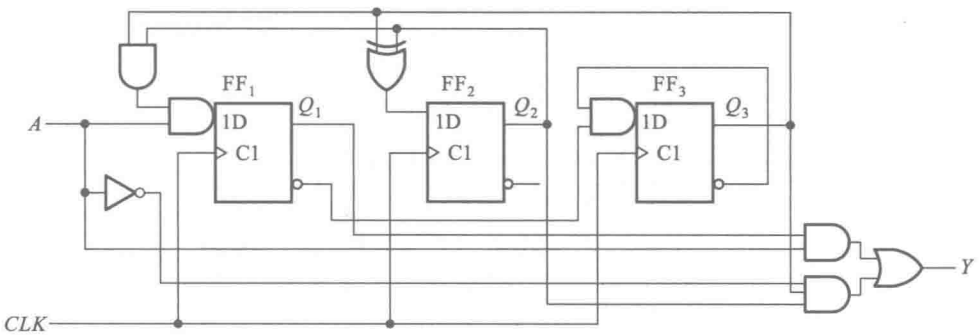


图 6-3-1　例 6-3-1 的逻辑电路

解： 由给出的逻辑图得到电路的驱动方程组为

$$\begin{cases} D_1 = AQ_2Q_3 \\ D_2 = Q_2 \oplus Q_3 \\ D_3 = Q_1'Q_3' \end{cases} \tag{6-3-1}$$

将上式代入 D 触发器的特性方程后得到

$$\begin{cases} Q_1^* = AQ_2Q_3 \\ Q_2^* = Q_2 \oplus Q_3 \\ Q_3^* = Q_1'Q_3' \end{cases} \tag{6-3-2}$$

由图写出输出方程为

$$Y = AQ_1 + A'Q_2Q_3 \tag{6-3-3}$$

根据式(6-3-2)和式(6-3-3)分别计算出当 $A=1$ 和 $A=0$ 时 $Q_1Q_2Q_3$ 的次态 $Q_1^*Q_2^*Q_3^*$ 和现态下的输出 Y，然后列表，就得到了表 6-3-1 的状态转换表。将状态转换表的内容画成状态转换图，就得到了图 6-3-2 的状态转换图。

表 6-3-1　例 6-3-1 电路的状态转换表

A \ $Q_1Q_2Q_3$	000	001	010	011	100	101	110	111
0	001/0	010/0	011/0	000/1	000/0	010/0	010/0	000/1
1	001/0	010/0	011/0	100/0	000/1	010/1	010/1	100/1

从状态转换图可以看出，当 $A=1$ 时，图 6-3-1 电路可作为五进制计数器用；而当 $A=0$ 时，该电路可作为四进制计数器使用。而且，无论在 $A=1$ 还是在 $A=0$ 状态下，这个电路都能自启动（即在时钟信号操作下自动进入有效循环中去）。

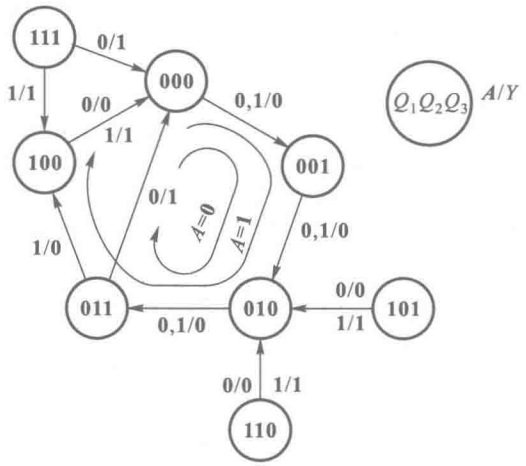


图 6-3-2　例 6-3-1 电路的状态转换图

二、分析由中规模集成时序逻辑电路组成的时序电路

解题方法和步骤：

（1）首先必须弄清每个中规模集成电路的逻辑功能。

中规模集成电路的逻辑功能一般都用功能表或者时序图再附加文字说明给出。

对于带有附加控制端的集成电路，除了给出正常工作状态下电路的逻辑功能以外，还必须给出这些附加控制端的作用和用法。

（2）根据给定的功能表和电路具体的连接情况，确定每个集成电路所处的工作方式，进而找出电路状态的转换顺序和相应的输出（必要时可以画出状态转换图）。

（3）在多芯片组成的逻辑电路中，要分析各芯片输出与输入之间的关系，最后得到整个电路的输出与输入间的逻辑关系。

【例 6-3-2】　试分析图 6-3-3 电路的逻辑功能。74HC161 是同步十六进制计数器。在 TI 公司的数据手册中，它的逻辑功能是用图 6-3-4 的时序图给出的。

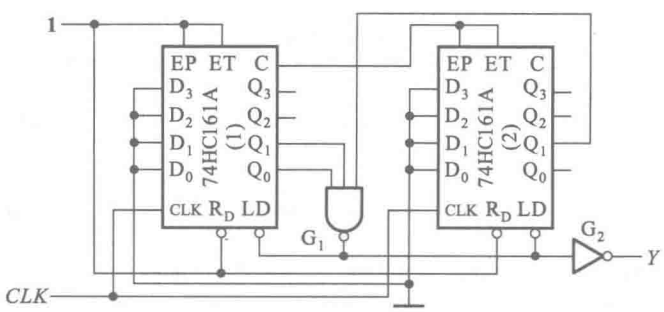


图 6-3-3　例 6-3-2 的电路

解：从图 6-3-4 的时序图中可以看到，当附加控制端 EP、ET、LD'、R'_D 的输入信号为不同状态时电路所处的工作模式：

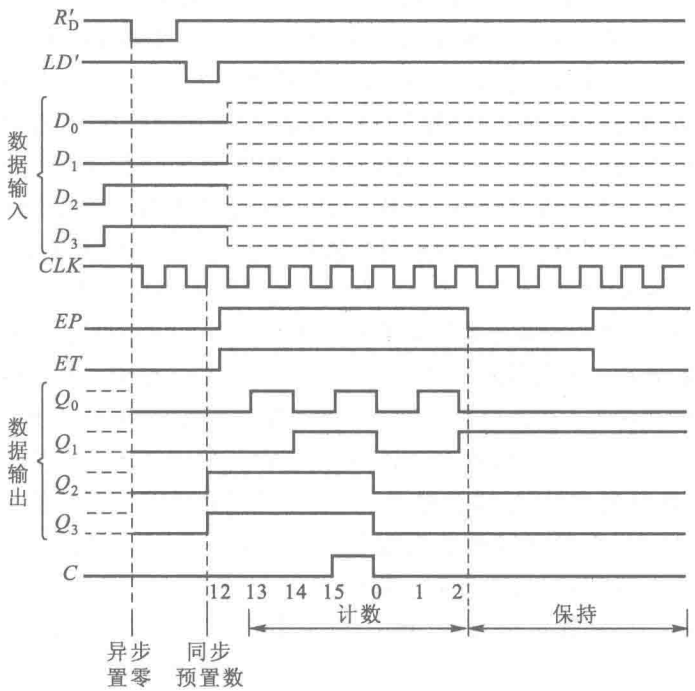


图 6-3-4　74HC161 的时序图

当 $R'_D=0$ 的信号到来时，$Q_3Q_2Q_1Q_0$ 立刻被置成 **0000** 状态，与其他输入端的状态无关。R'_D称为异步置零输入端。

当 $LD'=0$ 的信号到来以后，要等到下一个 CLK 上升沿到达才将 $D_3D_2D_1D_0$ 的 **1100** 状态置入，使 $Q_3Q_2Q_1Q_0=1100$。LD'称为同步预置数输入端。

当 R'_D、LD'、EP、ET 均处于高电平以后，$Q_3Q_2Q_1Q_0$ 的状态便随着 CLK 脉冲的连续输入而按 12→13→14→15→0→1→2 的顺序计数，并在计成 15 时产生进位输出信号 C。

当 EP 或 EP 任何一个变成低电平以后，计数器便保持原来的状态，不再继续计数了。

根据以上的分析，就得到了表示 74HC161 逻辑功能的功能表，如表 6-3-2 所示。有时也直接给出这个功能表，根据这个功能表也可以画出图 6-3-4 的时序图。此外，由于已知 74HC161 是十六进制计数器，所以就等于说明了它的状态（$Q_3Q_2Q_1Q_0$）转换顺序是$\underset{(0)}{\mathbf{0000}}\rightarrow\underset{(1)}{\mathbf{0001}}\rightarrow\underset{(2)}{\mathbf{0010}}\rightarrow\cdots\cdots\rightarrow\underset{(15)}{\mathbf{1111}}\rightarrow\underset{(0)}{\mathbf{0000}}$，即按二进制数递增计数。

表 6-3-2　74HC161 的功能表

CLK	R'_D	LD'	EP	ET	工作模式
×	**0**	×	×	×	异步置零
↑	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持（$C=0$）
↑	**1**	**1**	**1**	**1**	计数

由图 6-3-3 可见,第(1)片 74HC161 的 *EP* 和 *ET* 始终为 **1**,所以只要 *LD'* 和 R'_D 处在高电平,它始终工作在计数模式。而第(2)片 74HC161 的 *EP* 和 *ET* 信号取自第(1)片的进位输出 *C*,所以只有当第(1)片 74HC161 计到 15 以后,第(2)片 74HC161 才进入计数模式(而且必须是在 $LD'=\mathbf{1}$, $R'_D=\mathbf{1}$ 的情况下)。在此之前因为第(2)片 74HC161 的 $EP=ET=\mathbf{0}$,所以它工作在保持模式。

当连续输入 *CLK* 脉冲时,设第(1)片 74HC161 从 **0000** 开始计数,则每计到 15 时 *C* 端输出变成高电平,下一个 *CLK* 上升沿到达后第(2)片 74HC161 计为 1,第(1)片 74HC161 返回 **0000** 状态,重新从 0 开始计数。因此从第(1)片的 *CLK* 脉冲输入到进位信号 *C* 的输出,是十六进制。当第(2)片 74HC161 计为 2、第(1)片计为 3 时,说明已经输入 16×2+3=35 个时钟脉冲。这时**与非**门 G_1 输出变为低电平,使两片计数器同时处于 $LD'=\mathbf{0}$ 的状态。不过这时 $D_0\sim D_3$ 的数据并未被置入。等到第 36 个时钟脉冲的上升沿到达时,两片的并行数据输入端 $D_0\sim D_3$ 的 **0000** 被同时置入,于是它们同时返回到 **0000** 状态。因此这是一个三十六进制进数器,而不是三十五进制计数器。

这里要特别提醒注意的一点是 *LD'* 和 R'_D 信号从起作用的时间上有同步和异步之分。本例中 74HC161 的 *LD'* 是同步预置数信号,也就是说 *LD'* 信号的预置数是在时钟信号操作下进行的。从图 6-3-4 的时序图中可以看到,在 *LD'* 变为低电平以后,$D_0\sim D_3$ 的数据还不能立刻被置入,要等下一个 *CLK* 脉冲的上升沿到达时,才能置入数据。

但是也有一些计数器芯片是采用异步预置数的(例如同步十六进制加/减计数器 74HC191)。在这一类计数器中,只要 *LD'* 变为低电平,$D_0\sim D_3$ 的数据便立刻被置入计数器中,而不受 *CLK* 信号控制。如果在图 6-3-3 电路中改用异步预置数的计数器,那么这个电路将是三十五进制计数器,而不是三十六进制。

不同计数器芯片的置零信号也有同步置零和异步置零两种工作方式。同步置零信号 R'_D 变为低电平以后,并不能立刻将计数器置零,要等到下一个时钟信号到达后才能将计数器置零。而异步置零信号 R'_D 一旦变为低电平便立刻将计数器置零,与 CLK 信号无关。74*HC*161 就属于异步置零方式。

三、用触发器和门电路设计时序逻辑电路

设计方法和步骤:

(1) 逻辑抽象,得到电路的状态转换图或状态转换表。

① 确定输入变量、输出变量和电路应有的状态数。通常都是以事件的原因作为输入变量,以事件的结果作为输出变量。电路的状态数应包括事件发生的全部过程中所有可能出现的状态数。

② 定义输入、输出逻辑状态(**0** 和 **1**)以及每个电路状态所代表的物理意义,并将电路状态编码。

③ 找出每个电路状态在不同输入条件下产生的输出和电路的次态,这样就可以画出电路的状态转换图或列出状态转换表了。

(2) 状态化简。

若两个状态在相同输入下有相同的输出,而且转向同样的次态,则这两个状态为等价状态。等价状态是重复的,可以合并,以减少电路的状态数。

(3) 状态分配。

① 计算存储器中触发器应有的数目。因为电路的状态是用存储电路中触发器状态的不同组合表示的,所以首先必须算出触发器应有的数目。若电路的状态数为 M,则由于 n 个触发器可

以产生 2^n 个状态组合，故应当取

$$2^{n-1}<M\leqslant 2^n \tag{6-3-4}$$

② 给每个电路状态规定一个对应的代码。由于存储电路中触发器的每一组状态组合都组成一组二进制代码，所以我们在规定每个电路状态对应的触发器状态组合时，也就等于给它规定了一个代码。

(4) 选定触发器逻辑功能的类型，求出电路的状态方程、驱动方程和输出方程。

在讨论触发器逻辑功能的分类时我们曾经讲过，不同逻辑功能的触发器在输入的给出方式、次态随输入和现态变化的规则是有区别的。不难想象，采用不同逻辑功能的触发器所设计出来的电路也是不一样的。因此，在设计具体电路前必须选定触发器逻辑功能的类型。

选定触发器类型以后，根据已经得到的状态转换图和状态编码，可以画出表示电路次态和输出的卡诺图，并进而从卡诺图写出状态方程和输出方程，再从状态方程找出驱动方程。

(5) 根据得到的方程组画出对应的逻辑图。

(6) 检查所设计的电路能否自启动。

当存储电路的全部状态数(也就是触发器所有的状态组合数)大于描述时序电路工作过程所需要的状态数时(即式(6-3-4)中 $2^n>M$)，必然存在着没有利用的状态。这些状态称为无效状态。

在刚一接通电源或者存在外界干扰的情况下，电路可能会进入某个无效状态。如果在时钟信号作用下，电路最终能够进入有效状态，则这个电路就是能自启动的。反之，如果电路一旦进入无效状态后，在时钟信号作用下始终不能进入有效状态，它就是不能自启动的。

当然，假若存储电路的全部状态数和描述电路工作过程所需要的状态数相等($2^n=M$)，将不存在无效状态，自然也就不存在电路不能自启动的问题了。

【例 6-3-3】 设计一个咖啡产品包装线上用的检测逻辑电路。正常工作状态下，传送带顺序送出成品，每三瓶一组，装入一个纸箱中，如图 6-3-5 所示。每组含两瓶咖啡和一瓶咖啡伴侣，咖啡的顶盖为棕色，咖啡伴侣顶盖为白色。要求在传送带上的产品排列次序出现错误时逻辑电路能发出故障信号，同时自动返回初始状态。

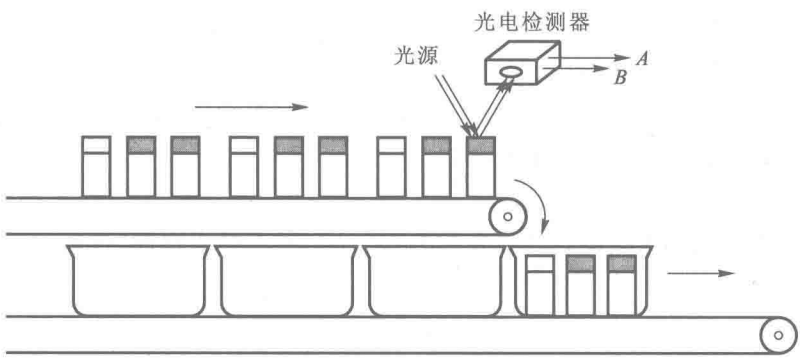


图 6-3-5　产品包装生产线示意图

解： 首先需要得到区别两种瓶盖颜色的信号。例如可以采用光电检测电路，根据棕、白两色瓶盖对入射光反射率的不同，在光电接收器的输出得到两种不同的输出信号。假定检测到棕色瓶盖时输出为 $A=1$、$B=0$，检测到白色瓶盖时输出为 $A=0$、$B=1$。没有检测到瓶盖时，光电检测器接收不到反射光，$A=0$、$B=0$。

1. 进行逻辑抽象

以检测到不同颜色瓶盖的信号为输入变量，用 $A=1$ 表示棕色，用 $B=1$ 表示白色。以故障为输出变量，用 Y 表示，工作正常时 $Y=0$，有错误时 $Y=1$。

设电路的初始状态为 S_0，输入一个 $A=1$ 以后的状态为 S_1，连续输入两个 $A=1$ 以后的状态为 S_2。如果已经进入了 S_2，则根据下一个输入的状态就能决定输出的状态了，而且无论输出是 **1** 还是 **0**，电路都返回初始状态。因此，电路的状态数取 3 就够了。

当电路处于初始状态 S_0 时，若 $AB=00$，则 $Y=0$，时钟信号到达时保持 S_0 状态不变；若 $AB=10$，则 $Y=0$，时钟信号到达时转入次态 S_1；若 $AB=01$，则 $Y=1$，时钟信号到达时保持 S_0 状态不变。

当电路处于 S_1 状态时，若 $AB=00$，则 $Y=0$，时钟信号到达时保持 S_1 状态不变；若 $AB=10$，则 $Y=0$，时钟信号到达时转入次态 S_2；若 $AB=01$，则 $Y=1$，时钟信号到达时返回 S_0 状态。

当电路处于 S_2 状态时，若 $AB=00$，则 $Y=0$，时钟信号到达时保持 S_2 状态不变；若 $AB=10$，则 $Y=1$，时钟信号到达时电路返回 S_0 状态；若 $AB=01$，则 $Y=0$，时钟信号到达时电路返回 S_0 状态。

根据以上对电路工作过程的分析，我们就得到了如图 6-3-6 所示的状态转换图。

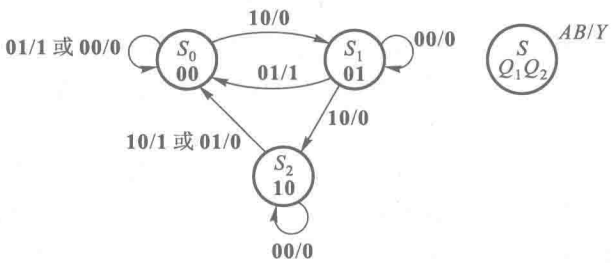


图 6-3-6　例 6-3-3 电路的状态转换图

2. 状态化简

由图 6-3-6 的状态转换图可以看到，图中不存在等价状态，所以已不能化简。

3. 状态分配

为了得到 3 个状态，需要用两个触发器。设两个触发器的输出为 Q_1 和 Q_0，这里取 $Q_1Q_0=00$ 为 S_0，$Q_1Q_0=01$ 为 S_1，$Q_1Q_0=10$ 为 S_2。

4. 选定触发器逻辑功能的类型，求出电路的状态方程、驱动方程和输出方程

我们选定 D 触发器组成这个时序电路。

根据图 6-3-6 的状态转换图和所取的状态编码，即可得到图 6-3-7 中表示 Q_1^*、Q_0^* 和 Y 作为 Q_1Q_0、AB 的逻辑函数的卡诺图。从中分解出 Q_1^*、Q_0^* 和 Y 的卡诺图，分别化简得到状态方程和输出方程为

$$\begin{cases} Q_1^* = AQ_0 + A'B'Q_1 \\ Q_0^* = AQ_1'Q_0' + A'B'Q_0 \end{cases} \tag{6-3-5}$$

$$Y = AQ_1 + BQ_1' \tag{6-3-6}$$

又知 D 触发器的特性方程为 $Q^* = D$，于是得到电路的驱动方程

$$\begin{cases} D_1 = Q_1^* = AQ_0 + A'B'Q_1 \\ D_0 = Q_0^* = AQ_1'Q_0' + A'B'Q_0 \end{cases} \tag{6-3-7}$$

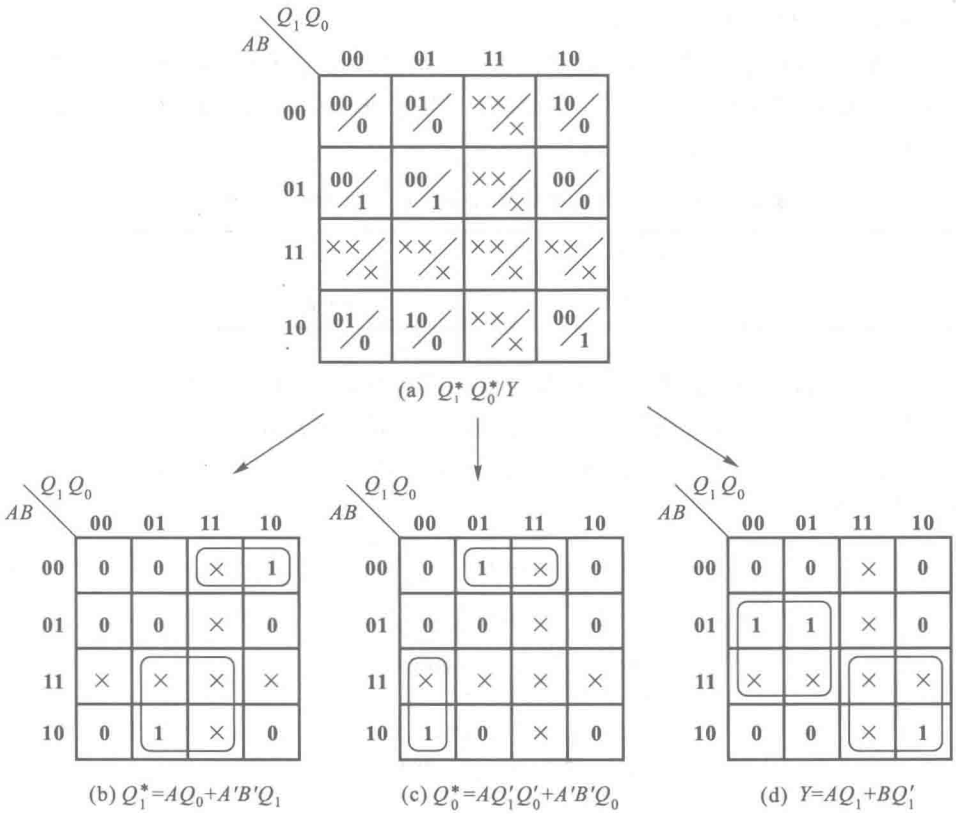


图 6-3-7　例 6-3-3 电路的卡诺图

5. 根据式(6-3-6)和式(6-3-7)画出逻辑电路图，如图 6-3-8 所示。

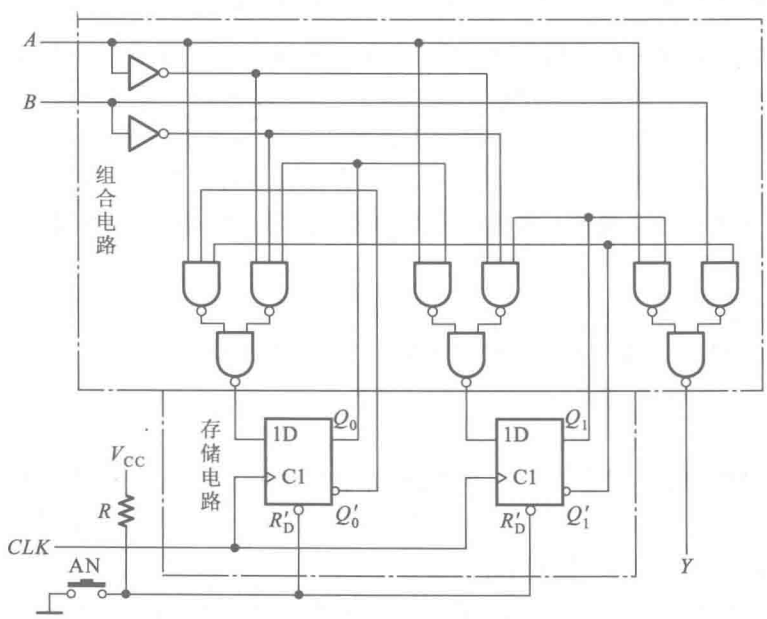


图 6-3-8　例 6-3-3 的逻辑电路

6. 检查所设计的电路能否自启动

因为存在无效状态 $Q_1Q_0=\mathbf{11}$，所以需要检查一下电路进入这个状态后能否在时钟信号作用下进入有效状态。以 $Q_1Q_0=\mathbf{11}$ 为初态，将 AB 取值分别为 **00**、**01**、**10** 代入式(6-3-5)和式(6-3-6)计算相应的次态和输出，结果如表 6-3-3 所示。

表 6-3-3 图 6-3-8 电路初态为 $Q_1Q_0=11$ 时的次态和输出

AB	00	01	10
$Q_1^*Q_0^*/Y$	11/0	00/0	10/1

将 $Q_1Q_0=\mathbf{11}$ 的状态补进图 6-3-6 的状态转换图以后，就得到了图 6-3-9 所示完整的状态转换图。可以看出，这个电路是能够自启动的。为了保证系统正确工作，可以设置一个异步置零按钮 AN(如图 6-3-8 中所示)。在开始工作时预先按动这个按钮，就能保证电路一定是从 $Q_1Q_0=\mathbf{00}$ 开始工作。

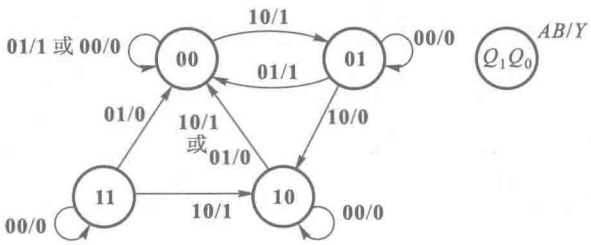


图 6-3-9 图 6-3-8 电路完整的状态转换图

四、用中规模集成的计数器设计任意进制计数器

在常用的中规模集成时序逻辑电路一节中，我们重点介绍了最常用的两种器件——移位寄存器和计数器。移位寄存器的用法比较简单，不再作进一步讲解。这里只重点总结、归纳一下用中规模集成的计数器构成任意进制计数器的方法和应注意的问题。

解题方法和步骤：

若已有 N 进制中规模集成的计数器，需要设计一个 M 进制计数器，这时可能遇到两种情况，即 $N>M$ 和 $N<M$。

1. $N>M$ 的情况

只要设法在 N 进制计数器的计数过程中跳过 $N-M$ 个状态就可以了。跳过 $N-M$ 个状态的方法有两种：

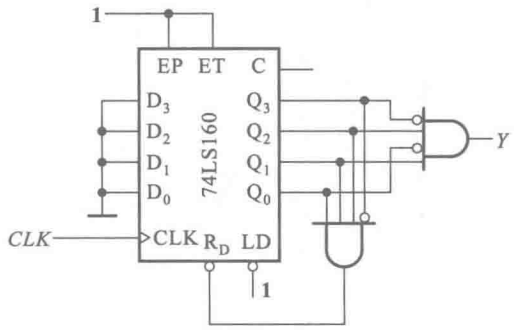
① 置零法

置零法的基本原理是当计数器从全 **0** 状态(计数器中所有的触发器都是 **0** 状态)开始计数，经过 $M-1$ 个状态以后，设法产生一个置零信号，使计数器的下一个状态返回全 **0** 状态，这样就跳过了 $N-M$ 个状态，从而得到了 M 进制计数器。

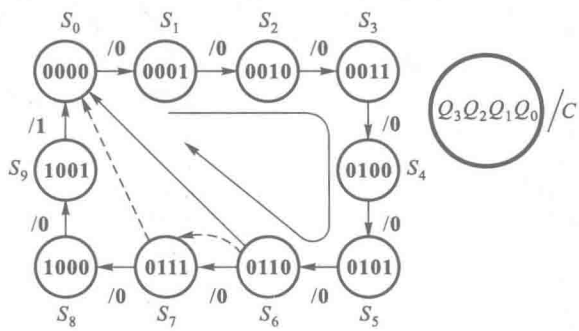
采用置零法时有两点需要特别注意，否则解题时很容易发生错误，这就是：

第一，对于异步置零方式和同步置零方式的器件，置零信号的产生方法是不同的。

例如我们用图 6-3-10(a)中的同步十进制加法计数器 74LS160 构成一个七进制计数器。如果采用置零法,则由图 6-3-10(b)中可知,应使计数器在计数过程中从 S_6 状态跳过 $S_7 \sim S_9$ 状态回到 S_0。由于 R'_D是异步置零输入端,所以只要 R'_D变为低电平,计数器便立刻被置为 S_0 状态。这时必须用 S_7 状态译出 R'_D信号。因为计数器一旦进入 S_7 状态使 R'_D变为低电平后,计数器立即被置零,S_7 状态马上又消失了,所以 S_7 状态只在这个极短的过渡过程中出现,而不存在于稳定的状态循环中,如图中虚线箭头所表示的那样。



(a)



(b)

图 6-3-10　用置零法设计的七进制计数器

如果使用 R'_D是同步置零输入端的计数器(例如 74LS162),则 R'_D变为低电平以后计数器并不能立刻被置零,还要等到下一个 *CLK* 上升沿到达时计数器才会被置零,因而 S_7 状态也是稳定的状态循环中的一个状态,这时图 6-3-10(a)的接法就不是七进制计数器而是八进制计数器了。为了得到七进制计数器,这时应从 S_6 状态译出 R'_D信号。

第二,由图 6-3-10(b)的状态转换图中可以看到,当电路进入 S_9 状态时才有进位输出,即 $C=\mathbf{1}$,而现在修改后的七进制计数器的状态循环中不包含 S_9 状态,所以 *C* 端的输出始终是 **0**。因此,需要另外译出进位输出信号。例如可以从 S_6 状态译出进位输出信号 *Y*,如图中所示。

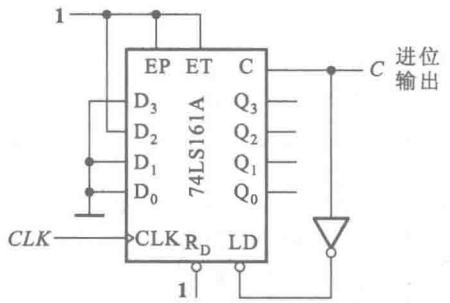
② 置数法

置数法的基本原理是这样的:在已有 *N* 进制计数器的状态循环中,取任意一个状态为起始状态开始计数,经过 *M*-1 个状态以后,设法产生一个预置数信号,将计数器重新置为起始状态,这样就跳过了 *N*-*M* 个状态而得到了 *M* 进制计数器。

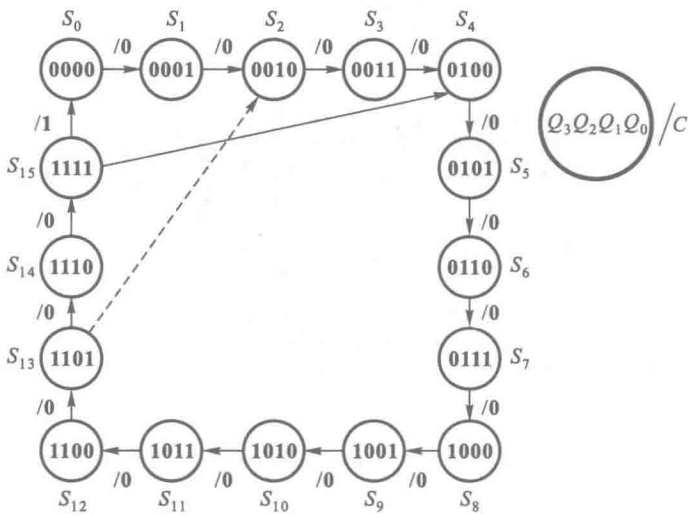
例如我们用图 6-3-11(a)中的同步十六进制计数器 74LS161A 设计一个十二进制计数器

时，如果用置数法，则可以有多种跳越四个状态而得到十二进制计数器的方法。

例如以图 6-3-11(b)中的 S_4 为起始状态，当电路进入 S_{15} 状态后进位输出端 C 变为高电平，将它反相后，加到 LD' 端(如图 6-3-11(a)所示)，当下一个时钟信号到来时，便将 $D_3D_2D_1D_0$ 的 **0100** 置入计数器中，计数器跳回起始状态 S_4($Q_3Q_2Q_1Q_0$ = **0100**)。这样在计数过程中就跳过了 $S_0 \sim S_3$ 这四个状态，得到了十二进制计数器。



(a)



(b)

图 6-3-11　用置数法设计十二进制计数器

用置数法设计任意进制计数器时同样要特别注意两个问题，即

第一，不同类型的计数器当中预置数的操作也有异步和同步之分，因而产生预置数信号的方法也是有区别的。例如图 6-3-11(a)中的 74LS161A 是同步预置数方式，所以当电路进入 S_{15} 状态后，虽然 LD' 立即变成了低电平，但 $D_3D_2D_1D_0$ 的数据并不会立即置入计数器，而是要等到下一个 CLK 的上升沿到达时，$D_3D_2D_1D_0$ 的状态才被置入计数器中，因此，S_{15} 存在于稳定的状态循环中。

如果采用异步预置数方式的计数器(例如 74LS191)，则只要 LD' 的低电平一出现，$D_3 \sim D_0$ 的数据便立刻被置入计数器中。若将图 6-3-11(a)电路中的计数器改为异步预置数的计数器，则 S_{15} 将只在预置数操作的过渡过程中存在，而不存在于稳定的状态循环中，这时电路将变成十一

进制计数器。

第二，如果所设计的计数器在计数过程中跳过了产生进位输出的状态，那么进位输出端将没有输出信号，必须另外译出进位输出信号。

例如在图 6-3-11(a)电路中，进位输出信号是由 S_{15}状态产生的，因而在接成的十二进制计数器的状态循环中是包含了 S_{15}这个状态的，所以 C 端有进位输出信号。

如果采用图 6-3-11(b)中虚线所表示的状态循环设计十二进制计数器，则状态循环中不包含 S_{15}状态，这时 C 端将没有进位信号输出。

2. $N<M$ 的情况

这时可以用两个(不够时可以用 3 个或者更多个)N 进制计数器串接起来得到一个 $N\times N$ 进制的计数器，使 $N\times N>M$，然后利用置零法或置数法，将这个 $N\times N$ 进制计数器改接为 M 进制计数器。

在 M 可以分解为两个小于 N 的因数 m_1 和 m_2 相乘时，也可以先将两个 N 进制计数器分别改接为 m_1 进制和 m_2 进制的计数器，然后将这两个 m_1 进制计数器和 m_2 进制计数器串接，得到 M 进制计数器。

【例 6-3-4】 试用同步十进制加法计数器 74LS160 设计一个四十八进制计数器。74LS160 的功能表如表 6-3-4。

表 6-3-4　74LS160 的功能表

CLK	R'_D	LD'	EP	ET	工作模式
×	**0**	×	×	×	异步置零
↑	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持($C=0$)
↑	**1**	**1**	**1**	**1**	计数

解： 此题的设计方案有多种可供选择

图 6-3-12 电路是先将两片 74LS160 串接成 10×10=100 进制的计数器，然后采用整体预置数的方法组成的四十八进制计数器。第(1)片与第(2)片 74LS160 之间是十进制，每当第(1)片计为 9 时，它的进位输出端 C 出现高电平，使第(2)片的 EP 和 ET 为 **1**，处于计数状态，下个 CLK 到达时第(2)片计入 1，第(1)片回到 **0**。如果从 0 开始计数，在输入 47 个 CLK 脉冲以后第(1)片计成 7、第(2)片计成 4 时，两个 74LS160 的 LD'同时处于低电平，当第 48 个 CLK 脉冲到达后两个 74LS160 同时被置成 **0** 状态，所以图 6-3-12 电路是四十八进制计数器。

由于电路进入 47 状态时高位片(2)的 C 端没有进位输出信号，所以进位输出信号应从 LD' 端经反相器由 Y 端给出。每当计数器计成 47 时 $Y=\mathbf{1}$，第 48 个 CLK 脉冲到达后 Y 回到低电平，同时计数器返回零状态。

图 6-3-13 是另一种方案。在这个电路中，第(1)片 74LS160 用同步预置数方法接成了八进制计数器，第(2)片 74LS160 用同步预置数的方法接成了六进制计数器。两片之间的进位关系是八进制。如果从全 **0** 开始计数，当第(2)片计成 5、第(1)片计成 7 时两个 74LS160 的 LD'同时

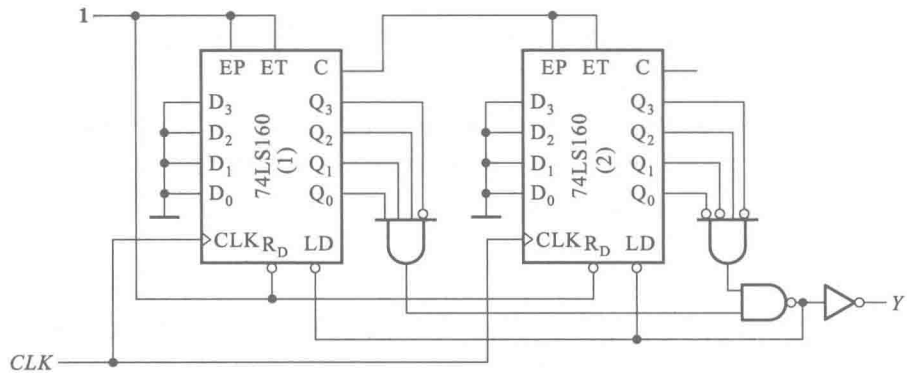


图 6-3-12　例 6-3-4 的电路方案之一

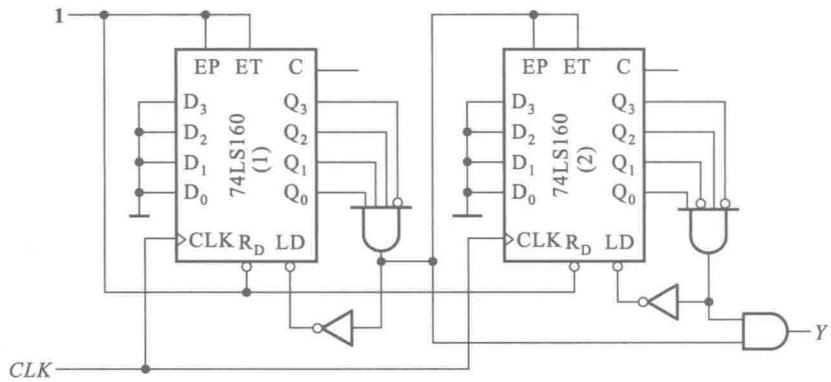


图 6-3-13　例 6-3-4 的电路方案之二

变为低电平。这时电路已经输入了 8×5+7=47 个 *CLK* 脉冲，进位输出 *Y* 变为高电平。等到第 48 个 *CLK* 脉冲到达后，两个 74LS160 同时被置成 **0**，返回起始状态，*Y* 回到低电平。可见，这个电路同样也是四十八进制计数器。

只要对计数的状态循环中选用哪些状态不加限制，对采用置零法和预置数法也没有规定，那么设计的方案将是很多的。

五、用 Verilog HDL 语言描述时序逻辑电路

用 Verilog HDL 语言描述同步时序电路，也就是对有限状态机进行描述。

在描述时，可以参照同步时序电路的三组方程进行。在三组方程中，驱动方程和输出方程是组合电路，可以用一个 always 模块进行描述；状态方程界定了状态间的转换，由时钟边沿触发每一次转换，用另一个 always 模块描述。这也是用 Verilog HDL 语言描述时序电路最常见的二段式。

【例 6-3-5】 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表 6-3-5 规定的顺序转换状态。表中的 1 表示“亮”，0 表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

表 6-3-5　例 6-3-5 电路的状态转换表

CLK 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解：该设计是由 8 个状态组成的循环，在每一个状态有相应的输出，采用 Moore 型状态机进行设计，可以描述成两个模块。

模块一：状态机模块

```
//8-State Moore state machine
reg[2:0]reg_out;   //output reg
reg[2:0]state;   //reg state={Q2,Q1,Q0}

parameter S0=0,S1=1,S2=2,S3=3,S4=4,S5=5,S6=6,S7=7;

always@(posedge CLK_c or negedge RESET)
  if(! RESET)
    state<=S0;
                S1:        state<=S2;
                S2:        state<=S3;
                S3:        state<=S4;
                S4:        state<=S5;
                S5:        state<=S6;
                S6:        state<=S7;
                S7:        state<=S0;
            endcase
```

模块二：输出模块

```
      //State machine output
      always@(state)
        begin
```

```
        case(state)
            S0:         reg_out=3'b000;
            S1:         reg_out=3'b100;
            S2:         reg_out=3'b010;
            S3:         reg_out=3'b001;
            S4:         reg_out=3'b111;
            S5:         reg_out=3'b001;
            S6:         reg_out=3'b010;
            S7:         reg_out=3'b100;
            endcase
        end

//Output
always@(reg_out)
  begin
  {R,Y,G}=reg_out;
  end

endmodule
```

第七章　脉冲波形的产生和整形电路

7.1　本章重点内容

一、施密特触发电路、单稳态电路、多谐振荡电路的工作原理，电路中各元器件的作用以及电路元件参数与电路性能之间的定性关系。

二、脉冲电路的分析计算方法。

三、555 定时器的应用（组成施密特触发电路、单稳态电路和多谐振荡电路的接法，电路的定量计算）。

7.2　难点释疑

一、这一章里讲的施密特触发电路和第五章里讲的各种触发器有什么本质上的不同？为什么名称中都有“触发”字样？

“施密特触发电路”源自英文“Schmitt Trigger”，而第五章中所讲的各种“触发器”源自英文“Flip-Flop”，本是两个不同的英文名词，所指的是两种根本不同性质的电路。只是由于这两种电路在状态转换过程中都伴随有正反馈过程发生，状态转换极快，有“一触即发”的特点，所以在中文译名中都用了“触发”这个词。

第五章里讲的各种触发器都具有两个可以自行保持的稳定状态，并且可以根据需要置成 **0** 或 **1** 状态。而施密特触发电路的输出状态始终都是由当时的输入状态决定的，没有记忆功能。它的性能特点仅在于输入电压在上升过程中引起输出状态改变时的阈值电压 V_{T+} 和下降过程中引起输出状态改变时的阈值电压 V_{T-} 不相同，而且由于输出状态改变过程中有正反馈作用，所以输出电压变化的边沿很陡。

可见，这两种电路的特性完全不同。弄清了这一点，就不会发生用施密特触发电路作存储单元的错误了。

二、在模拟电子技术基础课程中讲到，振荡电路都是用正反馈放大器构成的，为什么现在又说带有延迟负反馈的放大器也能构成振荡电路？

学习过模拟电子技术基础课程的同学都知道，一个带有正反馈的放大电路在环路放大倍数大于 1 的情况下，将产生自激振荡。而带有负反馈的放大器，在反馈回路中没有延迟环节的情况下，工作状态是稳定的，因为这时反馈信号的作用是削弱输入信号的，所以不会发生自激振荡。

然而在带有延迟负反馈的放大电路中情况就不同了。例如在图 7-2-1 由三个反相器连接成的环形振荡电路中，如果 G_1 的输入 v_{I1} 有一个微小的正跳变，则将在 v_{O1} 处产生一个负跳变、在

v_{O2}产生一个正跳变、在 v_{O3}产生一个负跳变。如果不存在 v_{O3}与 v_{I1}之间的时间延迟，则由于 v_{O3}与 v_{I1}的相位相反，反馈信号是削弱 v_{I1}的，所以是负反馈，电路工作是稳定的，不会产生自激振荡。

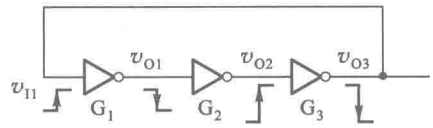


图 7-2-1　环形振荡电路

在实际电路中，由于每个反相器都有一个传输延迟时间，所以 v_{O3}的负跳变与 v_{I1}的正跳变之间存在延迟时间，v_{O3}的负跳变反馈到 G_1 的输入端时已经起不到削弱 v_{I1}正跳变的作用了，它又成了加在 G_1 输入端的新的负跳变信号。而且，在开始振荡的阶段信号很小，反相器工作在电压传输特性的转折区，有很强的放大作用，v_{O3}的负跳变幅度必然大于 v_{I1}最初的跳变信号幅度。这个反馈信号再经过一段延迟时间后又变成一个更大的正跳变信号反馈到 G_1 的输入端。如此反复，电路便工作在自激振荡状态了。

由此我们可以得到一个重要的物理概念，这就是具有延迟负反馈的放大器在环路放大倍数大于 1 的情况下，可以产生自激振荡，构成振荡电路；而不存在时间延迟的负反馈放大器工作是稳定的，不会发生自激振荡。

关于延迟负反馈会引起系统工作不稳定的问题，在控制理论课程中还会有更深入、全面的阐述。

三、在分析计算脉冲电路的过程中，有时考虑了集成电路的输入电路对电容充、放电回路的影响，有时又忽略了集成电路的输入电路对电容充、放电回路的影响，这是为什么？

在分析计算脉冲电路时，必须画出电容充、放电的等效电路。能否正确地画出这些等效电路，关键在于能否正确地画出集成电路输入端在电容充、放电过程中的等效电路。

1. TTL 电路的输入等效电路

由图 7-2-2(b)TTL 电路的输入特性上可以看到，当输入电压 v_I 高于门电路的阈值电压 V_{TH} 时，输入电流 i_I很小，所以若电容充、放电过程中 v_I 始终处于高于 V_{TH}的范围内，就可以忽略 i_I 对电容充、放电回路的影响，在画电容充、放电等效电路时近似地认为 TTL 电路的输入端是开路的。

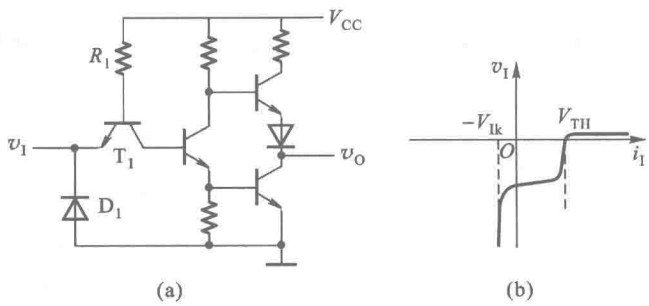


图 7-2-2　TTL 电路及其输入特性

反之，若在所计算的电容充、放电过程中 v_I 始终低于 V_{TH}，则由图 7-2-2(b)的输入特性上可以看到，输入电流是比较大的。由图 7-2-2(a)电路可知，这时从 V_{CC}经 R_1 和 T_1 的 be 结到 v_I 这

条支路是导通的，而且支路内的电阻又不是很大，所以在画电容充、放电等效电路时必须把这个支路考虑进去。这时从门电路输入端看进去的等效电路可以画成图 7-2-3 的形式。此外，由于 TTL 门电路的输入端接有钳位二极管 D_1，所以当 v_I 低于 D_1 的导通压降 $-V_{IK}$ 时，D_1 将导通，并将 v_I 钳在 $-V_{IK}$。

例如我们在计算图 7-2-4 对称式多谐振荡电路的振荡频率时，曾经画出了当 v_{O1} 跳变为低电平、v_{O2} 跳变为高电平以后，C_1 充电的等效电路和 C_2 放电的等效电路和两个反相器输入端的电压波形图。

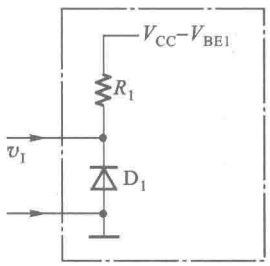


图 7-2-3　$v_I<V_{TH}$ 时 TTL 电路的输入等效电路

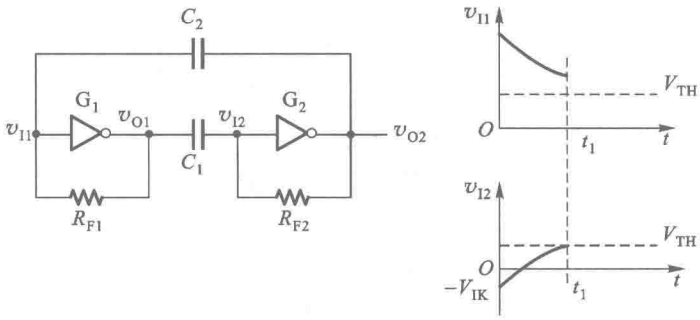


图 7-2-4　用 TTL 反相器构成的对称式多谐振荡电路

由图可见，在 $0\sim t_1$ 期间 v_{I2} 一直低于 V_{TH}，所以在画 C_1 充电的等效电路时应包含反相器 G_2 的输入回路，如图 7-2-5(a)所示。而在 $0\sim t_1$ 期间 v_{I1} 始终高于 V_{TH}，因而在画 C_2 放电的等效电路时可以不考虑反相器 G_1 输入回路的影响，如图 7-2-5(b)所示。利用戴维宁定理将图 7-2-5(a)中 C_1 以外的电路化简为等效的 R_{E1} 与 V_{E1} 串联电路，就得到了一个简单的 RC 串联电路。

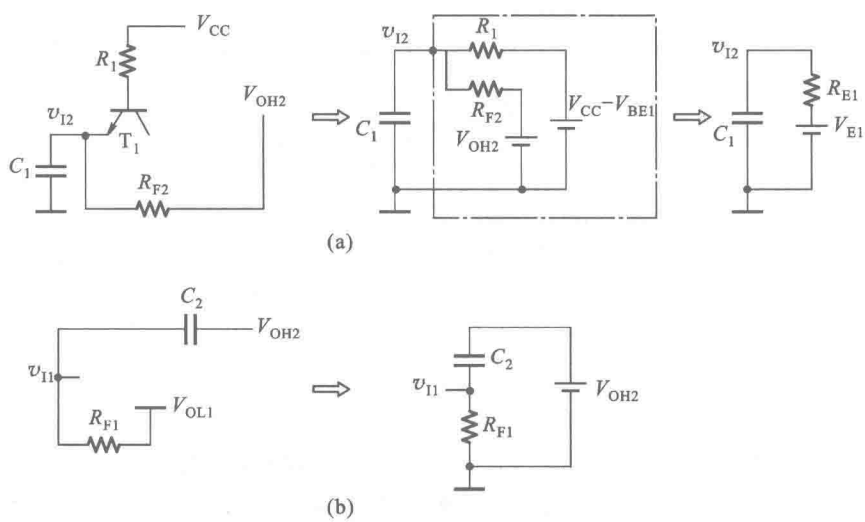


图 7-2-5　图 7-2-4 电路中电容的充、放电等效电路

TTL 电路无论输出为高电平还是低电平，输出电阻都很小，所以在画充、放电等效电路时一般都可忽略不计。

2. CMOS 电路的输入等效电路

图 7-2-6 是 74HC 系列 CMOS 电路的输入保护电路和它的输入特性。设 D_1 和 D_2 的正向导通压降分别为 V_{DF1}、V_{DF2}（约 0.7 V），则从这个电路图中不难看出，当 $V_{DD}+V_{DF1}>v_I>-V_{DF2}$ 时，二极管 D_1 和 D_2 都不导通，输入电流几乎等于零。当 $v_I>V_{DD}+V_{DF1}$ 时，D_1 经 V_{CC} 导通；当 $v_I<-V_{DF2}$ 时，D_2 经接地端导通。因此，工作在不同输入电压范围时的输入等效电路可以分别画成图 7-2-7（a）、（b）、（c）的形式。

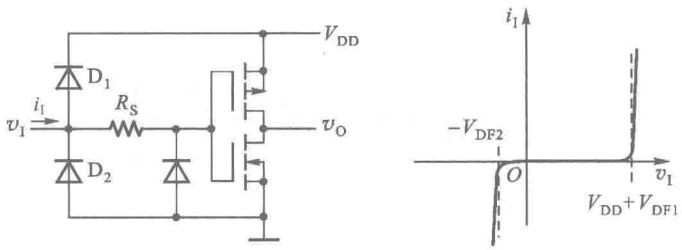


图 7-2-6　74HC 系列 CMOS 电路的输入保护电路及输入特性

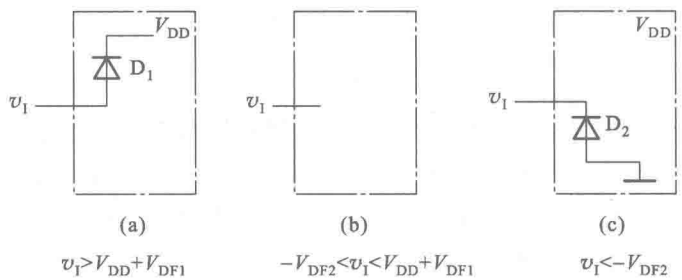


图 7-2-7　74HC 系列 CMOS 电路的输入等效电路

例如在分析计算图 7-2-8 非对称式多谐振荡电路的振荡周期时，我们根据图 7-2-7 给出的输入等效电路就可以画出电容 C 的充、放电等效电路了。

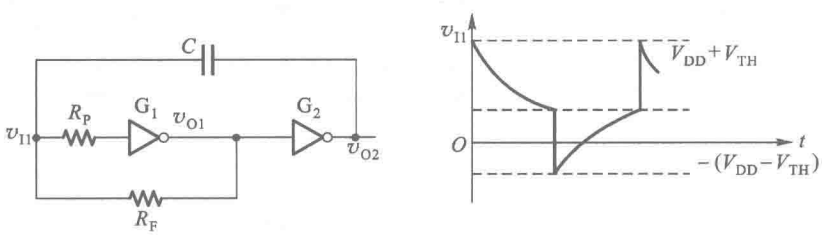


图 7-2-8　用 CMOS 反相器构成的非对称式多谐振荡电路

当 v_{O1} 跳变至低电平、v_{O2} 跳变至高电平后，电容 C 开始放电，v_{I1} 从 $V_{DD}+V_{TH}$ 逐渐下降，放电的等效电路如图 7-2-9（a）所示。在 v_{I1} 高于 $V_{DD}+V_{DF1}$ 期间，反相器 G_1 输入保护电路中的二极管 D_1 与外接电阻 R_P 串联的支路（图中用虚线表示）将导通，而当 v_{I1} 下降至 $V_{DD}+V_{DF1}$ 以后，D_1 截止，这

条支路也就不再导通了。由于 R_P 通常要比另一条支路中的电阻 R_F 大得多，所以教科书上在近似计算时忽略了 D_1 与 R_P 串联支路的放电电流，认为这个支路始终不导通。如果要求比较精确地计算电容 C 的放电时间，则应当分开计算 $v_{I1}>V_{DD}+V_{DF1}$ 期间和 $V_{TH}<v_{I1}<V_{DD}+V_{DF1}$ 期间电容 C 的放电时间，然后将这两段时间相加。

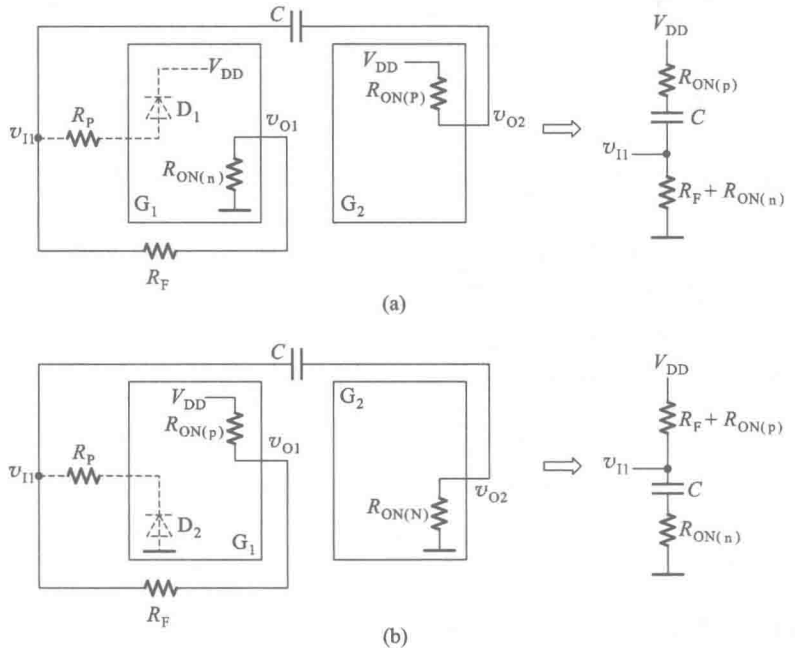


图 7-2-9　图 7-2-8 电路中电容的充、放电等效电路

当 v_{O1} 跳变成高电平、v_{O2} 跳变成低电平以后，电容 C 开始充电，v_{I1} 从 $-(V_{DD}-V_{TH})$ 逐渐上升，电容充电的等效电路如图 7-2-9(b)所示。在 $v_{I1}<-V_{DF2}$ 期间，反相器 G_1 输入保护电路中的二极管 D_2 与外接电阻 R_P 串联的支路将会导通，而当 $v_{I1}>-V_{DF2}$ 以后，D_2 截止，这条支路不再导通。在 $R_P \gg R_F$ 的条件下，作近似计算时同样也可以忽略这个支路的影响。如果要求准确地计算电容的充电时间，同样也需要分两段计算。

从图 7-2-9 中还可以看到，我们把反相器的高电平输出电阻 $R_{ON(p)}$ 和低电平输出电阻 $R_{ON(n)}$ 都画出了，没有忽略掉。这是因为 CMOS 门电路的输出电阻比 TTL 门电路的输出电阻要大得多，一般在几十至几百欧的范围，所以在负载电路的电阻不是很大的时候，应该计入它们的影响。

3. 555 定时器的输入电路

由图 7-2-10(a)555 定时器的电路图上可以看到，它有三个输入端，即 v_{I1}(TH)、v_{I2}(TR′)和 V_{CO}。由于电压比较器 C_1 和 C_2 的输入电阻都非常高，所以 v_{I1} 和 v_{I2} 两个输入端的输入电流极小，一般仅为零点几微安。因此，我们在分析计算用 555 定时器组成的脉冲电路时，总是忽略 v_{I1} 和 v_{I2} 端的输入电流，近似地认为这两端的输入电阻为无穷大。V_{CO} 端的情况就不同了，从这一端看进去的等效电路是一个电阻分压电路。根据上述分析，可以把 555 定时器的输入等效电路画成图 7-2-10(b)的形式。

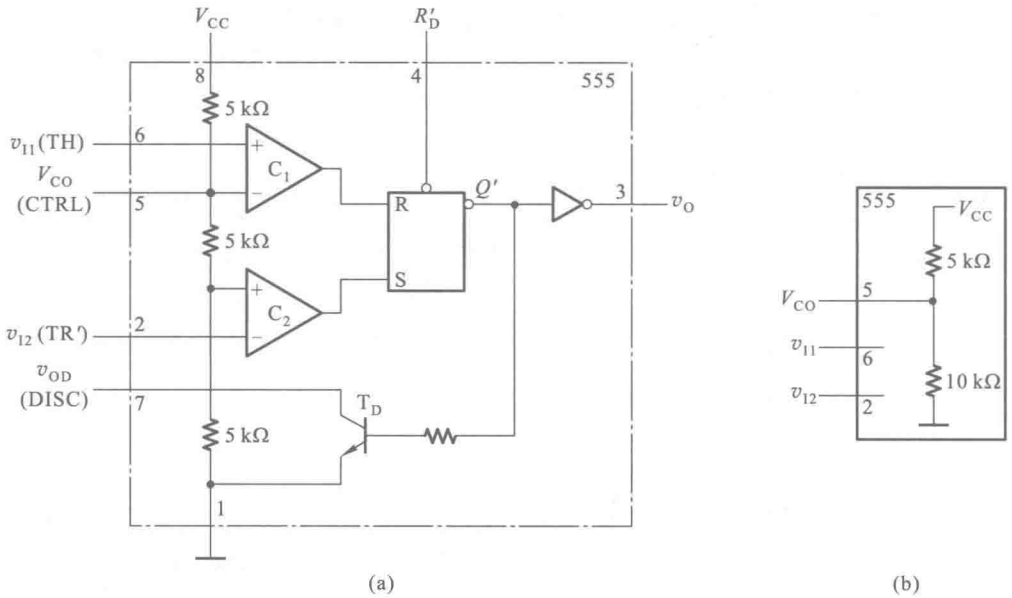


图 7-2-10　555 定时器及其输入等效电路

在 V_{CO} 端悬空的状态下，这一端的电压为 $\frac{2}{3}V_{DD}$。在接至外电路的情况下，需要通过电路计算确定。例如在图 7-2-11 中，用 CMOS 门 G_1 的输出控制 V_{CO} 端。若 G_1 输出的高、低电平分别为 $V_{OH}=10$ V，$V_{OL}=0$ V，输出电阻为 50 Ω，555 定时器的 V_{DD} 为 12 V，则当 $V_{OH}=10$ V 时，忽略 G_1 的输出电阻，利用叠加定理可求得 V_{CO} 的电位为

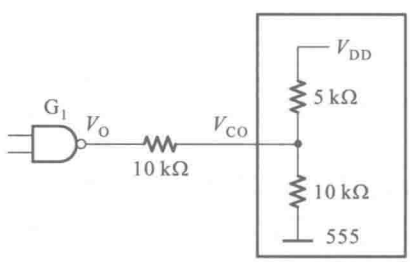


图 7-2-11　V_{CO} 电位计算举例

$$V_{COH}=\frac{1}{2}V_{DD}+\frac{3.33}{10+3.33}V_{OH}$$
$$=(6+2.5)\ \text{V}=8.5\ \text{V}$$

而当 $V_{OL}=0$ V 时，可以近似地认为 G_1 的输出端接地，则 V_{CO} 的电位为

$$V_{COL}=\frac{1}{2}V_{DD}=6\ \text{V}$$

如果使用的是 CMOS 型 555 定时器，由于内部的三个分压电阻阻值不是 5 kΩ，而是 100 kΩ，所以 V_{CO} 端的输入电阻与双极型 555 V_{CO} 端的输入电阻不同。

7.3　习题类型与解题方法

这一章的习题大致分为四类，即施密特触发电路的 V_{T+} 和 V_{T-} 计算，单稳态电路的分析计算，多谐振荡电路的分析计算，555 定时器的应用。

脉冲发生电路的分析方法是本章的一个重点，也是难点。

一、施密特触发电路阈值电压的计算

解题方法和步骤：

因为在施密特触发电路中，输入电压上升过程中引起电路状态变化的正向阈值电压 V_{T+} 和输入电压下降过程中引起电路状态变化的负向阈值电压 V_{T-} 是不同的，所以需分别计算出 V_{T+} 和 V_{T-}。

（1）分析确定输入为 0 时电路的状态（即电路中各点的电压值）。

（2）找出输入电压上升过程中电路状态发生转换是由哪一点的电压控制的。

（3）计算出该点电压引起电路状态发生变化时所对应的输入电压值，即得到 V_{T+}。

（4）分析确定输入高于 V_{T+} 以后电路的状态。

（5）找出输入电压下降过程中电路状态发生转换是由哪一点的电压控制的。

（6）计算出该点电压引起电路状态发生变化时所对应的输入电压值，即得到 V_{T-}。

【例 7-3-1】 计算图 7-3-1 施密特触发电路的 V_{T+}、V_{T-} 和回差电压 ΔV_T。已知 $R_1=5\ \text{k}\Omega$，$R_2=10\ \text{k}\Omega$，$R_3=33\ \text{k}\Omega$。G_1 和 G_2 为 CMOS 反相器，它们的电源电压为 $V_{DD}=5\ \text{V}$，输出高电平 $V_{OH}\approx 5\ \text{V}$，输出低电平 $V_{OL}\approx 0\ \text{V}$，阈值电压 $V_{TH}=\dfrac{1}{2}V_{DD}=2.5\ \text{V}$。

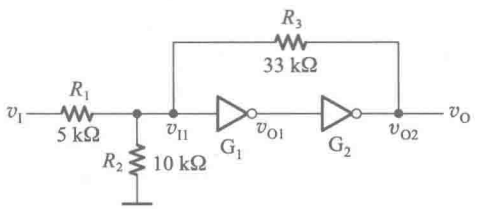


图 7-3-1　用 CMOS 反相器组成的施密特触发电路

解：首先计算 V_{T+}。

由图可见，当 $v_I=0$ 时 $v_{I1}=0$、$v_{O2}=0$。当 v_I 上升到使 $v_{I1}=V_{TH}$ 时，v_{O1} 跳变为 0，v_{O2} 跳变为 V_{DD}，所以电路状态的转换是受 v_{I1} 控制的，而且当 v_{I1} 上升至 V_{TH} 时所对应的输入电压值就是 V_{T+}。

根据图 7-3-1 的电路可以写出

$$v_{I1}=v_I\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}$$

当上式中的 $v_{I1}=V_{TH}$ 时 $v_I=V_{T+}$，故得到

$$V_{TH}=V_{T+}\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}$$

$$V_{T+}=V_{TH}\frac{R_1+R_2/\!/R_3}{R_2/\!/R_3}$$

$$=2.5\times\frac{5+7.7}{7.7}\ \text{V}$$

$$=4.1\ \text{V}$$

其次再计算 V_{T-}。

电路状态的转换仍受 v_{I1} 的控制。但由于 v_I 高于 V_{T+} 以后 $v_O=V_{OH}=V_{DD}$，所以 v_{I1} 下降至 V_{TH} 时对应的 v_I 值(即 V_{T-})和 V_{T+} 不同。利用叠加定理可以写出 v_{I1} 的计算式为

$$v_{I1}=v_I\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{DD}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}$$

当上式中 $v_{I1}=v_{TH}$ 时，$v_I=V_{T-}$，故得到

$$V_{TH}=V_{T-}\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{DD}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}$$

$$V_{T-}=\left(V_{TH}-V_{DD}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}\right)\frac{R_1+R_2/\!/R_3}{R_2/\!/R_3}$$

$$=\left(2.5-5\times\frac{3.3}{33+3.3}\right)\times\frac{5+7.7}{7.7}\ \text{V}$$

$$=3.3\ \text{V}$$

回差电压为

$$\Delta V_T=V_{T+}-V_{T-}=(4.1-3.3)\ \text{V}=0.8\ \text{V}$$

二、单稳态电路的分析计算

解题方法和步骤：

单稳态电路的性能通常用输出脉冲宽度 t_W、输出脉冲幅度 V_{Om} 和恢复时间 t_{re} 等几个主要参数描述。因此，分析计算的任务就是要算出这几个参数。

1. 输出脉冲幅度的计算

若输出电压的高、低电平分别为 V_{OH} 和 V_{OL}，则输出脉冲幅度为

$$V_{Om}=V_{OH}-V_{OL}$$

2. 恢复时间的计算

恢复时间 t_{re} 是指电路从暂稳态结束到恢复为触发前稳定状态所需要的时间。一般认为经过 RC 电路时间常数 3~5 倍的时间以后，电路基本上可以到达稳态，故得到

$$t_{re}=(3\sim5)RC$$

式中的 RC 为所讨论的充、放电回路的时间常数。

3. 输出脉冲宽度的计算

我们已经知道单稳态电路有一个稳态和一个暂稳态，在外界触发信号作用下将从稳态进入到暂稳态，经过一定时间以后能自动返回稳态。暂稳态持续时间的长短取决于电路内部的时间常数，与触发信号无关。而输出脉冲的宽度就等于暂稳态的持续时间，因此计算输出脉冲的宽度实际上也就是计算电路的暂稳态持续时间。这里需要用到 RC 电路过渡过程的计算方法，具体地可按如下步骤进行：

(1) 分析电路的工作过程，定性地画出电路中各点电压的波形，找出决定电路状态发生转换的控制电压。

(2) 画出每个控制电压充电或放电的等效电路，并尽可能将其化简为单回路。

(3) 确定每个控制电压充电或放电的起始值、终了值和电路状态发生转换时所对应的转换值。

（4）代入计算公式求出充电或放电过程经过的时间，这个时间既是电路的暂稳态持续时间，也是输出脉冲的宽度 t_W。

【例 7-3-2】 计算图 7-3-2 单稳态电路的输出脉冲宽度、输出脉冲幅度和电路的恢复时间。已知 G_1、G_2 和 G_3 为 74HC 系列 CMOS 电路，$V_{DD}=5\ V$，$V_{OH}\approx V_{DD}$，$V_{OL}\approx 0$，$V_{TH}=\frac{1}{2}V_{DD}=2.5\ V$。同时给定 $R=10\ k\Omega$，$C=0.01\ \mu F$。R_dC_d 组成输入端的微分电路，其时间常数远小于触发脉冲 v_I 的脉冲宽度。

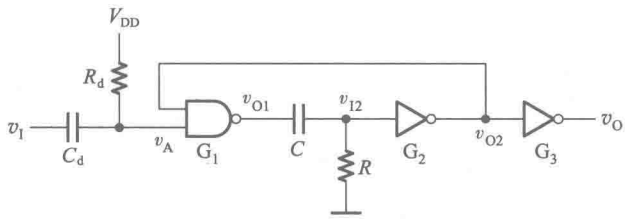


图 7-3-2　例 7-3-2 的单稳态电路

解：首先我们来计算输出脉冲宽度 t_W。为此，需要分析电路的工作过程并画出各点电压的波形图。

稳态下没有电流流过电容 C 和 C_d，所以 $v_A=V_{DD}$、$v_{I2}=0$、$v_{O2}=V_{DD}$，$v_{O1}=0$，$v_O=0$。

当 v_I 的下降沿到达时，微分电路输出一个负脉冲加到 v_A 端，使 v_{O1} 跳变为高电平 V_{DD}。由于电容上的电压是不可能突变的，所以 v_{I2} 也随之跳变为 V_{DD}、v_{O2} 跳变为 0、v_O 跳变为 V_{DD}，于是电路进入暂稳态。

然而 v_{I2} 的高电平是不能保持下去的，随着电容 C 的充电，电阻 R 上的电流逐渐衰减，v_{I2} 逐渐下降。当 v_{I2} 降至反相器 G_2 的阈值电压 $V_{TH}=\frac{1}{2}V_{DD}$ 时，v_{O2} 跳回高电平，v_O 跳回低电平，暂稳态结束。

与此同时 v_{O1} 跳回低电平。但这时电容上还有约 $\frac{1}{2}V_{DD}$ 的电压，它将通过 G_1 的输出电路、R 和 G_2 的输入电路放电，经过一段恢复时间以后，电路恢复到触发前的稳定状态。根据上述分析就可以画出图 7-3-3 的电压波形图了。

由图 7-3-3 可见，电路被触发以后，暂稳态的持续时间由 v_{I2} 的变化过程控制。v_{I2} 从 V_{DD} 下降至 V_{TH} 的时间就是暂稳态的持续时间，也就是输出脉冲的宽度。

电容充电的等效电路可以画成图 7-3-4 的形式。由于 G_1 的输出电阻 $R_{ON(P)}$ 比 R 小得多，所以忽略 G_1 的输出电阻。v_{I2} 在 V_{DD} 与 V_{TH} 之间变化

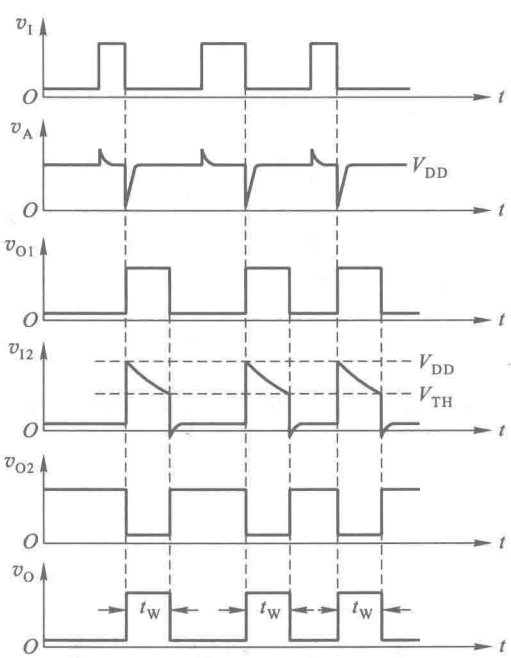


图 7-3-3　图 7-3-2 电路的电压波形图

时 G_2 的输入电流基本为零，所以不必考虑 G_2 输入电路对电容充电回路的影响。

电容充电过程中 v_{I2} 的起始值 $v_{I2}(0)$ 为 V_{DD}，终了值 $v_{I2}(\infty)$ 为 0，电路状态发生转换时的转换值 $v_{I2}(t_W)$ 为 $\frac{1}{2}V_{DD}$。将它们代入计算 RC 电路过渡过程时间的公式得到

$$\begin{aligned} t_W &= RC\ln\frac{v_{I2}(\infty)-v_{I2}(0)}{v_{I2}(\infty)-v_{I2}(t_W)} \\ &= 10\times10^3\times0.01\times10^{-6}\times\ln 2\ \text{s} \\ &= 69\ \mu\text{s} \end{aligned}$$

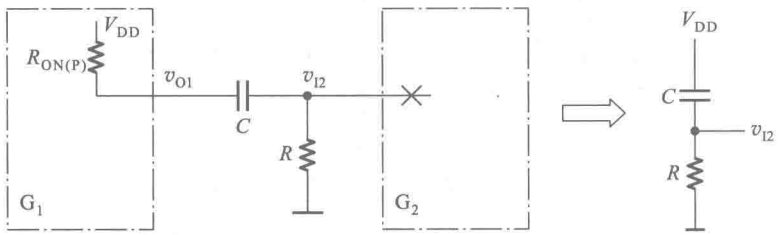


图 7-3-4　图 7-3-2 电路中电容 C 的充电回路

在暂稳态结束后的恢复时间里，由于 v_{O1} 跳回到低电平，就使电容 C 上的电压变成了 G_2 的负输入电压。这时必须考虑到 G_2 输入电路对电容放电回路的影响，应将放电等效电路画成如图 7-3-5的形式。图中的 r_D 是 G_2 输入保护电路中反向钳位二极管的导通电阻。在 $r_D \ll R$ 的情况下，可以近似地以 r_D 代替 R 与 r_D 并联的电阻，于是得到电路的恢复时间为

$$t_{re} = (3\sim5)(R_{ON(n)}+r_D)C$$

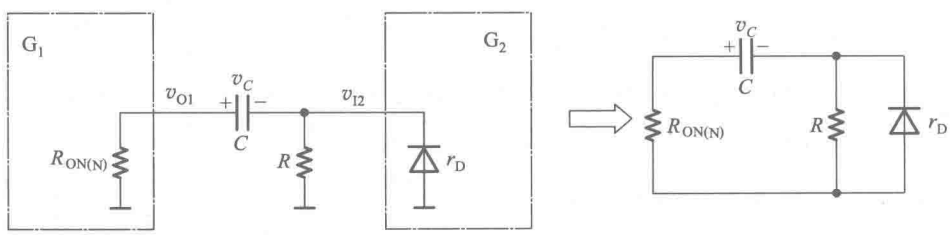


图 7-3-5　图 7-3-2 电路中电容 C 的放电回路

若给定 $R_{ON(n)} \leqslant 200\ \Omega$，$r_D \leqslant 50\ \Omega$，则代入上式后得到

$$\begin{aligned} t_{re} &= (3\sim5)250\times0.01\times10^{-6}\ \text{s} \\ &= 7.5\sim12.5\ \mu\text{s} \end{aligned}$$

输出脉冲幅度为输出高、低电平之差，即

$$V_{Om} = V_{OH} - V_{OL} \approx 5\ \text{V}$$

三、多谐振荡电路的分析计算

解题方法和步骤：

在分析多谐振荡电路时，需要计算的两个最基本的性能参数是振荡周期（或者频率）和输出脉冲幅度。

（1）振荡周期的计算。多谐振荡电路的工作特点是不停地在两个暂稳态之间反复转换，因而振荡周期等于两个暂稳态持续时间之和。在前面计算单稳态电路的输出脉冲宽度时，我们已经详细介绍了暂稳态持续时间的计算方法和步骤，所讲的方法和步骤在这里仍完全适用，故不再重复。

（2）输出脉冲幅度的计算。输出脉冲幅度仍为输出高电平 V_{OH} 和输出低电平 V_{OL} 之差，即

$$V_{Om}=V_{OH}-V_{OL}$$

【例 7-3-3】 在图 7-3-6 非对称式多谐振荡电路中，已知 G_1 和 G_2 为 74 系列反相器 7404，它们的输出高电平 $V_{OH}=3.4$ V，输出低电平 $V_{OL}\approx 0$ V，阈值电压 $V_{TH}=1.4$ V，输入钳位电压 $V_{IK}=-1.0$ V，内部电阻 $R_1=4$ kΩ。给定 $R=1.5$ kΩ，$C=0.01$ μF，试求电路的振荡频率。

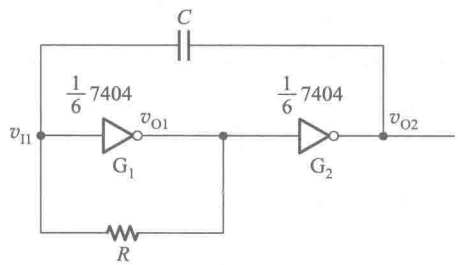


图 7-3-6　例 7-3-3 的非对称式多谐振荡电路

解：TTL 集成电路 7404 是“六反相器”，内部包含六个完全相同的反相器电路，所以在图 7-3-6 中将每一个反相器标为 $\frac{1}{6}$7404。

由于电阻 R 的存在，如果电路不发生自激振荡，则 v_{I1} 和 v_{O1} 必然处于高、低电平之间，也就是 G_1 将工作在电压传输特性的转折区。G_2 的输入也处于高、低电平之间，同样也工作在电压传输特性的转折区。当 G_1、G_2 处于电压传输特性的转折区时有较大的电压放大倍数，所以只要 v_{I1} 有一个极小的跳变，例如由于干扰或噪声产生的微小正跳变，就会被放大并形成正反馈，使 v_{O1} 迅速跳变为低电平而 v_{O2} 跳变为高电平，电路进入第一种暂稳态。因为电容上的电压不能突变，所以 v_{I1} 也得到了和 v_{O2} 相同大小的正跳变。

但是这个状态是不能持久的，随着电容 C 的放电，v_{I1} 逐渐降低，当降至 $v_{I1}=V_{TH}$ 时，由于电路的正反馈作用又使 v_{O1} 跳变至高电平、v_{O2} 跳变至低电平，电路转换到第二种暂稳态。同时，v_{I1} 也得到与 v_{O2} 同样的负跳变。

这个状态同样也是不能持久的，随着电容 C 的充电，v_{I1} 逐渐升高，当升至 $v_{I1}=V_{TH}$ 时，由于电路的正反馈作用，电路又重新返回第一种暂稳态。

根据以上分析，我们就得到了图 7-3-7 的电压波形图。可以看出，电路状态的转换是由 v_{I1} 控制的，每当 v_{I1} 充电至 V_{TH} 和放电至 V_{TH} 时都引发电路状态转换。两个暂稳态的持续时间也就是 v_{I1} 从开始充电到充电至 V_{TH} 的时间和从开始放电到放电至 V_{TH} 的时间。

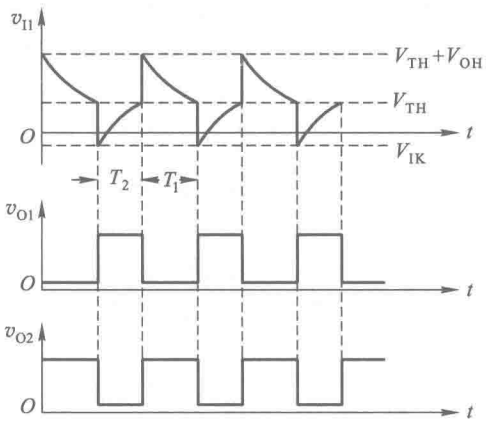


图 7-3-7　图 7-3-6 电路的电压波形图

图 7-3-8 是电容充、放电的等效电路。电容放电过程 v_{I1} 始终高于 V_{TH}，故可忽略 G_1 的高电平输入电流，得到如图 7-3-8(a)的放电回路。而在电容充电过程中 v_{I1} 处在 V_{TH} 以下，因而必须考虑 G_1 输入电路的存在对放电过程的影响，这时的充电等效电路应画成图 7-3-8(b)的形式。利用戴维宁定理将电容以外的电路化简为等效的 V_E 与 R_E 串联支路，最后得到

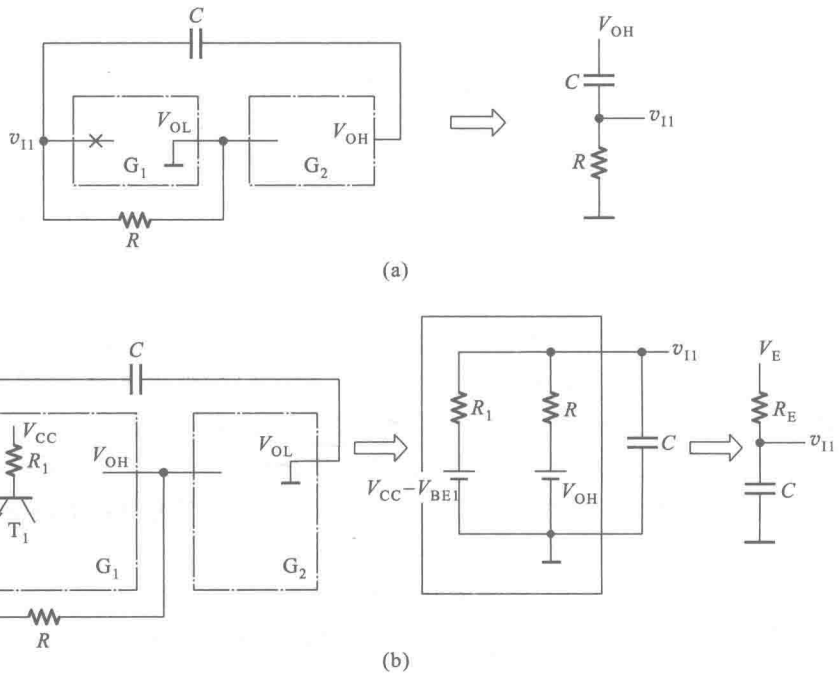


图 7-3-8　图 7-3-6 电路中电容 C 的充、放电等效电路

$$V_E = V_{OH} + \frac{R}{R+R_1}(V_{CC} - V_{BE1} - V_{OH}) \tag{7-3-1}$$

$$R_E = \frac{RR_1}{R+R_1} \tag{7-3-2}$$

当 v_{O2} 由 V_{OL} 跳变为 V_{OH} 时，v_{I1} 也从 V_{TH} 的基础上产生一个 $V_{OH}-V_{OL}$ 的正跳变，所以 v_{I1} 在电容放电时的初始值为 $V_{TH}+V_{OH}-V_{OL}$。V_{I1} 放电的终了值是零，转换值是 V_{TH}。将这一组数值代入计算公式得到电容的放电时间为

$$\begin{aligned}T_1 &= RC\ln\frac{0-(V_{TH}+V_{OH}-V_{OL})}{0-V_{TH}}\\ &= RC\ln\frac{V_{TH}+V_{OH}}{V_{TH}}\\ &= 1.5\times10^3\times0.01\times10^{-6}\times\ln\frac{1.4+3.4}{1.4}\ \text{s}\\ &= 1.5\times10^3\times0.01\times10^{-6}\times1.23\ \text{s}\\ &= 18.5\ \mu\text{s}\end{aligned}$$

当 v_{O2} 从 V_{OH} 跳变至 V_{OL} 时，v_{I1} 也从 V_{TH} 的基础上产生一个负跳变。由于 G_1 的输入端内部有反向钳位二极管，所以 v_{I1} 最低只能跳变到 $V_{IK}=-1.0$ V。由图 7-3-8(b)可见，电容充电时 v_{I1} 的终了值为 V_E，而状态转换时的 v_{I1} 值仍为 V_{TH}。根据这一组数据就得到了电容的充电时间为

$$T_2 = R_E C\ln\frac{V_E-V_{IK}}{V_E-V_{TH}} \tag{7-3-3}$$

由式(7-3-1)得到

$$\begin{aligned}V_E &= \left[3.4+\frac{1.5}{1.5+4}(5-0.7-3.4)\right]\ \text{V}\\ &= 3.6\ \text{V}\end{aligned}$$

由式(7-3-2)得到

$$R_E = \frac{1.5\times4}{1.5+4}\ \text{k}\Omega = 1.1\ \text{k}\Omega$$

将得到的 V_E、R_E 值代回式(7-3-3)，求得充电时间为

$$\begin{aligned}T_2 &= 1.1\times10^3\times0.01\times10^{-6}\times\ln\frac{3.6+1}{3.6-1.4}\ \text{s}\\ &= 1.1\times10^3\times0.01\times10^{-6}\times0.74\ \text{s}\\ &= 8\ \mu\text{s}\end{aligned}$$

细心的读者可能会发现，我们在计算 T_2 时，没有考虑 v_{I1} 从 $-V_{IK}$ 上升到 -0.7 V 期间 G_1 输入端钳位二极管的导通电流。因此，这里得到的是近似计算结果。

电路的振荡周期 T 等于 T_1 与 T_2 之和，T 的倒数即为振荡频率 f，故得

$$\begin{aligned}f &= \frac{1}{T_1+T_2}\\ &= \frac{1}{(18.5+8)\times10^{-6}}\ \text{Hz} = 37.7\ \text{kHz}\end{aligned}$$

四、555 定时器应用电路的分析计算

解题方法和步骤：

（1）首先分析确定 555 定时器的工作模式。尽管用 555 定时器构成的应用电路五花八门，但 555 定时器本身的基本工作模式仍然不外乎施密特触发电路、单稳态电路和多谐振荡电路三种。三种工作模式的电路连接方法已在《数字电子技术基础（第六版）》的 7.5 节中详细地介绍了，这里不再重复。

（2）若 555 定时器工作在施密特触发电路模式，则可按前面所讲的施密特触发电路阈值电压的计算方法求出 V_{T+} 和 V_{T-}。

（3）若 555 定时器工作在单稳态电路模式，则可按前面所讲的单稳态电路的分析和计算方法求出输出脉冲的宽度和幅度以及电路的恢复时间。

（4）若 555 定时器工作在多谐振荡电路模式，则可按前面所讲的分析和计算方法求出电路的振荡频率和输出脉冲的幅度等。

【例 7-3-4】 图 7-3-9 是用 555 定时器接成的施密特触发电路。G 为 74HC 系列**与非**门，输出电压 V_G 的高、低电平分别为 $V_{OH}=5$ V、$V_{OL}=0$ V，输出电阻小于 50 Ω。试求 V_G 为高、低电平下电路的 V_{T+} 和 V_{T-}，并画出电路的电压传输特性。

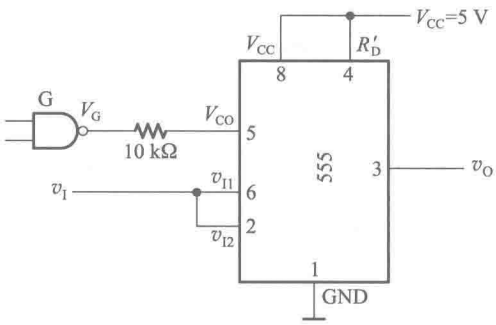


图 7-3-9　例 7-3-4 的施密特触发电路

解：在介绍用 555 定时器接成施密特触发电路的原理时已经讲到，它的正向阈值电压为 $V_{T+}=V_{CO}$，负向阈值电压为 $V_{T-}=\frac{1}{2}V_{CO}$。因此，只要计算出 V_G 为高、低电平时的 V_{CO} 值，就很容易得到 V_{T+} 和 V_{T-} 了。

我们在前面讨论 555 定时器 V_{CO} 端的输入电路时讲过，V_{CO} 端接在了集成电路内部分压电阻的结点上，如图 7-3-10 所示。当 $V_G=0$ 时，可求得 V_{CO} 为

$$\begin{aligned}V_{CO}&=\frac{R_2/\!/(R_3+R_4)}{R_1+R_2/\!/(R_3+R_4)}V_{CC}\\&=\frac{10/\!/(10+0.05)}{5+10/\!/(10+0.05)}\times 5\text{ V}\\&=2.5\text{ V}\end{aligned}$$

故得到 $V_{T+}=V_{CO}=2.5$ V，$V_{T-}=\frac{1}{2}V_{CO}=1.25$ V。

当 $V_G=5$ V 时，利用叠加定理求得 V_{CO} 值为

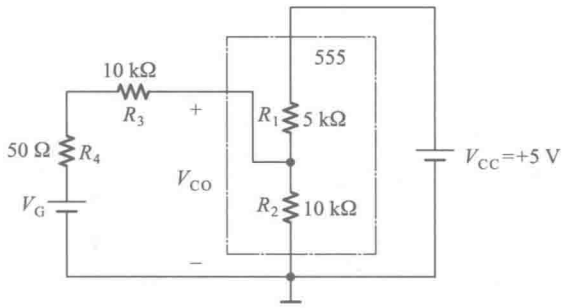


图 7-3-10　计算图 7-3-9 电路中 V_{CO} 值的等效电路

$$V_{CO}=\frac{R_2 /\!/ (R_3+R_4)}{R_1+R_2 /\!/ (R_3+R_4)}V_{CC}+\frac{R_1 /\!/ R_2}{R_3+R_4+R_1 /\!/ R_2}V_G$$

$$=\left(2.5+\frac{5 /\!/ 10}{10+0.05+5 /\!/ 10}\times 5\right)\ \text{V}$$

$$=(2.5+1.24)\ \text{V}$$

$$=3.74\ \text{V}$$

于是得到 $V_{T+}=V_{CO}=3.74$ V，$V_{T-}=\frac{1}{2}V_{CO}=1.87$ V

根据上述计算结果画出的电压传输特性如图 7-3-11。

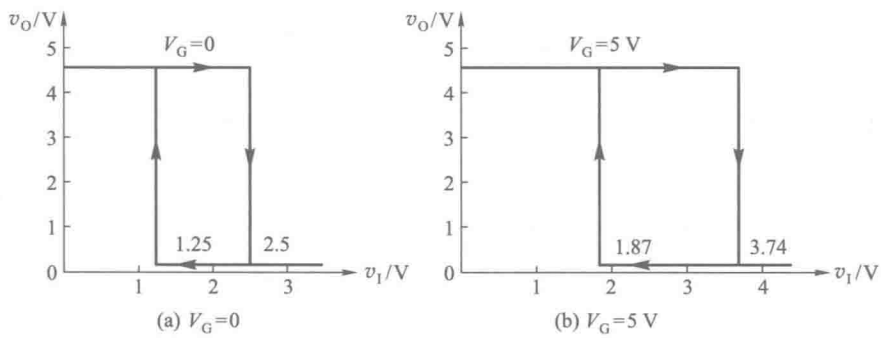


图 7-3-11　图 7-3-9 电路的电压传输特性

【例 7-3-5】 图 7-3-12 是用 555 定时器接成的单稳态电路，电路参数标注在图中，输入信号波形如图中所给出。

（1）画出输出电压 v_O 的波形，计算输出脉冲宽度。

（2）若去掉输入端的微分电容 C_d，对电路的工作有何影响？

（3）如果 v_I 的脉冲幅度只有 5 V，电路能否正常工作？

解：

（1）计算输出脉冲宽度。

图 7-3-12 是用 555 定时器构成单稳态电路的典型接法。由于 $R_d \cdot C_d$ 远小于触发脉冲低电平持续时间，所以 R_dC_d 构成 v_I 的微分电路。当 v_I 发生负跳变时，在 v_{I2} 产生一个负跳变的尖脉

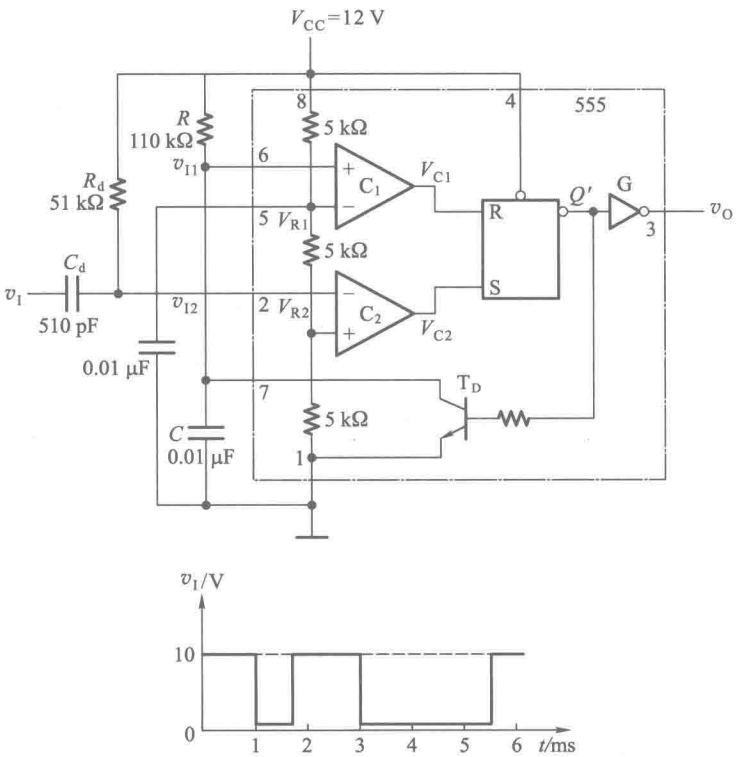


图 7-3-12　例 7-3-5 的单稳态电路及输入电压波形

冲，使 v_{I2} 低于 V_{R2}，于是比较器 C_2 的输出 V_{C2} 变为高电平，将锁存器置成 $Q=\mathbf{1}$，v_O 变成高电平，电路进入暂稳态。

暂稳态是不能持久的。$Q=\mathbf{1}$ 以后三极管 T_D 截止，电容 C 开始充电。当充电至 $v_{I1}=V_{R1}$ 时，比较器 C_1 输出变为高电平，而这时 V_{C2} 已经回到低电平，所以锁存器被置为 $Q=\mathbf{0}$，v_O 随之返回低电平，暂稳态结束。因此，输出脉冲的宽度 t_W 等于电容 C 从 0 开始充电到充至 $V_{R1}=\frac{2}{3}V_{CC}$ 的时间。据此可求得

$$
\begin{aligned}
t_W &= RC\ln\frac{v_{I1}(\infty)-v_{I1}(0)}{v_{I1}(\infty)-V_{R1}} \\
&= 110\times10^{3}\times0.01\times10^{-6}\times\ln\frac{V_{CC}-0}{V_{CC}-\frac{2}{3}V_{CC}} \\
&= 110\times0.01\times10^{-3}\times1.1\ \text{s} \\
&= 1.2\ \text{ms}
\end{aligned}
$$

v_O 的波形如图 7-3-13 所示。

（2）由图 7-3-12 可见，如果去掉 C_d，将 v_I 直接接至 555 定时器的输入端 v_{I2}，则在 v_{I2} 的低电平持续时间里比较器 C_2 的输出 V_{C2} 始终为高电平。如果 v_{I1} 充电到 V_{R1} 时 V_{C2} 的高电平仍然未变，则虽然 v_{C1} 变成了高电平，但由于锁存器是由**或非**门组成的，Q' 端的低电平和输出 v_O 的高电平将维持不变。一直要到 v_I 回到高电平以后，V_{C2} 变成了低电平，Q' 端才回到高电平，v_O 回到低电平。

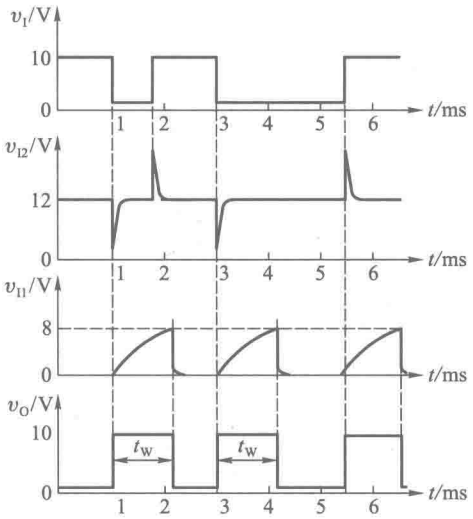


图 7-3-13　图 7-3-12 电路的电压波形图

由此可见，当触发脉冲的低电平持续时间大于电路的暂稳态维持时间以后，输出脉冲宽度将等于触发脉冲的低电平持续时间，而不再取决于电路本身的参数，电路已不能正常工作。因此，在触发脉冲低电平持续时间大于单稳态电路的暂稳态持续时间时，输入端一定要加 R_dC_d 微分电路。

（3）在图 7-3-12 电路中，如果加到 v_I 端的触发脉冲幅度为 5 V，那么当触发脉冲的下降沿到达时，v_{I2}的电位将在原来的 V_{CC}基础上向下跳变 5 V，达到(12-5) V = 7 V。而 $V_{R2}=\frac{1}{3}V_{CC}=4$ V，所以 v_{I2}下跳至 7 V 时仍高于 V_{R2}，比较器 C_2 不会输出高电平信号，锁存器不会翻转，电路状态不会发生转换。

可见，触发信号到达时必须能使 v_{I2}降至 V_{R2}以下，电路才会被触发。在触发脉冲幅度不够大的情况下，可以采用电阻分压的方法降低 v_{I2}的静态电位。例如可以在 v_{I2}与接地端之间接入与 R_d 相同大小的电阻，使 v_{I2}的静态电位降至$\frac{1}{2}V_{CC}=6$ V，这时用幅度为 5 V 的触发脉冲就能触发这个单稳态电路了。

【例 7-3-6】　图 7-3-14 是用 555 定时器接成的多谐振荡电路，电路参数如图中所示。要求

（1）计算电路的振荡频率。

（2）说明电容 C_F 的作用。

（3）说明如果去掉电阻 R_1，并将电阻 R_2 的上端接至 555 定时器的 v_O 端，电路能否工作。

解：

（1）计算电路的振荡频率。

由图可知，v_{I1}和 v_{I2}相连作为输入即构成了施密特触发电路，再由输出端 v_O'经 R_2 和 C 反馈到

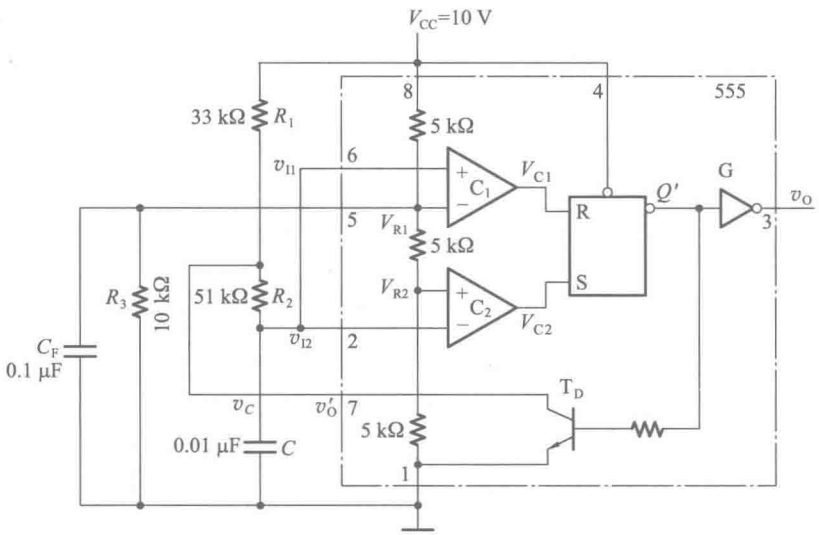


图 7-3-14　例 7-3-6 的多谐振荡电路

输入端，就得到了多谐振荡电路。电容 C 上的电压 v_C 在 V_{T+} 与 V_{T-} 之间往复地充、放电，v_O 便在高、低电平之间往复跳变，如图 7-3-15 所示。电容 C 的充、放电回路如图 7-3-16 所示。

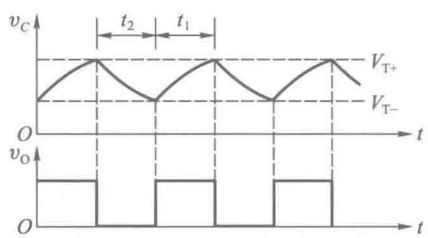
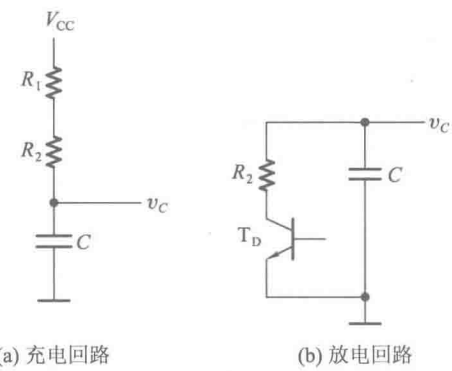


图 7-3-15　图 7-3-14 电路中的电压波形图



(a) 充电回路　　(b) 放电回路

图 7-3-16　图 7-3-14 电路中电容 C 的充、放电回路

从图 7-3-16(a)的充电回路求得充电时间为

$$t_1 = (R_1 + R_2) C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} \tag{7-3-4}$$

因为 V_{CO} 端经电阻 R_3 接地，所以现在的 V_{T+} 不等于 $\frac{2}{3}V_{CC}$。由图中可以算出，V_{CO} 等于一个 5 kΩ电阻和两个并联的 10 kΩ 电阻分压，故 $V_{CO} = 5\ \text{V} = V_{T+}$，$V_{T-} = \frac{1}{2}V_{CO} = 2.5\ \text{V}$。将这两个数值代入式(7-3-4)得到

$$t_1 = (33+51) \times 10^3 \times 0.01 \times 10^{-6} \times \ln \frac{10-2.5}{10-5}$$

$$=84\times0.01\times10^{-3}\times0.4\ \text{s}$$
$$=0.34\ \text{ms}$$

根据图 7-3-16(b)的放电回路得到放电时间为

$$t_2=(R_2+r_T)C\ln\frac{0-V_{T+}}{0-V_{T-}}$$

考虑到三极管 T_D 的导通内阻 r_T 远小于 R_2，故将它忽略，于是得到

$$t_2=51\times10^3\times0.01\times10^{-6}\ln\frac{5}{2.5}\ \text{s}$$
$$=51\times0.01\times10^{-3}\times0.69\ \text{s}$$
$$=0.35\ \text{ms}$$

振荡频率为

$$f=\frac{1}{t_1+t_2}=\frac{10^3}{0.34+0.35}\ \text{Hz}$$
$$=1.45\ \text{kHz}$$

(2) C_F 的作用在于稳定 V_{CO}的电压。因为 V_{CO}如果发生波动会直接影响 V_{T+}和 V_{T-}，进而影响频率的稳定。由于电容两端的电压不会发生突变，所以对瞬态干扰有滤除作用。

(3) 由图中可以看出，v_0'与 v_0 的高、低电平相位是完全相同的。根据施密特触发电路经 RC 电路反馈到输入端形成多谐振荡电路的原理，无论从 v_0'反馈到输入端还是从 v_0 反馈到输入端，都可以形成振荡电路。从减轻 v_0 端的负载和改善 v_0 波形考虑，一般都是以 v_0'为反馈引回端，而不用 v_0 端。

第八章　数/模和模/数转换

8.1　本章重点内容

一、权电阻型和倒 T 形 D/A 转换器的工作原理，输出电压的定量计算。

二、双极性输出 D/A 转换器的工作原理，电路接法，输出电压的定量计算。

三、A/D 转换器的主要类型，基本工作原理，性能的比较（转换速度，电路复杂程度，性能的稳定性等）。

四、D/A 和 A/D 转换器转换精度和转换速度的表示方法，影响转换精度和转换速度的主要因素。

8.2　难点释疑

一、求和放大器的基本原理

考虑到有些读者在学习本课程之前尚未修过模拟电子电路的课程，因而没有学过求和放大器这部分内容，所以这里简单地补充一点有关的基本知识。

在权电阻型、权电流型、倒 T 形电阻网络的 D/A 转换器中，都需要用到一个电流求和放大器。求和放大器由一个高性能的集成运算放大器和一些外接电阻构成。

图 8-2-1(a)是集成运算放大器的框图。D/A 转换器中使用的运算放大器由一组正负电源($+V_{CC}$和$-V_{CC}$)供电，所以输出电压 v_O 可为正、可为负。它有两个输入端，即同相输入端 V_+和反相输入端 V_-。当 $V_+>V_-$时输出 v_O 为正，$V_->V_+$时 v_O 为负，在 $V_+=V_-$时 $v_O=0$。运算放大器的电压放大倍数(输出电压的变化量与输入电压变化量之比)非常大，通常可达 10^5 甚至更高。从 V_+和 V_-端看进去的等效输入电阻也非常大，一般都在 $10^6\ \Omega$ 以上。

为了简化分析计算，在绝大多数的应用场合下，我们都把运算放大器近似地看做是一种理想的运算放大器，即它的开环电压放大倍数 $\left(A_{od}=\dfrac{\Delta v_O}{V_+-V_-}\right)$ 等于无穷大、输入电流等于零、输出电阻等于零。

不难想象，在电压放大倍数如此高的情况下，只要输入电压有极微小的波动或干扰，输出电压变化就会很大，工作的稳定性一定很差。而且一般应用条件下也不需要这样高的电压放大倍数。为了获得稳定的电压放大倍数，一种常用的方法是接成图 8-2-1(b)形式的负反馈放大电路。

在图 8-2-1(b)电路中，若 V_I 为正而运算放大器 $V_+=0$，则由于 $V_->V_+$，输出将为很大的负电压。v_O 的负电压通过反馈电阻 R_F 又将 V_-拉向负压，但是无论运算放大器的电压放大倍数有多

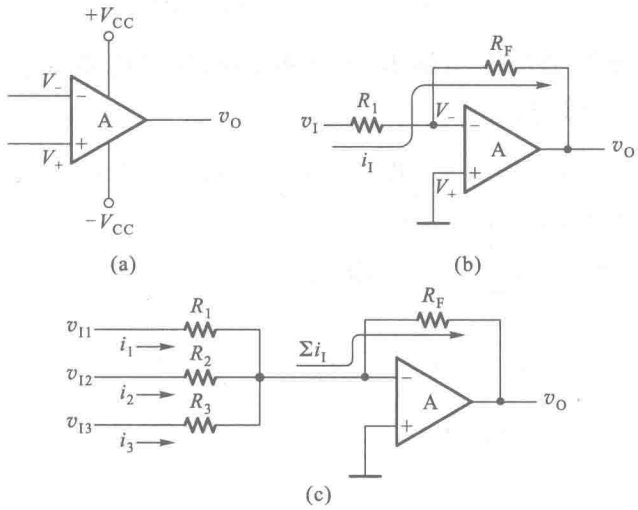


图 8-2-1　求和放大器的基本原理

么大，永远不会将 V_- 拉至零或是负压，因为 v_O 之所以有负压输出，是以 $V_->V_+$ 为前提条件的。最终的结果必然是 V_- 和 V_+ 几乎相等，而 V_- 仅比 V_+ 高出极微小的一点点。举例来说，若运算放大器的开环电压放大倍数为 $A_{od}=10^5$，当 $v_O=-10$ V 时，两个输入端之间的电位差将只有 $\dfrac{10}{10^5}$ V = 0.1 mV。由于 $V_+\approx V_-$，同时 $V_+=0$，所以 $V_-\approx 0$，而 V_- 又未真正接地，通常将 V_- 端称虚地点。

图 8-2-1(b)电路的电压放大倍数 $\left(A_V=\dfrac{v_O}{v_I}\right)$ 很容易从外接电阻回路求出。因为理想运算放大器的输入电流为零，所以 i_I 全部流向 R_F。而由于 $V_-\approx 0$，我们可以认为加到 R_1 上的电压等于 v_I，于是得到

$$\begin{aligned} i_I &= \frac{v_I}{R_1} \\ v_O &= -i_I R_F = -\frac{R_F}{R_1} v_I \\ A_V &= \frac{v_O}{v_I} = -\frac{R_F}{R_1} \end{aligned} \tag{8-2-1}$$

如果将多个输入电压经电阻同时接到运算放大器的虚地端，如图 8-2-1(c)所示，则所有各支路的输入电流将全部流过反馈电阻 R_F，产生的输出电压将为

$$v_O=-R_F(i_1+i_2+i_3)=-R_F\sum i_I \tag{8-2-2}$$

即输出电压正比于各支路输入电流之和，故称图 8-2-1(c)电路为电流求和放大器。

在 $R_1=R_2=R_3$ 的条件下，还可将式(8-2-2)写成

$$\begin{aligned} v_O &= -R_F\left(\frac{v_{I1}}{R_1}+\frac{v_{I2}}{R_2}+\frac{v_{I3}}{R_3}\right) \\ &= -\frac{R_F}{R_1}(v_{I1}+v_{I2}+v_{I3}) \end{aligned} \tag{8-2-3}$$

即输出电压正比于各输入电压之和。因此，图 8-2-1(c)电路这时又成为电压求和放大器。

二、为什么在倒 T 形电阻网络 D/A 转换器的应用电路中能够将倒 T 形电阻网络作为一个可编程电阻运用？

我们在分析图 8-2-2 所示的倒 T 形电阻网络 D/A 转换器的工作原理时已经知道，从 I_{out1} 端输出的电流 i_Σ 为各支路电流之和，即

$$\begin{aligned} i_\Sigma &= \frac{I}{2^n}\left(d_{n-1}2^{n-1}+d_{n-2}2^{n-2}+\cdots+d_1 2^1+d_0 2^0\right) \\ &= \frac{V_{REF}}{2^n R}\left(d_{n-1}2^{n-1}+d_{n-2}2^{n-2}+\cdots+d_1 2^1+d_0 2^0\right) \\ &= \frac{V_{REF}}{2^n R}\cdot D \end{aligned} \tag{8-2-4}$$

上式中以大写字母 D 表示输入的 n 位二进制数。

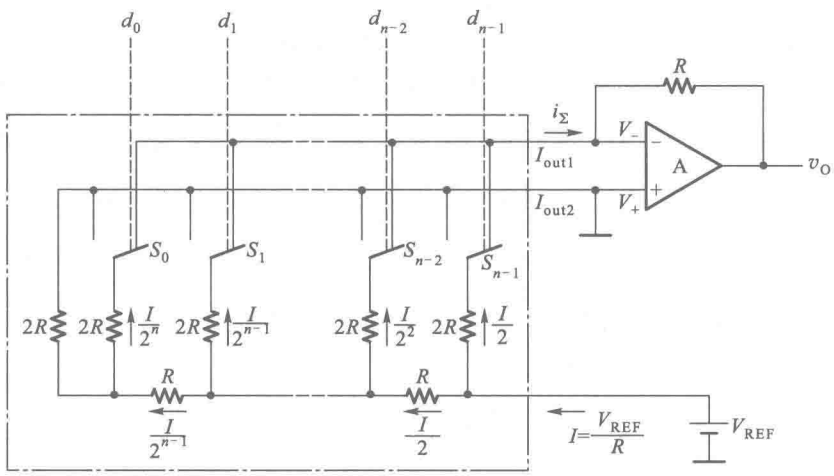


图 8-2-2　倒 T 形电阻网络 D/A 转换器电路

如果把 V_{REF} 输入端与 I_{out1} 之间的电阻网络视为一个等效电阻 R_{EQ}，则根据式(8-2-4)就可以得到

$$R_{EQ}=\frac{V_{REF}}{i_\Sigma}=\frac{2^n R}{D} \tag{8-2-5}$$

并可画成图 8-2-3 的等效电路。但 R_{EQ} 不同于一般的电阻元件，它的阻值随 D/A 转换器输入的数字量而改变，这也就是“可编程”的含意。

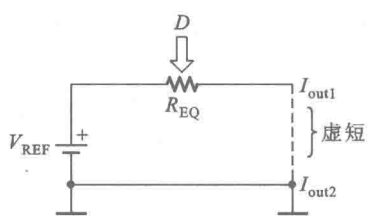


图 8-2-3　T 形电阻网络作为可编程电阻的等效电路

需要强调的一点是只有 I_{out1} 端的电位等于零时式(8-2-4)和式(8-2-5)才成立。而在 D/A 转换器中 I_{out1} 和 I_{out2} 是接在求和放大器的输入端上的(见图 8-2-2)，I_{out1} 和

I_{out2}两点电位基本相等，所以满足I_{out1}点电位为零的条件。

根据上述原理，在权电阻网络型 D/A 转换器和权电流型 D/A 转换器中，同样也可以将参考电压输入端与求和放大器反相输入端之间的电路作为可编程电阻使用。

在增益（在我们这里指的就是电压放大倍数）可编程放大电路中，就是把 D/A 转换器当作可编程电阻使用的。

图 8-2-1(b)中给出了一种最简单、最常用的一种负反馈电压放大电路的结构形式。式(8-2-1)也给出了它的电压放大倍数为 $A_V=-R_F/R_1$。只要能通过编程的方式改变 R_1 或 R_F，就能得到增益可编程的放大电路。这里所说的“编程”就是为 D/A 转换器设定输入数字量 D。通常是将数字量 D 存入一个寄存器中，然后将寄存器的输出加到 D/A 转换器上。

8.3　习题类型与解题方法

这一章的习题可大致分为三种类型。第一种类型是关于 A/D、D/A 转换的基本概念、转换电路基本工作原理和特点的题目，其中包括 D/A 转换器输出电压的定量计算这样基本练习的题目。第二种类型是 D/A 转换器应用的题目，这种类型的题目数量最大。第三种类型的题目是 D/A 转换器和 A/D 转换器中参考电压 V_{REF} 稳定度的计算，这种题目虽然数量不大，但是概念性比较强，而且有实用意义。

一、D/A 转换器输出电压的定量计算

解题方法和步骤：

1. 单极性输出的 D/A 转换器

(1) 对于图 8-3-1(a)的倒 T 形电阻网络 D/A 转换器，输出的模拟电压用下式计算

$$\begin{aligned} v_O &= -R_F i_\Sigma \\ &= -\frac{V_{REF}R_F}{2^n R}(d_{n-1}2^{n-1}+d_{n-2}2^{n-2}+\cdots+d_1 2^1+d_0 2^0) \\ &= -\frac{V_{REF}R_F}{2^n R}\cdot D \end{aligned} \tag{8-3-1}$$

式中 R 是倒 T 形 R-$2R$ 网络中电阻 R 的阻值，R_F 是外接的运算放大器的反馈电阻，V_{REF} 是外接的参考电压（也称基准电压），D 表示以二进制数给出的输入数字量。选择 V_{REF} 的极性可以改变输出电压的极性，改变 R_F 阻值可以改变 D/A 转换的比例系数。

在倒 T 形电阻网络 D/A 转换器集成电路芯片中通常都有一个内置的反馈电阻，用以取代外接的 R_F，如图 8-3-1(b)所示。这个内置电阻的阻值与倒 T 形电阻网络中的 R 阻值相同。因此，在采用内置电阻取代外接 R_F 以后，式(8-3-1)便简化为

$$v_O=-\frac{V_{REF}}{2^n}\cdot D \tag{8-3-2}$$

(2) 对于图 8-3-2 的权电流形 D/A 转换器，输出的模拟电压用下式计算

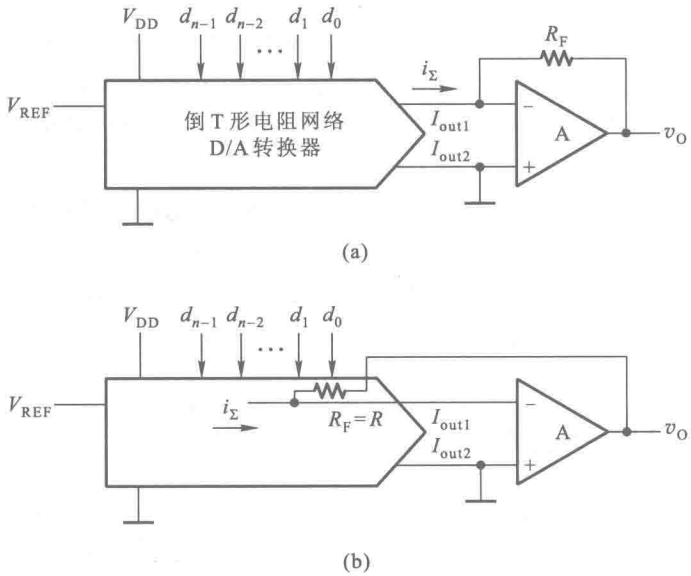


图 8-3-1　倒 T 形电阻网络 D/A 转换器的典型应用接法

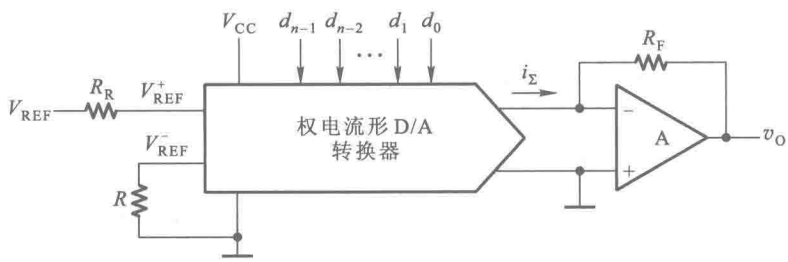


图 8-3-2　权电流形 D/A 转换器的典型应用接法

$$
\begin{aligned}
v_O &= -R_F i_\Sigma \\
&= -\frac{V_{REF}R_F}{2^n R_R}\left(d_{n-1}2^{n-1}+d_{n-2}2^{n-2}+\cdots+d_1 2^1+d_0 2^0\right) \\
&= -\frac{V_{REF}R_F}{2^n R_R}\cdot D
\end{aligned}
\tag{8-3-3}
$$

式中的 R_F 是求和放大器的反馈电阻。用 R_R 和 V_{REF} 为权电流网络设定参考(基准)电流 I_R。在 V_{REF}^- 端接至地电位的状态下，$I_R = V_{REF}/R_R$。I_R 的工作范围由器件使用说明中给出。例如 DAC0800～0808 的 I_R 最大允许值规定为 5 mA。电阻 R 是 D/A 转换器输入端内部差分放大器的平衡电阻，其阻值应取成与 R_R 相同的数值。通过选择 R_F、R_R 和 V_{REF} 的参数，即可获得需要的 D/A转换比例系数。

2. 双极性输出 D/A 转换器

在没有接入偏移电流 I_B 时，图 8-3-3 所示 D/A 转换器的输出电压计算公式已在式(8-3-1)给出，即

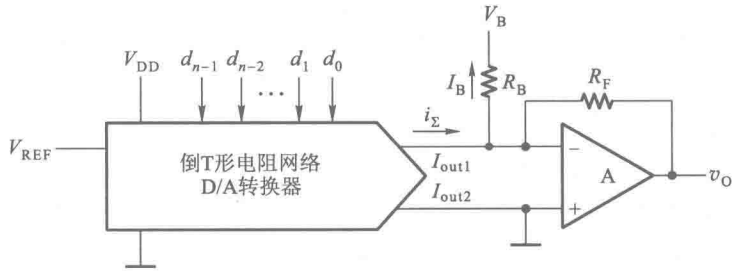


图 8-3-3　双极性输出的倒 T 形电阻网络 D/A 转换器

$$v_O = -\frac{V_{REF}R_F}{2^nR} \cdot D$$

当输入数字量 D 从 0 变到最大(2^n-1)时，v_O 是单极性的。当 V_{REF}为正时 v_O 为负；而 V_{REF}为负时 v_O 为正。

若 D/A 转换器的输入数字量为 n 位，取 $R_F=R$，则当输入数字量 D 从零变到最大(2^n-1)时 v_O 将从 0 变到$-\dfrac{2^n-1}{2^n}V_{REF}$。

如果在求和放大器输入端引入偏置电流 I_B，并使 I_B 与 I_Σ 在求和放大器中相减，这时输出将变为

$$v_O = -\frac{V_{REF}R_F}{2^nR} \cdot D + I_BR_F \tag{8-3-4}$$

若 I_B 与 $D=2^{n-1}$(即最高位为 1，其余各位均为 0)时的 i_Σ 相等，则此时的 v_O 将等于零。我们在教科书中分析倒 T 形电阻网络时已经知道，输入数字量最高位为 1 时的权电流为 $V_{REF}/2R$，故可将式(8-3-4)写成

$$\begin{aligned} v_O &= -\frac{V_{REF}R_F}{2^nR} \cdot D + \frac{V_{REF}R_F}{2R} \\ &= -\frac{V_{REF} \cdot R_F}{2^nR}(D-2^{n-1}) \end{aligned} \tag{8-3-5}$$

上式表明，如果 V_{REF}为正，则当 $D>2^{n-1}$时 v_O 为负，而当 $D<2^{n-1}$时 v_O 为正。因此，输出电压是双极性的。在 D 为 8 位二进制数及 $R_F=R$ 时，V_{REF}为不同极性下的输出电压如表 8-3-1 所示。

表 8-3-1　图 8-3-3 电路的输出电压

数字量输入		模拟电压输出	
MSB　　LSB		V_{REF}为正	V_{REF}为负
(2^n-1)	**11111111**	$-\lvert V_{REF}\rvert/2+1LSB$	$+\lvert V_{REF}\rvert/2-1LSB$
(2^{n-1})	**10000000**	0	0
(0)	**00000000**	$+\lvert V_{REF}\rvert/2$	$-\lvert V_{REF}\rvert/2$

在输入的数字量以补码形式给出时，最高位是符号位，正数的符号位为**0**，负数的符号位为**1**。为了能在输入正数时得到正的输出模拟电压，输入为负数时得到负的输出模拟电压，需要将符号位反相以后再作为 D/A 转换器的最高位输入，同时取负的 V_{REF}。若输入的数字量为 8 位，最高位为符号位，这时 D/A 转换器输出模拟电压与输入数字量的关系将和表 8-3-1 相同。

【例 8-3-1】 图 8-3-4 是用 DAC0830 接成的 D/A 转换电路。DAC0830 是 8 位二进制输入的倒 T 形电阻网络 D/A 转换器，若 $V_{REF}=5$ V，试写出输出电压 v_{O2} 的计算公式，并计算当输入数字量为 0、2^{n-1}(2^7)和 2^n-1(2^8-1)时的输出电压值。

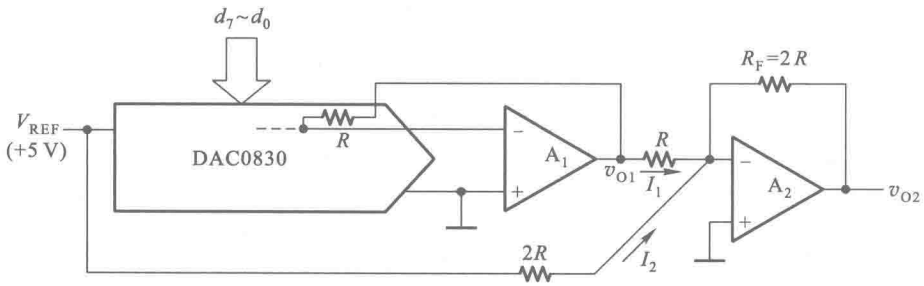


图 8-3-4　例 8-3-1 的 D/A 转换电路

解：在 DAC0830 和运算放大器 A_1 组成的 D/A 转换电路部分中，因为 A_1 的反馈电阻采用了 DAC0830 的内置反馈电阻 $R_{F1}=R$，所以 A_1 的输出电压 v_{O1} 由式(8-3-2)计算，即

$$v_{O1}=-\frac{V_{REF}}{2^n}\cdot D$$

运算放大器 A_2 组成另一个求和放大器，它的输出电压计算公式应为

$$\begin{aligned} v_{O2}&=-R_F(I_1+I_2)\\ &=-R_F(v_{O1}/R+V_{REF}/2R)\\ &=\frac{V_{REF}R_F}{2^nR}(D-2^{n-1}) \end{aligned} \tag{8-3-6}$$

上式与式(8-3-5)只相差一个负号。可见图 8-3-4 电路也是双极性输出的 D/A 转换电路。

将 $n=8$、$V_{REF}=5$ V、$R_F=2R$ 代入上式后得到

$$\begin{aligned} v_{O2}&=V_{REF}\frac{D-2^{n-1}}{2^{n-1}}\\ &=5\times\frac{D-2^7}{2^7}\ \text{V} \end{aligned} \tag{8-3-7}$$

将 $D=0$、$D=2^7$ 和 $D=2^8-1$ 分别代入上式计算，得到的 v_{O2} 分别为−5 V、0 V和 4.96 V。

二、 D/A 转换器的应用

本章习题中的 D/A 转换器应用题目又有两类，一类是用于组成波形发生器的题目，另一类是用于组成增益可编程放大器的题目。

1. 用于组成波形发生器

解题方法和步骤：

（1）分析给定的波形发生器电路。首先找出 D/A 转换器输入的数字序列数值，然后算出与这些数字量对应的输出模拟电压数值，再将这些模拟电压作为输出波形的幅值，按时间顺序画出波形，就得到了输出电压波形。

（2）设计产生指定波形的波形发生器电路。在一个完整的波形周期内按一定的时间间隔取一系列的取样点；选定一个最小量化单位，将每个取样点上波形的幅值量化，算出对应的数字量；将这些数字量顺序地存入存储器的地址中，并将存储器的数据输出作为 D/A 转换器的数字量输入；根据对波形周期的要求，顺序地读取存储器的数据并不断地循环，在 D/A 转换器的输出端就得到了所要求的电压波形。

【例 8-3-2】 试画出图 8-3-5 波形发生电路的输出电压波形。AD7520 是 10 位输入的倒 T 形电阻网络 D/A 转换器，参考电压 $V_{REF}=-8$ V。74LS194A 是 4 位双向移位寄存器，它的功能表如表 8-3-2，假定它的初始状态为 $Q_0Q_1Q_2Q_3=\mathbf{0000}$。$D_{IR}$ 和 D_{IL} 分别为右移数据输入端和左移数据输入端。G_1 和 G_2 是 74 系列 TTL 反相器 7404，$R_F=1$ kΩ，$C=0.01$ μF，石英晶体的谐振频率为 1 MHz。

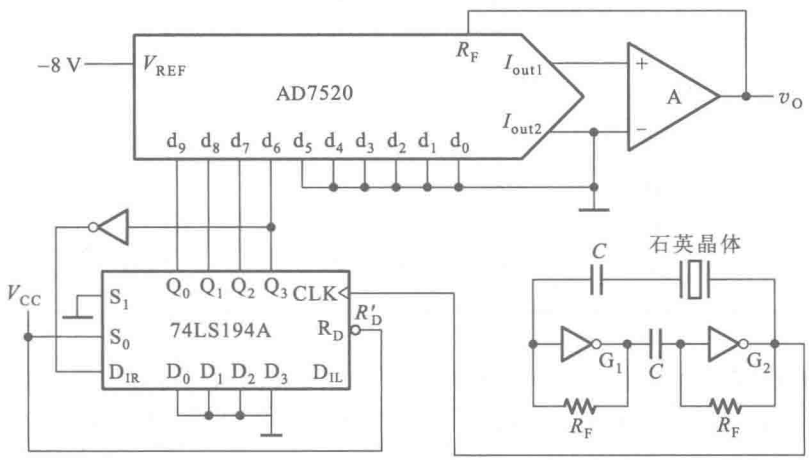


图 8-3-5　例 8-3-2 的波形发生电路

表 8-3-2　74LS194A 的功能表

R'_D	S_1	S_0	工作状态
0	×	×	置　零
1	**0**	**0**	保　持
1	**0**	**1**	右　移
1	**1**	**0**	左　移
1	**1**	**1**	并行输入

解：因为本例中是以移位寄存器里的数据作为 D/A 转换器输入的，所以首先需要找出移位寄存器中数据变化的规律。由于 74LS194A 接成了右移工作状态，并且以 Q'_3 作为 D_{IR} 的输入，因而构成了一个扭环形计数器。在 *CLK* 信号的连续作用下，$Q_0Q_1Q_2Q_3$ 的状态（也就是 D/A 转换

器的输入$d_9d_8d_7d_6$)将按表8-3-3所示的顺序变化。

由式(8-3-2)知

$$v_O=-\frac{V_{REF}}{2^n}\cdot D=\left(\frac{8}{2^{10}}\cdot D\right)\ \text{V}$$

运用上式求得 $d_9=\mathbf{1}$、$d_8=\mathbf{1}$、$d_7=\mathbf{1}$、$d_6=\mathbf{1}$ 所产生的输出电压分别为+4 V、+2 V、+1 V、+0.5 V,这样就能够很容易算出 $d_9d_8d_7d_6$ 为不同数值下的 v_O 值了。计算结果如表 8-3-3 中所列出。在 *CLK* 信号作用下,v_O 的数值将按表 8-3-3中的顺序变化。

表 8-3-3　例 8-3-2 中 74LS194A 的状态转换表和输出电压 v_O 值

CLK 顺序	Q_0 (d_9	Q_1 d_8	Q_2 d_7	Q_3 d_6)	v_O/V
0	**0**	**0**	**0**	**0** ←	0 ←
1	**1**	**0**	**0**	**0**	4
2	**1**	**1**	**0**	**0**	6
3	**1**	**1**	**1**	**0**	7
4	**1**	**1**	**1**	**1**	7.5
5	**0**	**1**	**1**	**1**	3.5
6	**0**	**0**	**1**	**1**	1.5
7	**0**	**0**	**0**	**1**	0.5
8	**0**	**0**	**0**	**0** ←	0 ←

我们已经讲过,石英晶体多谐振荡器的振荡频率由石英晶体的自身谐振频率决定,因此 *CLK* 的频率应为 1 MHz,即周期等于 1 μs,这样就可以画出 v_O 的波形了(如图 8-3-6 所示)。

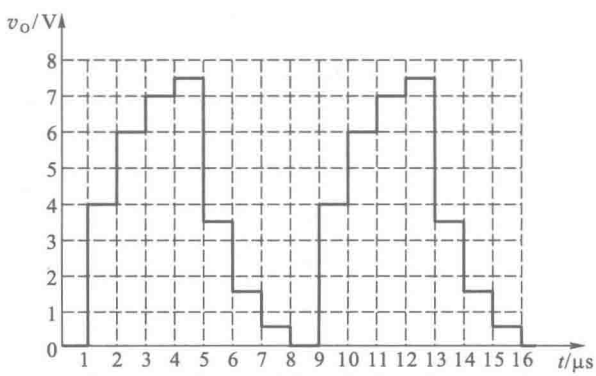


图 8-3-6　例 8-3-2 电路的输出电压波形

【例 8-3-3】　设计一个波形发生电路,产生图 8-3-7 所示的周期性输出电压波形。

解:如果每间隔 1 μs 取一个取样点,则一个完整的波形周期中共有 16 个取样点,如图

8-3-7中所示。取最小量化单位 $\Delta=0.5$ V，将每个取样点上波形的幅度除以 0.5 V，就得到了表8-3-4的取样电压量化数据表。

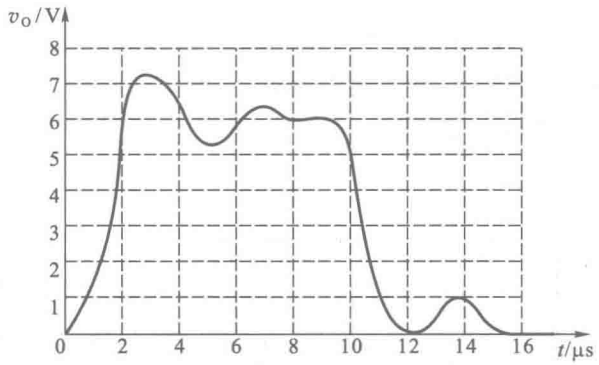


图 8-3-7　例 8-3-3 的电压波形图

表 8-3-4　例 8-3-3 取样电压量化数据表

取样点顺序	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
v_O/V	0	1.5	6.0	7.3	6.5	5.4	6.0	6.4	6.0	6.0	5.4	1.0	0	0.5	1.0	0
量化数值	0	3	12	15	13	11	12	13	12	12	11	2	0	1	2	0

为了存储表 8-3-4 的波形数据，需要 16 个存储单元。如果采用二进制数存储，每个单元需要存 4 位二进制数。因此，使用 16×4 位的 ROM 就够用了。若将表 8-3-4 中的数据表依次存入 ROM，便得到表 8-3-5 的 ROM 数据表。

表 8-3-5　例 8-3-3 中 ROM 的数据表

地址				数据					地址				数据				
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0		A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	
0	0	0	0	0	0	0	0	(0)	1	0	0	0	1	1	0	0	(12)
0	0	0	1	0	0	1	1	(3)	1	0	0	1	1	1	0	0	(12)
0	0	1	0	1	1	0	0	(12)	1	0	1	0	1	0	1	1	(11)
0	0	1	1	1	1	1	1	(15)	1	0	1	1	0	0	1	0	(2)
0	1	0	0	1	1	0	1	(13)	1	1	0	0	0	0	0	0	(0)
0	1	0	1	1	0	1	1	(11)	1	1	0	1	0	0	0	1	(1)
0	1	1	0	1	1	0	0	(12)	1	1	1	0	0	0	1	0	(2)
0	1	1	1	1	1	0	1	(13)	1	1	1	1	0	0	0	0	(0)

将表 8-3-5 中 ROM 的数据依次读出，加到 D/A 转换器的输入端，并不断循环，在 D/A 转换器的输出就能产生图 8-3-7 的电压波形了。为了按表 8-3-5 中的顺序循环产生 ROM 的地址代

码，可以用一个 4 位二进制计数器的输出作为 ROM 的 4 位地址输入代码。只要以 1 MHz 的频率连续不断地供给计数器作为 *CLK* 脉冲，地址代码就会自动按表 8-3-5 的顺序变化，而且变化的时间间隔正好是 1 μs。

按照以上的设计思路，就得到了图 8-3-8 的波形发生器电路。图中 AD7520 是 10 位倒 T 形电阻网络 D/A 转换器，ROM 为 16×4 位只读存储器，其中存有表 8-3-5 的数据表。74LS161 是同步十六进制计数器。石英晶体多谐振荡器产生频率为 1 MHz 的脉冲，作为计数器的时钟输入。

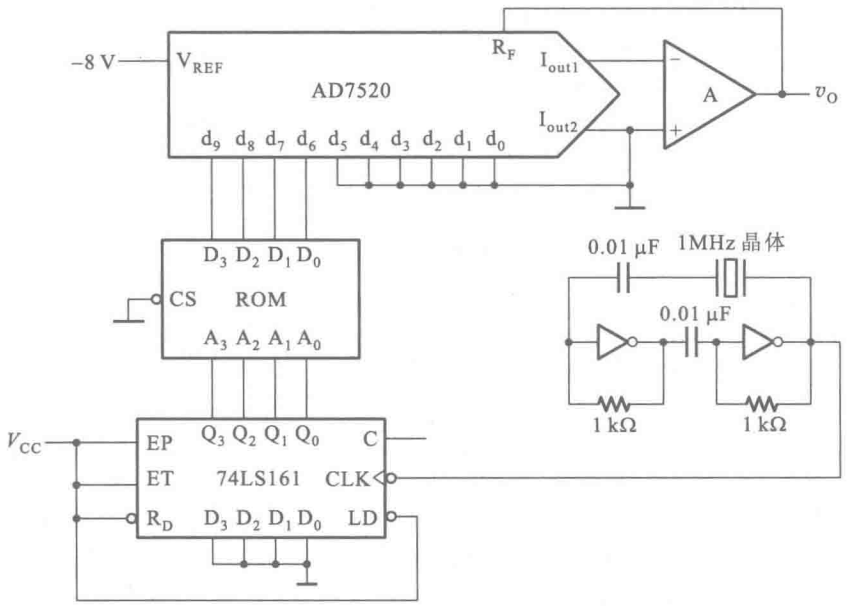


图 8-3-8　例 8-3-3 的波形发生器电路

由式(8-3-2)可知，AD7520 的输出电压为

$$v_O = -\frac{V_{REF}}{2^n} \cdot D$$

若取 $V_{REF} = -8$ V，则得到

$$v_O = \frac{8}{2^{10}}(d_9 2^9 + d_8 2^8 + d_7 2^7 + d_6 2^6)$$

$$= \frac{8}{2^4}(D_3 2^3 + D_2 2^2 + D_1 2^1 + D_0 2^0)$$

当 $D_0 = 1$ 时在输出端产生的电压恰好等于 0.5 V，与所设定的量化单位相同。

图 8-3-9 是图 8-3-8 电路的输出电压波形。这个波形和图 8-3-7 给定的波形之间有一定的误差。通过增加取样点(提高取样速率)和减小量化单位，可以减小这个电路的输出电压波形与给定波形之间的误差。

2. 用于组成增益可编程放大器

解题方法和步骤：

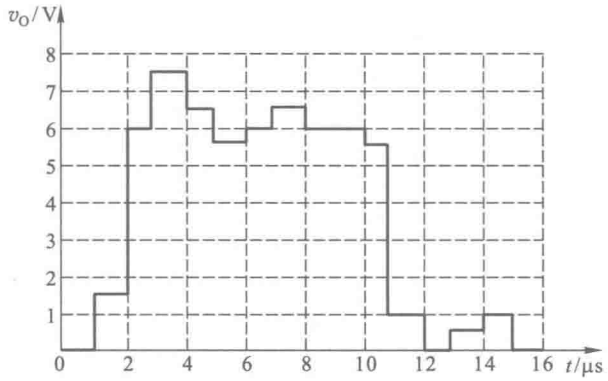


图 8-3-9　图 8-3-8 电路的输出电压波形

在图 8-3-10 形式的负反馈电压放大器中，若 A 可以近似地视为理想放大器（输入电流为 0，开环放大倍数为 ∞，输出电阻为 0）则电压放大倍数（增益）为

$$A_V = -\frac{R_F}{R_1}$$

因此，只要以 D/A 转换器作为可编程电阻取代 R_1 或 R_F，就能构成增益可编程放大器。

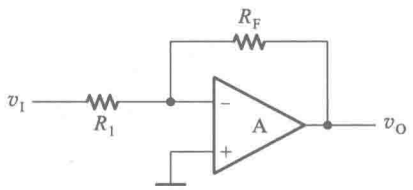


图 8-3-10　负反馈电压放大器

【例 8-3-4】 在图 8-3-11 的放大电路中，试计算当 D/A 转换器的输入数字量从全 **0** 变到全 **1** 时电压放大倍数的变化范围是多少。图中的 DAC0830 是 8 位倒 T 形电阻网络 D/A 转换器，电阻网络中的电阻 R 等于 15 kΩ。运算放大器外接的反馈电阻 $R_F = 150$ kΩ。

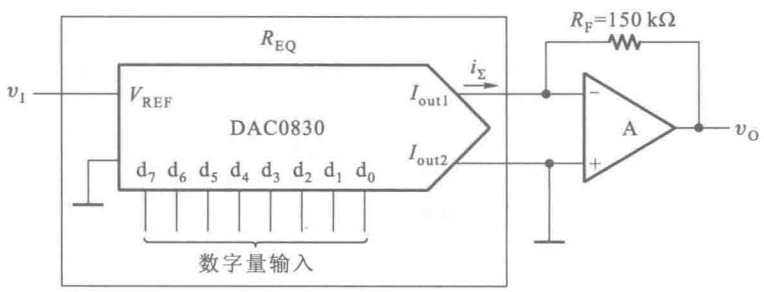


图 8-3-11　例 8-3-4 的增益可编程放大电路

解： 由图 8-3-11 可知，在 I_{out1} 端为 0 电平的条件下，D/A 转换器的等效电阻为

$$R_{EQ} = \frac{v_I}{i_\Sigma} = \frac{V_{REF}}{i_\Sigma}$$

而由前面的式（8-3-1）可知

$$i_\Sigma = \frac{V_{REF}}{2^n R} \cdot D$$

故得到

$$R_{EQ}=\frac{2^n R}{D} \tag{8-3-8}$$

式中 R 是倒 T 形电阻网络中电阻 R 的阻值，D 为以二进制数表示的输入数字量，n 为输入数字量的位数。

据此便可以得到图 8-3-11 电路的电压放大倍数为

$$\begin{aligned}A_V&=\frac{v_O}{v_I}\\&=-\frac{R_F}{R_{EQ}}\\&=-\frac{R_F}{R}\cdot\frac{D}{2^8}\\&=-\frac{150}{15}\cdot\frac{D}{2^8}\\&=-0.039D\end{aligned}$$

当 D 为全 **0** 时，$A_V=0$；当 D 为全 **1** 时，由上式求得

$$\begin{aligned}A_V&=-0.039\times255\\&=-9.95\end{aligned}$$

故 A_V 的变化范围是 0～-9.95。

【例 8-3-5】 试计算图 8-3-12 增益可编程放大电路的电压放大倍数，并说明当 D/A 转换器的输入数字量从全 **0** 变到全 **1** 时放大倍数的变化范围。图中 DAC0830 为 8 位倒 T 形电阻网络 D/A 转换器，倒 T 形电阻网络中电阻 R 的阻值等于 15 kΩ。输入端电阻 R_1 的阻值为 150 kΩ。

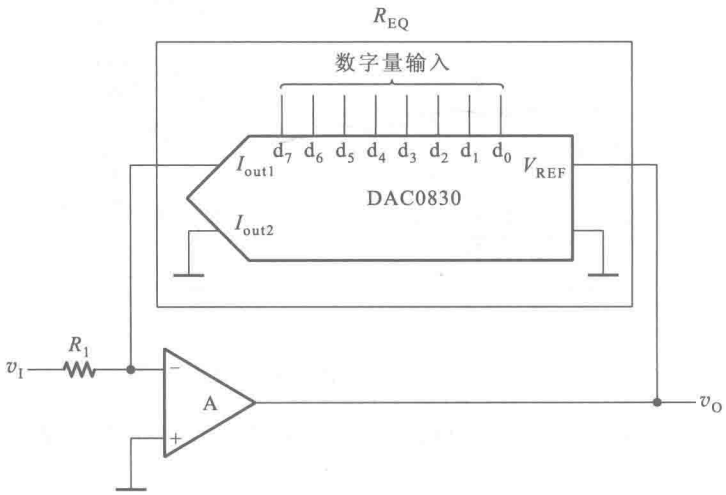


图 8-3-12　例 8-3-5 的增益可编程放大电路

解：根据图 8-3-12 可写出电路的电压放大倍数为

$$A_V=\frac{v_O}{v_I}$$

$$=-\frac{R_{EQ}}{R_1}$$

又知　$R_{EQ}=\frac{2^n R}{D}$，故得到

$$A_V=-\frac{R}{R_1}\cdot\frac{2^n}{D}$$

$$=-\frac{15}{150}\cdot\frac{256}{D}$$

$$=-\frac{25.6}{D}$$

当 D 为全 **0** 时，$A_V=-\infty$；

当 D 为全 **1** 时

$$A_V=-\frac{25.6}{255}=-0.1$$

故 A_V 的变化范围是 -0.1 到 $-\infty$。

三、倒 T 形电阻网络 D/A 转换器参考电压稳定度的计算

解题方法和步骤：

由式(8-3-1)中可以看到，D/A 转换器的输出电压 v_O 是和参考电压 V_{REF} 有关的，即

$$v_O=-\frac{V_{REF}R_F}{2^n R}\cdot D$$

因此，V_{REF} 的波动 ΔV_{REF} 将引起 v_O 的波动 Δv_O。为保证转换精度，Δv_O 必须小于输入最低有效位的 1 所产生输出电压的一半$\left(\frac{1}{2}\text{LSB}\right)$，即要求

$$\Delta v_O\leqslant\frac{1}{2}\text{LSB}$$

根据式(8-3-1)可分别得出 Δv_O 和$\frac{1}{2}$LSB 为

$$\Delta v_O=\left|\frac{\Delta V_{REF}R_F}{2^n R}\cdot D\right|$$

$$\frac{1}{2}\text{LSB}=\frac{1}{2}\left|\frac{V_{REF}R_F}{2^n R}\cdot 1\right|=\left|\frac{V_{REF}R_F}{2^{n+1}R}\right|$$

故得到

$$\left|\frac{\Delta V_{REF}R_F}{2^n R}\cdot D\right|\leqslant\left|\frac{V_{REF}R_F}{2^{n+1}R}\right|$$

为保证在不同的 D 值时上式均成立，D 应取为最大值(2^n-1)，因而将上式写为

$$\left|\frac{\Delta V_{REF}R_F}{2^n R}(2^n-1)\right|\leqslant\left|\frac{V_{REF}R_F}{2^{n+1}R}\right|$$

在 n 足够大的条件下，$2^n-1\approx 2^n$。若 $R_F=R$，则由上式得到

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right|\leqslant\frac{1}{2^{n+1}} \tag{8-3-9}$$

此式就是参考电压应当满足的相对稳定度。

【例 8-3-6】 在输入为 12 位的倒 T 形电阻网络 D/A 转换器 DAC1222 中，若参考电压 $V_{REF}=10$ V，为了保证输入最低位仍为有效位，V_{REF} 的相对稳定度应为多少？允许 V_{REF} 有多大范围的波动？

解：根据式(8-3-9)可知，V_{REF} 的相对稳定度应为

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right|\leqslant\frac{1}{2^{13}}=0.122\ \text{‰}$$

允许 V_{REF} 的波动范围为

$$|\Delta V_{REF}|\leqslant\left|\frac{V_{REF}}{2^{13}}\right|=1.22\ \text{mV}$$

四、量化电平参考电压稳定度的计算

解题方法和步骤：

在某些类型 D/A 转换器(例如开关树型 D/A 转换器)和 A/D 转换器(例如并联比较型 A/D 转换器)当中，经常采用电阻链分压来产生一系列不同等级的量化电平基准，如图 8-3-13所示。

在图 8-3-13(a)并联比较型 A/D 转换器中，为了将输入的模拟电压 v_I 转换为 3 位二进制数字量，需要将 v_I 与 2^3 个不同等级的电平进行比较。同时，为减小量化误差，取量化单位 $\Delta=\frac{2}{15}V_{REF}$，即 $\Delta=\frac{2}{2^{3+1}-1}V_{REF}$。因此，电阻链由 2^3 个电阻组成，最下边的一个为 $R/2$，其余均为 R。

根据同样的道理，如果要把输入的模拟电压转换为 n 位二进制的数字量，则需要用 2^n 个电阻接成电阻链进行分压，以便产生 2^n 个量化电平等级基准，如图 8-3-13(b)所示。为减小量化误差，应取量化单位为 $\Delta=\frac{2}{2^{n+1}-1}V_{REF}$。为此，最下边的一个电阻取为 $R/2$，其余的电阻都为 R。

当 V_{REF} 发生波动 ΔV_{REF} 时，必然会影响所有的量化电平等级基准。不过由于电阻分压作用，ΔV_{REF} 对最高的一个量化电平等级基准(电阻链上的 A 点)影响最大。

为了保证转换精度，ΔV_{REF} 在任何一个量化电平等级基准点上所产生的电压都必须小于 $\frac{1}{2}\Delta$。由于 ΔV_{REF} 在 A 点的分压值最大，所以只要这一点的电压变化小于 $\frac{1}{2}\Delta$，则其余量化电平等级基准的变化都不会大于 $\frac{1}{2}\Delta$。

ΔV_{REF} 在 A 点产生的电压变化为

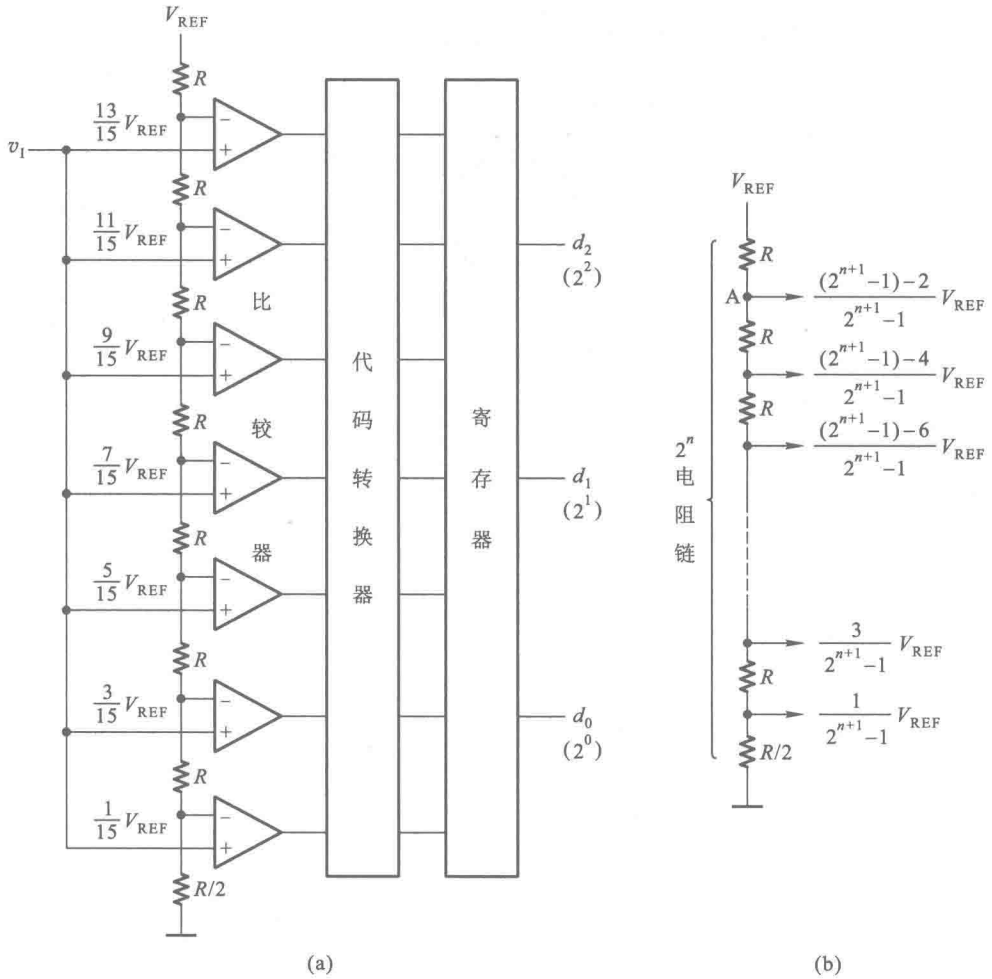


图 8-3-13　用电阻链分压方式产生一系列量化电平等级基准

$$\Delta V_A = \frac{(2^{n+1}-1)-2}{2^{n+1}-1}\Delta V_{REF}$$

由 $|\Delta V_A| \leqslant \frac{1}{2}\Delta$ 得到

$$\left|\frac{(2^{n+1}-1)-2}{2^{n+1}-1}\Delta V_{REF}\right| \leqslant \left|\frac{1}{2}\cdot\frac{2}{2^{n+1}-1}V_{REF}\right|$$

故得

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right| \leqslant \frac{1}{2^{n+1}-3} \tag{8-3-10}$$

此式即为 V_{REF} 应满足的相对稳定度计算公式。

【例 8-3-7】 在输出为 6 位二进制数的并联比较型 A/D 转换器中，为保证转换误差小于 $\frac{1}{2}$LSB，试计算对参考电压 V_{REF} 的相对稳定度的要求是多少。

解：利用式(8-3-10)可以直接求得

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right| \leqslant \frac{1}{2^{n+1}-3}$$

$$= \frac{1}{2^7-3}$$

$$= 0.8\%$$

第三部分

《数字电子技术基础（第六版）》习题解答

第一章习题解答

【题 1.1】 为了将 600 份文件顺序编号，如果采用二进制代码，最少需要用几位？如果改用八进制或十六进制代码，则最少各需要用几位？

解： 因为 9 位二进制代码共有 $2^9=512$ 个码，不够用；而 10 位二进制代码共有 $2^{10}=1024$ 个码，大于 600，故采用二进制代码时最少需要十位。

若将 10 位二进制代码转换为八进制和十六进制代码，则各需要用 4 位和 3 位。因此，如果改用八进制代码，则需要用 4 位；如果改用十六进制代码，则 3 位就够了。

【题 1.2】 将下列二进制整数转换为等值的十进制数。

(1) $(\mathbf{01101})_2$；(2) $(\mathbf{10100})_2$；(3) $(\mathbf{10010111})_2$；(4) $(\mathbf{1101101})_2$。

解：

(1) $(\mathbf{01101})_2=\mathbf{0}\times2^4+\mathbf{1}\times2^3+\mathbf{1}\times2^2+\mathbf{0}\times2^1+\mathbf{1}\times2^0=13$

(2) $(\mathbf{10100})_2=\mathbf{1}\times2^4+\mathbf{0}\times2^3+\mathbf{1}\times2^2+\mathbf{0}\times2^1+\mathbf{0}\times2^0=20$

(3) $(\mathbf{10010111})_2=\mathbf{1}\times2^7+\mathbf{0}\times2^6+\mathbf{0}\times2^5+\mathbf{1}\times2^4+\mathbf{0}\times2^3+\mathbf{1}\times2^2+\mathbf{1}\times2^1+\mathbf{1}\times2^0$
$=151$

(4) $(\mathbf{1101101})_2=\mathbf{1}\times2^6+\mathbf{1}\times2^5+\mathbf{0}\times2^4+\mathbf{1}\times2^3+\mathbf{1}\times2^2+\mathbf{0}\times2^1+\mathbf{1}\times2^0$
$=109$

【题 1.3】 将下列二进制小数转换为等值的十进制数。

(1) $(\mathbf{0.1001})_2$；(2) $(\mathbf{0.0111})_2$；(3) $(\mathbf{0.101101})_2$；(4) $(\mathbf{0.001111})_2$。

解：

(1) $(\mathbf{0.1001})_2=\mathbf{1}\times2^{-1}+\mathbf{0}\times2^{-2}+\mathbf{0}\times2^{-3}+\mathbf{1}\times2^{-4}=0.5625$

(2) $(\mathbf{0.0111})_2=\mathbf{0}\times2^{-1}+\mathbf{1}\times2^{-2}+\mathbf{1}\times2^{-3}+\mathbf{1}\times2^{-4}=0.4375$

(3) $(\mathbf{0.101101})_2=\mathbf{1}\times2^{-1}+\mathbf{0}\times2^{-2}+\mathbf{1}\times2^{-3}+\mathbf{1}\times2^{-4}+\mathbf{0}\times2^{-5}+\mathbf{1}\times2^{-6}$
$=0.703125$

(4) $(\mathbf{0.001111})_2=\mathbf{0}\times2^{-1}+\mathbf{0}\times2^{-2}+\mathbf{1}\times2^{-3}+\mathbf{1}\times2^{-4}+\mathbf{1}\times2^{-5}+\mathbf{1}\times2^{-6}$
$=0.234375$

【题 1.4】 将下列二进制数转换为等值的十进制数。

(1) $(\mathbf{101.011})_2$；(2) $(\mathbf{110.101})_2$；(3) $(\mathbf{1111.1111})_2$；(4) $(\mathbf{1001.0101})_2$。

解：

(1) $(\mathbf{101.011})_2=\mathbf{1}\times2^2+\mathbf{0}\times2^1+\mathbf{1}\times2^0+\mathbf{0}\times2^{-1}+\mathbf{1}\times2^{-2}+\mathbf{1}\times2^{-3}$
$=5.375$

(2) $(\mathbf{110.101})_2=\mathbf{1}\times2^2+\mathbf{1}\times2^1+\mathbf{0}\times2^0+\mathbf{1}\times2^{-1}+\mathbf{0}\times2^{-2}+\mathbf{1}\times2^{-3}$
$=6.625$

(3) $(\mathbf{1111.1111})_2=\mathbf{1}\times2^3+\mathbf{1}\times2^2+\mathbf{1}\times2^1+\mathbf{1}\times2^0+\mathbf{1}\times2^{-1}+\mathbf{1}\times2^{-2}+\mathbf{1}\times2^{-3}+\mathbf{1}\times2^{-4}$
$=15.9375$

(4) $(\mathbf{1001.0101})_2=\mathbf{1}\times2^3+\mathbf{0}\times2^2+\mathbf{0}\times2^1+\mathbf{1}\times2^0+\mathbf{0}\times2^{-1}+\mathbf{1}\times2^{-2}+\mathbf{0}\times2^{-3}+\mathbf{1}\times2^{-4}$

$=9.3125$

【题 1.5】 将下列二进制数转换为等值的八进制数和十六进制数。

(1) $(\mathbf{1110.0111})_2$;(2) $(\mathbf{1001.1101})_2$;(3) $(\mathbf{0110.1001})_2$;

(4) $(\mathbf{101100.110011})_2$。

解:

(1) 将$(\mathbf{1110.0111})_2$转换为八进制和十六进制数得到

$$(\mathbf{1110.0111})_2$$
$$\downarrow$$
$$(\ \mathbf{001\ 110.\ 011\ 100}\ )_2$$
$$\downarrow\quad\downarrow\quad\downarrow\quad\downarrow$$
$$(\ 1\quad 6.\quad 3\quad 4\ )_8$$

$$(\ \mathbf{1110.\ 0111}\ )_2$$
$$\downarrow\quad\downarrow$$
$$(\ E.\quad 7\ )_{16}$$

(2) 将$(\mathbf{1001.1101})_2$转换为八进制和十六进制数得到

$$(\mathbf{1001.1101})_2$$
$$\downarrow$$
$$(\ \mathbf{001\ 001.\ 110\ 100}\ )_2$$
$$\downarrow\quad\downarrow\quad\downarrow\quad\downarrow$$
$$(\ 1\quad 1.\quad 6\quad 4\ )_8$$

$$(\ \mathbf{1001.\ 1101}\ )_2$$
$$\downarrow\quad\downarrow$$
$$(\ 9.\quad D\ )_{16}$$

(3) 将$(\mathbf{0110.1001})_2$转换为八进制和十六进制数得到

$$(\mathbf{0110.1001})_2$$
$$\downarrow$$
$$(\ \mathbf{110.\ 100\ 100}\ )_2$$
$$\downarrow\quad\downarrow\quad\downarrow$$
$$(\ 6.\quad 4\quad 4\ )_8$$

$$(\ \mathbf{0110.\ 1001}\ )_2$$
$$\downarrow$$
$$(\ 6.\quad 9\ )_{16}$$

(4) 将$(\mathbf{101100.110011})_2$转换为八进制和十六进制数得到

$$(\mathbf{101100.110011})_2$$
$$\downarrow$$
$$(\ \mathbf{101\ 100.\ 110\ 011}\ )_2$$
$$\downarrow\quad\downarrow\quad\downarrow\quad\downarrow$$
$$(\ 5\quad 4.\quad 6\quad 3\ )_8$$

$$(\mathbf{101100.110011})_2$$
$$\downarrow$$
$$(\ \mathbf{0010\quad 1100.\quad 1100\quad 1100}\ )_2$$
$$\downarrow\quad\downarrow$$
$$(\ 2\quad C.\quad C\quad C\ )_{16}$$

【题 1.6】 将下列十六进制数转换为等值的二进制数。

(1) $(8C)_{16}$;(2) $(3D.BE)_{16}$;(3) $(8F.FF)_{16}$;(4) $(10.00)_{16}$。

解:

(1) 将$(8C)_{16}$中每一位十六进制数代之以等值的 4 位二进制数,得到

$$(\ 8\quad C\ )_{16}$$
$$\downarrow\quad\downarrow$$
$$(\ \mathbf{1000\quad 1100}\ )_2$$

(2) 将$(3D.BE)_{16}$中的每一位十六进制数代之以等值的4位二进制数,得到

$$\begin{array}{cccccc} (& 3 & D. & B & E &)_{16} \\ & \downarrow & \downarrow & \downarrow & \downarrow & \\ (& \mathbf{0011} & \mathbf{1101.} & \mathbf{1011} & \mathbf{1110} &)_2 \end{array}$$

(3) 将$(8F.FF)_{16}$中的每一位十六进制数代之以等值的4位二进制数,得到

$$\begin{array}{cccccc} (& 8 & F. & F & F &)_{16} \\ & \downarrow & \downarrow & \downarrow & \downarrow & \\ (& \mathbf{1000} & \mathbf{1111.} & \mathbf{1111} & \mathbf{1111} &)_2 \end{array}$$

(4) 将$(10.00)_{16}$中的每一位十六进制数代之以等值的4位二进制数,得到

$$\begin{array}{cccccc} (& 1 & 0. & 0 & 0 &)_{16} \\ & \downarrow & \downarrow & \downarrow & \downarrow & \\ (& \mathbf{0001} & \mathbf{0000.} & \mathbf{0000} & \mathbf{0000} &)_2 \end{array}$$

【题1.7】 将下列十进制数转换为等值的二进制数和十六进制数。

(1) $(17)_{10}$;(2) $(127)_{10}$;(3) $(79)_{10}$;(4) $(255)_{10}$。

解:

(1)

$$\begin{array}{r|l} 2 & 17 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\ 2 & 8 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\ 2 & 4 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_2 \\ 2 & 2 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_3 \\ 2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\ & 0 \end{array}$$

故得到$(17)_{10} = (\mathbf{10001})_2$。

$$(\mathbf{10001})_2 = (\mathbf{0001} \quad \mathbf{0001})_2$$
$$\downarrow \quad \downarrow$$
$$= (\ 1 \quad\ 1\ )_{16}$$

(2)

$$\begin{array}{r|l} 2 & 127 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\ 2 & 63 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_1 \\ 2 & 31 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\ 2 & 15 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\ 2 & 7 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\ 2 & 3 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_5 \\ 2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_6 \\ & 0 \end{array}$$

故得到$(127)_{10} = (\mathbf{1111111})_2$。

$$(\mathbf{1111111})_2 = (\mathbf{0111} \quad \mathbf{1111})_2$$
$$\downarrow \quad \downarrow$$
$$= (\ 7 \quad\ F\ )_{16}$$

(3)

$$
\begin{array}{r|l}
2 & 79 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 39 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_1 \\
2 & 19 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\
2 & 9 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\
2 & 4 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_3 \\
2 & 2 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_4 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_5 \\
\multicolumn{2}{r}{0}
\end{array}
$$

故得到$(79)_{10}=(\mathbf{1001111})_2$。

$$
\begin{array}{c}
(\mathbf{0100\ 1111})_2 \\
\downarrow \quad \downarrow \\
=(\ 4 \quad F\ )_{16}
\end{array}
$$

(4)

$$
\begin{array}{r|l}
2 & 255 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 127 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_1 \\
2 & 63 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\
2 & 31 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\
2 & 15 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\
2 & 7 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_5 \\
2 & 3 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_6 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_7 \\
\multicolumn{2}{r}{0}
\end{array}
$$

故得到$(255)_{10}=(\mathbf{11111111})_2$。

$$
\begin{array}{c}
(\mathbf{1111\ 1111})_2 \\
\downarrow \quad \downarrow \\
=(\ F \quad F\ )_{16}
\end{array}
$$

【题 1.8】 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后 8 位有效数字。

(1) $(0.519)_{10}$;(2) $(0.251)_{10}$;(3) $(0.0376)_{10}$;(4) $(0.5128)_{10}$。

解:

(1)

$$
\begin{array}{l}
0.519 \\
\times \quad 2 \\
\hline
1.038 \quad \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-1} \\
0.038 \\
\times \quad\ 2 \\
\hline
0.076 \quad \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-2} \\
0.076 \\
\times \quad\ 2 \\
\hline
0.152 \quad \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-3}
\end{array}
$$

$$
\begin{array}{r}
0.152 \\
\times \quad 2 \\
\hline
0.304 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-4} \\
0.304 \\
\times \quad 2 \\
\hline
0.608 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-5} \\
0.608 \\
\times \quad 2 \\
\hline
1.216 \cdots\cdots \text{整数部分}=\mathbf{1}=k_{-6} \\
0.216 \\
\times \quad 2 \\
\hline
0.432 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-7} \\
0.432 \\
\times \quad 2 \\
\hline
0.864 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-8}
\end{array}
$$

故得$(0.519)_{10}=(\mathbf{0.10000100})_2$。再转换为十六进制,得到

$$
\begin{array}{l}
\qquad\qquad (\mathbf{0.1000\ 0100})_2 \\
\qquad\qquad\quad\ \downarrow \quad\ \downarrow \\
=(\quad 0.8 \quad\ 4\ )_{16}
\end{array}
$$

(2)

$$
\begin{array}{r}
0.251 \\
\times \quad 2 \\
\hline
0.502 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-1} \\
0.502 \\
\times \quad 2 \\
\hline
1.004 \cdots\cdots \text{整数部分}=\mathbf{1}=k_{-2} \\
0.004 \\
\times \quad 2 \\
\hline
0.008 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-3} \\
0.008 \\
\times \quad 2 \\
\hline
0.016 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-4} \\
0.016 \\
\times \quad 2 \\
\hline
0.032 \cdots\cdots \text{整数部分}=\mathbf{0}=k_{-5}
\end{array}
$$

0.032
× 2
0.064 ……整数部分 = **0** = k_{-6}
0.064
× 2
0.128 ……整数部分 = **0** = k_{-7}
0.128
× 2
0.256 ……整数部分 = **0** = k_{-8}

故得$(0.251)_{10}=(\mathbf{0.01000000})_2$。

$$(\mathbf{0.0100\ 0000})_2$$
$$\downarrow \quad \downarrow$$
$$=(\ 0.4 \quad 0\ )_{16}$$

(3)

0.0376
× 2
0.0752 ……整数部分 = **0** = k_{-1}
0.0752
× 2
0.1504 ……整数部分 = **0** = k_{-2}
0.1504
× 2
0.3008 ……整数部分 = **0** = k_{-3}
0.3008
× 2
0.6016 ……整数部分 = **0** = k_{-4}
0.6016
× 2
1.2032 ……整数部分 = **1** = k_{-5}
0.2032
× 2
0.4064 ……整数部分 = **0** = k_{-6}
0.4064
× 2
0.8128 ……整数部分 = **0** = k_{-7}

$$
\begin{array}{r}
0.8128 \\
\times \quad 2 \\
\hline
1.6256 \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-8}
\end{array}
$$

故得$(0.0376)_{10} = (\mathbf{0.00001001})_2$。再转换为十六进制,得到

$$
\begin{array}{c}
(\mathbf{0.0000\ 1001})_2 \\
\downarrow \quad \downarrow \\
=(\ 0.0 \quad 9\ )_{16}
\end{array}
$$

(4)

$$
\begin{array}{r}
0.5128 \\
\times \quad 2 \\
\hline
1.0256 \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-1} \\
0.0256 \\
\times \quad 2 \\
\hline
0.0512 \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-2} \\
0.0512 \\
\times \quad 2 \\
\hline
0.1024 \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-3} \\
0.1024 \\
\times \quad 2 \\
\hline
0.2048 \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-4} \\
0.2048 \\
\times \quad 2 \\
\hline
0.4096 \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-5} \\
0.4096 \\
\times \quad 2 \\
\hline
0.8192 \cdots\cdots \text{整数部分} = \mathbf{0} = k_{-6} \\
0.8192 \\
\times \quad 2 \\
\hline
1.6384 \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-7} \\
0.6384 \\
\times \quad 2 \\
\hline
1.2768 \cdots\cdots \text{整数部分} = \mathbf{1} = k_{-8}
\end{array}
$$

故得$(0.5128)_{10} = (\mathbf{0.10000011})_2$。再转换为十六进制,得到

$$
\begin{array}{c}
(\mathbf{0.1000\ 0011})_2 \\
\downarrow \quad \downarrow \\
=(\ 0.8 \quad 3\ )_{16}
\end{array}
$$

【题 1.9】 将下列十进制数转换为等值的二进制数和十六进制数。要求二进制数保留小数点以后 4 位有效数字。

(1) $(25.7)_{10}$;(2) $(188.875)_{10}$;(3) $(107.39)_{10}$;(4) $(174.06)_{10}$。

解:

(1) 将整数部分和小数部分分别转换

2 | 25 ……余数 = **1** = k_0

2 | 12 ……余数 = **0** = k_1

2 | 6 ……余数 = **0** = k_2

2 | 3 ……余数 = **1** = k_3

2 | 1 ……余数 = **1** = k_4

0

0.7 × 2 = 1.4 ……整数部分 = **1** = k_{-1}

0.4 × 2 = 0.8 ……整数部分 = **0** = k_{-2}

0.8 × 2 = 1.6 ……整数部分 = **1** = k_{-3}

0.6 × 2 = 1.2 ……整数部分 = **1** = k_{-4}

故得到 $(25.7)_{10} = (\mathbf{11001.1011})_2$。再转换为十六进制,得到

$$(\mathbf{11001.1011})_2 = (\mathbf{0001\ 1001.1011})_2$$

$$\downarrow \quad \downarrow \quad \downarrow$$

$$= (\ 1 \quad 9. \quad B\ )_{16}$$

(2) 将整数部分和小数部分分别转换

2 | 188 ……余数 = **0** = k_0

2 | 94 ……余数 = **0** = k_1

2 | 47 ……余数 = **1** = k_2

2 | 23 ……余数 = **1** = k_3

2 | 11 ……余数 = **1** = k_4

2 | 5 ……余数 = **1** = k_5

2 | 2 ……余数 = **0** = k_6

2 | 1 ……余数 = **1** = k_7

0

0.875 × 2 = 1.750 ……整数部分 = **1** = k_{-1}

0.750 × 2 = 1.500 ……整数部分 = **1** = k_{-2}

0.500 × 2 = 1.000 ……整数部分 = **1** = k_{-3}

0.000 × 2 = 0.000 ……整数部分 = **0** = k_{-4}

$$(\mathbf{1011\ 1100.1110})_2$$

故得到$(188.875)_{10}=(\mathbf{10111100.1110})_2$。再转换为十六进制,得到

$$=(\ B\quad C.\quad E\ )_{16}$$

(3) 将整数部分和小数部分分别转换

2 | 107 ……余数 $=\mathbf{1}=k_0$

2 | 53 ……余数 $=\mathbf{1}=k_1$

2 | 26 ……余数 $=\mathbf{0}=k_2$

2 | 13 ……余数 $=\mathbf{1}=k_3$

2 | 6 ……余数 $=\mathbf{0}=k_4$

2 | 3 ……余数 $=\mathbf{1}=k_5$

2 | 1 ……余数 $=\mathbf{1}=k_6$

0

0.39 × 2 = 0.78 ……整数部分 $=\mathbf{0}=k_{-1}$

0.78 × 2 = 1.56 ……整数部分 $=\mathbf{1}=k_{-2}$

0.56 × 2 = 1.12 ……整数部分 $=\mathbf{1}=k_{-2}$

0.12 × 2 = 0.24 ……整数部分 $=\mathbf{0}=k_{-3}$

故得到$(107.39)_{10}=(\mathbf{1101011.0110})_2$。再转换为十六进制,得到

$$(\mathbf{0110\ 1011.0110})_2$$

$$=(\ 6\quad B.\quad 6\ )_{16}$$

(4) 将整数部分和小数部分分别转换

2 | 174 ……余数 $=\mathbf{0}=k_0$

2 | 87 ……余数 $=\mathbf{1}=k_1$

2 | 43 ……余数 $=\mathbf{1}=k_2$

2 | 21 ……余数 $=\mathbf{1}=k_3$

2 | 10 ……余数 $=\mathbf{0}=k_4$

2 | 5 ……余数 $=\mathbf{1}=k_5$

2 | 2 ……余数 $=\mathbf{0}=k_6$

2 | 1 ……余数 $=\mathbf{1}=k_7$

0

0.06 × 2 = 0.12 ……整数部分 $=\mathbf{0}=k_{-1}$

0.12 × 2 = 0.24 ……整数部分 $=\mathbf{0}=k_{-2}$

0.24 × 2 = 0.48 ……整数部分 $=\mathbf{0}=k_{-3}$

0.48 × 2 = 0.96 ……整数部分 $=\mathbf{0}=k_{-4}$

故得到$(174.06)_{10}=(\mathbf{10101110.0000})_2$。转换为十六进制后得到

$$(\mathbf{1010\ 1110.0000})_2$$
$$\downarrow \quad \downarrow \quad \downarrow$$
$$=(\ \mathrm{A}\quad \mathrm{E}.\quad 0\ )_{16}$$

【题 1.10】 写出下列二进制数的原码、反码和补码。

(1) $(+\mathbf{1011})_2$;(2) $(+\mathbf{00110})_2$;(3) $(-\mathbf{1101})_2$;(4) $(-\mathbf{00101})_2$。

解:

(1) 正数的反码、补码与原码相同,均为 **01011**。

(2) 原码、反码、补码均为 **000110**。

(3) 原码为 **11101**,反码为 **10010**,补码为 **10011**。

(4) 原码为 **100101**,反码为 **111010**,补码为 **111011**。

【题 1.11】 写出下列带符号位二进制数(最高位为符号位)的反码和补码。

(1) $(\mathbf{011011})_2$;(2) $(\mathbf{001010})_2$;(3) $(\mathbf{111011})_2$;(4) $(\mathbf{101010})_2$。

解:

(1) 符号位为 **0**,该数为正数,故反码和补码与原码相同,均为 **011011**。

(2) 符号位为 **0**,该数为正数,故反码和补码、原码相同,均为 **001010**。

(3) 符号位为 **1**,该数为负数。反码为 **100100**,补码为 **100101**。

(4) 符号位为 **1**,该数为负数,反码为 **110101**,补码为 **110110**。

【题 1.12】 用 8 位的二进制补码表示下列的十进制数。

(1) +17; (2) +28; (3) -13; (4) -47; (5) -89; (6) -121。

解: 首先需要把每个十进制数的绝对值转换为 7 位的二进制数,然后加上 1 位符号位,就得到了 8 位的原码,再将原码化成补码形式。

(1) 求+17 的补码

$$\begin{array}{l|l} 2 & 17 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\ 2 & 8 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\ 2 & 4 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_2 \\ 2 & 2 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_3 \\ 2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\ & 0 \end{array}$$

故得 $(17)_{10}=(\mathbf{10001})_2$。在高位加 00 将绝对值表示为 7 位二进制数,再在绝对值前面增加一位符号位 **0**(正数),就得到原码 **00010001**。它的补码与原码相同,也是 **00010001**。

(2) 求+28 的补码

$$\begin{array}{l|l} 2 & 28 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_0 \\ 2 & 14 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\ 2 & 7 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\ 2 & 3 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\ 2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\ & 0 \end{array}$$

故得 $(28)_{10}=(\mathbf{11100})_2=(\mathbf{0011100})_2$。在绝对值前面加上符号位 **0**,得到原码 **00011100**。补

码与原码相同,也是 **00011100**。

(3) 求-13 的补码

$$
\begin{array}{l|l}
2 & 13 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 6 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\
2 & 3 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\
\multicolumn{2}{c}{0}
\end{array}
$$

故得 $(13)_{10} = (\mathbf{1101})_2 = (\mathbf{0001101})_2$。在绝对值前面加上符号位 **1**,得到原码 **10001101**。从原码化成补码后得到 **11110011**。

(4) 求-47 的补码

$$
\begin{array}{l|l}
2 & 47 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 23 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_1 \\
2 & 11 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_2 \\
2 & 5 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\
2 & 2 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_4 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_5 \\
\multicolumn{2}{c}{0}
\end{array}
$$

故得 $(47)_{10} = (\mathbf{101111})_2 = (\mathbf{0101111})_2$。在绝对值前面加上符号位 **1**,得原码为 **10101111**。将原码化成补码后得到 **11010001**。

(5) 求-89 的补码

$$
\begin{array}{l|l}
2 & 89 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 44 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\
2 & 22 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_2 \\
2 & 11 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\
2 & 5 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\
2 & 2 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_5 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_6 \\
\multicolumn{2}{c}{0}
\end{array}
$$

故得 $(89)_{10} = (\mathbf{1011001})_2$。在绝对值前面加上符号位 **1**,得到原码为 **11011001**。将原码化为补码后得到 **10100111**。

(6) 求-121 的补码

$$
\begin{array}{l|l}
2 & 121 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_0 \\
2 & 60 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_1 \\
2 & 30 \quad \cdots\cdots \text{余数} = \mathbf{0} = k_2 \\
2 & 15 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_3 \\
2 & 7 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_4 \\
2 & 3 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_5 \\
2 & 1 \quad \cdots\cdots \text{余数} = \mathbf{1} = k_6 \\
\multicolumn{2}{c}{0}
\end{array}
$$

故得$(121)_{10}=(\mathbf{1111001})_2$。在绝对值前加上符号位**1**,得到原码为**11111001**。将它化成补码后得**10000111**。

【题 1.13】 计算下列用补码表示的二进制数的代数和。如果和为负数,试求出负数的绝对值。

(1) **01001101+00100110**; (2) **00011101+01001100**;

(3) **00110010+10000011**; (4) **00011110+10011100**;

(5) **11011101+01001011**; (6) **10011101+01100110**;

(7) **11100111+11011011**; (8) **11111001+10001000**。

解:

(1)
$$\begin{array}{r} 01001101 \\ +\ 00100110 \\ \hline 01110011 \end{array}$$

符号位等于**0**,和为正数。

(2)
$$\begin{array}{r} 00011101 \\ +\ 01001100 \\ \hline 01101001 \end{array}$$

符号位等于**0**,和为正数**01101001**。

(3)
$$\begin{array}{r} 00110010 \\ +\ 10000011 \\ \hline 10110101 \end{array}$$

符号位等于**1**,和为负数。将和的补码再求补,得原码**11001011**。故和的绝对值为**1001011**。

(4)
$$\begin{array}{r} 00011110 \\ +\ 10011100 \\ \hline 10111010 \end{array}$$

符号位等于**1**,和为负数。将和的补码再求补,得原码**11000110**。故和的绝对值为**1000110**。

(5)
$$\begin{array}{r} 11011101 \\ +\ 01001011 \\ \hline 00101000 \end{array}$$

符号位等于**0**,和为正数**00101000**。

(6)
$$\begin{array}{r} 10011101 \\ +\ 01100110 \\ \hline 00000011 \end{array}$$

符号位等于**0**,和为正数**00000011**。

(7)
$$\begin{array}{r} 11100111 \\ +\ 11011011 \\ \hline 11000010 \end{array}$$

符号位等于**1**,和为负数。将和的补码再求补,得原码**10111110**。故和的绝对值为**0111110**。

(8)
$$\begin{array}{r} 11111001 \\ +\ 10001000 \\ \hline 10000001 \end{array}$$

符号位等于**1**,和为负数。将和的补码再求补,得原码**11111111**。故和的绝对值为**1111111**。

【题 1.14】 用二进制补码运算计算下列各式。式中的 4 位二进制数是不带符号位的绝对值。如果和为负数,试求出负数的绝对值。(提示:所用补码的有效位数应足够表示代数和的最大绝大值。)

(1) **1010+0011**;(2) **1101+1011**;(3) **1010−0011**;(4) **1101−1011**;

(5) **0011−1010**;(6) **1011−1101**;(7) **−0011−1010**;(8) **−1101−1011**。

解:

(1) 因为和的绝对值小于 2^4,故可采用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**1010** 的补码为 **01010**,**0011** 的补码为 **00011**。

$$\begin{array}{r} 01010 \\ +\ 00011 \\ \hline 01101 \end{array}$$

得到和的补码为 **01101**。符号位等于 **0**,和为正数。

(2) 因为和的绝对值大于 2^4 而小于 2^5,所以需要用 6 位的二进制补码(符号位加 5 位有效数字)表示两个加数。**1101** 的补码为 **001101**,**1011** 的补码为 **001011**。

$$\begin{array}{r} 001101 \\ +\ 001011 \\ \hline 011000 \end{array}$$

得到和的补码为 **011000**。符号位等于 **0**,和为正数。

(3) 因为和的绝对值小于 2^4,故可用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**1010** 的补码为 **01010**,**−0011** 的补码为 **11101**。

$$\begin{array}{r} 01010 \\ +\ 11101 \\ \hline 00111 \end{array}$$

得到和的补码为 **00111**。符号位等于 **0**,和为正数。

(4) 因为和的绝对值小于 2^4,故可用五位二进制补码(符号位加 4 位有效数字)表示两个加数。**1101** 的补码为 **01101**,**−1011** 的补码为 **10101**。

$$\begin{array}{r} 01101 \\ +\ 10101 \\ \hline 00010 \end{array}$$

得到和的补码为 **00010**。符号位等于 **0**，和为正数。

(5) 因为和的绝对值小于 2^4，所以可用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**0011** 的补码为 **00011**，**-1010** 的补码为 **10110**。

$$\begin{array}{r} 00011 \\ +\ 10110 \\ \hline 11001 \end{array}$$

得到和的补码为 **11001**。符号位等于 **1**，表示和为负数。将和的补码再求补，得到原码 **10111**，和的绝对值等于 **0111**。

(6) 因为和的绝对值小于 2^4，所以用 5 位的二进制补码(符号位加 4 位有效数字)表示两个加数。**1011** 的补码为 **01011**，**-1101** 的补码为 **10011**。

$$\begin{array}{r} 01011 \\ +\ 10011 \\ \hline 11110 \end{array}$$

得到和的补码为 **11110**。符号位等于 **1**，和为负数。将和的补码再求补，得原码 **10010**。故知和的绝对值等于 **0010**。

(7) 因为和的绝对值小于 2^4，所以用 5 位的二进制补码表示两个加数。**-0011** 的补码为 **11101**，**-1010** 的补码为 **10110**。

$$\begin{array}{r} 11101 \\ +\ 10110 \\ \hline 10011 \end{array}$$

得到和的补码为 **10011**。符号位等于 **1**，和为负数。将和的补码再求补，得原码 **11101**，故和的绝对值为 **1101**。

(8) 因为和的绝对值大于 2^4 而小于 2^5，所以需要用 6 位的二进制补码表示两个加数。**-1101** 的补码写作 **110011**，**-1011** 的补码写作 **110101**。

$$\begin{array}{r} 110011 \\ +\ 110101 \\ \hline 101000 \end{array}$$

得到和的补码为 **101000**。符号位等于 **1**，和为负数。将和的补码再求补，得原码 **111000**，和的绝对值为 **11000**。

【题 1.15】 用二进制补码运算计算下列各式。(提示：所用补码的有效位数应足够表示代数和的最大绝对值。)

(1) 3+15；(2) 8+11；(3) 12-7；(4) 23-11；(5) 9-12；(6) 20-25；

(7) -12-5;(8) -16-14。

解:

(1) 和的绝对值等于18,需要用5位二进制数表示。加上符号位以后,补码应有6位。+3的补码写作**000011**,+15的补码写作**001111**。

$$\begin{array}{r} 000011 \\ +\ 001111 \\ \hline 010010 \end{array}$$

得到和的补码为**010010**(+18)。

(2) 和的绝对值等于19,需要用5位二进制数表示。加上符号位以后,补码应为6位。+8的补码写作**001000**,+11的补码写作**001011**。相加后得到

$$\begin{array}{r} 001000 \\ +\ 001011 \\ \hline 010011 \end{array}$$

和的补码为**010011**(+19)。

(3) 和的绝对值和加数的绝对值均小于16,可以用5位的二进制补码(符号位加4位有效数字)运算。+12的补码写作**01100**,-7的补码写作**11001**。将两数的补码相加

$$\begin{array}{r} 01100 \\ +\ 11001 \\ \hline 00101 \end{array}$$

得到和的补码为**00101**(+5)。

(4) 用二进制数表示23需要5位代码,加上符号位以后,补码应有6位。+23的补码写作**010111**,-11的补码写作**110101**,相加后得到

$$\begin{array}{r} 010111 \\ +\ 110101 \\ \hline 001100 \end{array}$$

和的补码为**001100**(+12)。

(5) +9的补码写作**01001**,-12的补码写作**10100**。将两个补码相加

$$\begin{array}{r} 01001 \\ +\ 10100 \\ \hline 11101 \end{array}$$

得到和的补码为**11101**,和为负值。如再求补,则得到和的原码**10011**(-3)。

(6) 用二进制数表示25需要5位,再加1位符号位,补码应有6位。+20的补码写作**010100**,-25的补码写作**100111**。将两个补码相加

$$\begin{array}{r} 010100 \\ +\ 100111 \\ \hline 111011 \end{array}$$

得到和的补码为 **111011**，和为负数。如再求补，则得到和的原码 **100101**(-5)。

(7) 和的绝对值为 17，转换成二进制时为 5 位数，再加上一位符号位，补码需用 6 位。-12 的补码写作 **110100**，-5 的补码写作 **111011**。将两个补码相加

$$\begin{array}{r} 110100 \\ +\ 111011 \\ \hline 101111 \end{array}$$

得到和的补码为 **101111**，和为负数。如果将和的补码再求补，则可得原码 **110001**(-17)。

(8) 因为和的绝对值是 30，所以需要用 5 位二进制数表示，再加 1 位符号位，补码应有 6 位。-16 的补码写作 **110000**，-14 的补码写作 **110010**。将两个补码相加

$$\begin{array}{r} 110000 \\ +\ 110010 \\ \hline 100010 \end{array}$$

得到和的补码为 **100010**，和为负数。如果将和的补码再求补，则可得它的原码为 **111110**(-30)。

第二章习题解答

【题 2.1】 试用列真值表的方法证明下列**异或**运算公式。

(1) $A\oplus\mathbf{0}=A$

(2) $A\oplus\mathbf{1}=A'$

(3) $A\oplus A=\mathbf{0}$

(4) $A\oplus A'=\mathbf{1}$

(5) $(A\oplus B)\oplus C=A\oplus(B\oplus C)$

(6) $A(B\oplus C)=AB\oplus AC$

(7) $A\oplus B'=(A\oplus B)'=A\oplus B\oplus\mathbf{1}$

解：将输入变量所有的取值逐一代入公式两边计算，然后将计算结果列成真值表。如果两边的真值表相同，则等式成立。

(1) 证明 $A\oplus\mathbf{0}=A$

A	**0**	$A\oplus\mathbf{0}$
0	**0**	**0**
1	**0**	**1**

(2) 证明 $A\oplus\mathbf{1}=A'$

A	**1**	$A\oplus\mathbf{1}$
0	**1**	**1**
1	**1**	**0**

(3) 证明 $A\oplus A=\mathbf{0}$

A	A	$A\oplus A$
0	**0**	**0**
1	**1**	**0**

(4) 证明 $A\oplus A'=\mathbf{1}$

A	A'	$A\oplus A'$
0	**1**	**1**
1	**0**	**1**

(5) 证明 $(A\oplus B)\oplus C=A\oplus(B\oplus C)$

A	B	C	$A\oplus B$	$B\oplus C$	$(A\oplus B)\oplus C$	$A\oplus(B\oplus C)$
0	**0**	**0**	**0**	**0**	**0**	**0**
0	**0**	**1**	**0**	**1**	**1**	**1**
0	**1**	**0**	**1**	**1**	**1**	**1**
0	**1**	**1**	**1**	**0**	**0**	**0**
1	**0**	**0**	**1**	**0**	**1**	**1**
1	**0**	**1**	**1**	**1**	**0**	**0**
1	**1**	**0**	**0**	**1**	**0**	**0**
1	**1**	**1**	**0**	**0**	**1**	**1**

（6）证明 $A(B\oplus C)=AB\oplus AC$

A	B	C	$B\oplus C$	AB	AC	$A(B\oplus C)$	$AB\oplus AC$
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	0
1	0	0	0	0	0	0	0
1	0	1	1	0	1	1	1
1	1	0	1	1	0	1	1
1	1	1	0	1	1	0	0

（7）证明 $A\oplus B'=(A\oplus B)'=A\oplus B\oplus 1$

A	B	B'	$A\oplus B'$	$A\oplus B$	$(A\oplus B)'$	$A\oplus B\oplus 1$
0	0	1	1	0	1	1
0	1	0	0	1	0	0
1	0	1	0	1	0	0
1	1	0	1	0	1	1

【题 2.2】 证明下列逻辑恒等式（方法不限）

（1）$AB'+B+A'B=A+B$

（2）$(A+C')(B+D)(B+D')=AB+BC'$

（3）$((A+B+C')'C'D)'+(B+C')(AB'D+B'C')=1$

（4）$A'B'C'+A(B+C)+BC=(AB'C'+A'B'C+A'BC')'$

解： 在前面的解题方法中我们介绍了四种证明逻辑恒等式的方法，即列真值表的方法、用公式和定理推演的方法、画卡诺图的方法进行化简的方法。

在实际应用中，除非逻辑式很简单、而且逻辑变量数很少的情况下，一般不宜用列真值表的方法。对多变量、复杂的逻辑等式，通常采用公式推演或公式推演与画卡诺图相结合的方法去证明。如果有条件使用 Multisim 等 EDA 软件进行证明，则更加简单、便捷。

下面采用公式推演的方法来进行证明。

（1）用公式推演将等式左边化简，得到

$$AB'+B+A'B=A+A'B=A+B$$

所得结果与等式右边相同，故等式成立。

（2）用公式推演将等式左边化简为

$$\begin{aligned}(A+C')(B+D)(B+D')&=(A+C')(B+BD'+BD+DD')\\&=(A+C')B\end{aligned}$$

$$=AB+BC'$$

所得结果与等式右边相同,故等式成立。

(3) 用公式推演将等式左边化为

$$\begin{aligned}&((A+B+C')'C'D)'+(B+C')(AB'D+B'C')\\&=A+B+C'+(C'D)'+(B+C')(AB'D+B'C')\\&=A+B+C'+C+D'+(B+C')(AB'D+B'C')\\&=(C'+C)+A+B+D'+(B+C')(AB'D+B'C')\\&=1+A+B+D'+(B+C')(AB'D+B'C')=1\end{aligned}$$

故等式成立。

(4) 用公式推演将等式左边写成

$$A'B'C'+A(B+C)+BC=A'B'C'+AB+AC+BC$$

将等式右边变换为**与或**式,得到

$$\begin{aligned}(AB'C'+A'B'C+A'BC')'&=(AB'C')'(A'B'C)'(A'BC')'\\&=(A'+B+C)(A+B+C')(A+B'+C)\\&=(A'C'+B+AC)(A+B'+C)\\&=A'B'C'+AB+BC+AC\end{aligned}$$

可见,等式成立。

在用公式推导证明逻辑等式时并不要求必须将等式两边化成最简的**与或**形式,只要能把等式两边变换为相同的逻辑式就行了。本题的(1)、(2)、(3)小题中,因为等式右边已经是最简**与或**式了,所以将左边的式子化成与右边的式子相同的过程也就是化简过程了。

【题 2.3】 已知逻辑函数 Y_1 和 Y_2 的真值表如表 P2.3(a)、(b)所示,试写出 Y_1 和 Y_2 的逻辑函数式。

表 P2.3(a)

A	B	C	Y_1
0	0	0	1→$A'B'C'$
0	0	1	1→$A'B'C$
0	1	0	0
0	1	1	0
1	0	0	1→$AB'C'$
1	0	1	1→$AB'C$
1	1	0	0
1	1	1	1→ABC

表 P2.3(b)

A	B	C	D	Y_2
0	0	0	0	0
0	0	0	1	1→$A'B'C'D$
0	0	1	0	1→$A'B'CD'$
0	0	1	1	0
0	1	0	0	1→$A'BC'D'$
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1→$A'BCD$
1	0	0	0	1→$AB'C'D'$
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1→$AB'CD$
1	1	0	0	0
1	1	0	1	1→$ABC'D$
1	1	1	0	1→$ABCD'$
1	1	1	1	0

解：找出 Y_1（或 Y_2）为 **1** 时的输入变量取值组合，写出在这些变量取值下其值为 **1** 的最小项（如表中所示），将这些最小项相加，得到

$$Y_1=A'B'C'+A'B'C+AB'C'+AB'C+ABC$$

$$Y_2=A'B'C'D+A'B'CD'+A'BC'D'+A'BCD+AB'C'D'+AB'CD+ABC'D+ABCD'$$

【题 2.4】 已知逻辑函数的真值表如表 P2.4(a)、(b)所示，试写出对应的逻辑函数式。

解：参见上题的说明。

$$Y=A'B'C+A'BC'+AB'C'$$

$$Z=M'N'PQ+M'NPQ'+M'NPQ+MN'PQ+MNP'Q'+MNP'Q+MNPQ'+MNPQ$$

表 P2.4(a)

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

表 P2.4(b)

M	N	P	Q	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

【题 2.5】 列出下列逻辑函数的真值表。

(1) $Y_1=A'B+BC+ACD'$

(2) $Y_2=A'B'CD'+(B\oplus C)'D+AD$

解：

(1) Y_1 的真值表如表 A2.5(a)。

(2) 如果采用全部列表的方法，为直观起见，可以将 Y_2 式展开为

$$Y_2=A'B'CD'+AD+B'C'D+BCD$$

然后列出如表 A2.5(b)的真值表。

表 A2.5(a) Y_1 的真值表

A	B	C	D	$A'B$	BC	ACD'	Y_1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	1	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	1	1	0	1
0	1	1	1	1	1	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	1
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	0	1

表 A2.5(b) Y_2 的真值表

A	B	C	D	$A'B'CD'$	AD	$B'C'D$	BCD	Y_2
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	1
0	0	1	0	1	0	0	0	1
0	0	1	1	0	0	0	0	0
0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0
0	1	1	0	0	0	0	0	0

续表

A	B	C	D	$A'B'CD'$	AD	$B'C'D$	BCD	Y_2
0	1	1	1	0	0	0	1	1
1	0	0	0	0	0	0	0	0
1	0	0	1	0	1	1	0	1
1	0	1	0	0	0	0	0	0
1	0	1	1	0	1	0	0	1
1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	0	1
1	1	1	0	0	0	0	0	0
1	1	1	1	0	1	0	1	1

也可以将 $ABCD$ 的十六种取值逐一代入 Y_1 和 Y_2 的式中计算，求出对应的输出值，然后列出只包含 $ABCD$ 与 Y_1 和 Y_2 对应取值的真值表。

【题 2.6】 写出图 P2.6(a)、(b)所示电路的输出逻辑函数式。

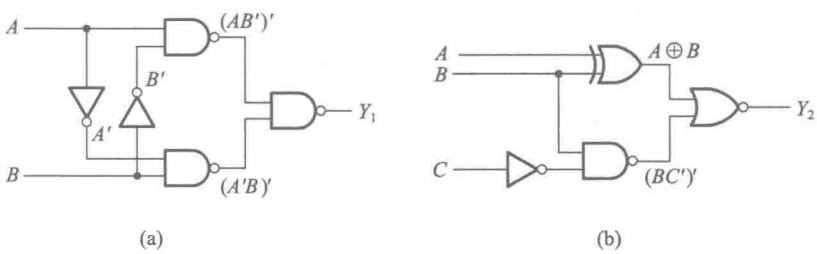


图 P2.6

解：从输入端向输出端逐级写出每个门的输出逻辑式，如图中所示，可得到

$$Y_1=((AB')'(A'B)')'=AB'+A'B=A\oplus B$$

$$Y_2=((A\oplus B)+(BC')')'=ABC'$$

因题目未要求化简，所以写出哪一步的式子都可以。

【题 2.7】 写出图 P2.7(a)、(b)所示电路的输出逻辑函数式。

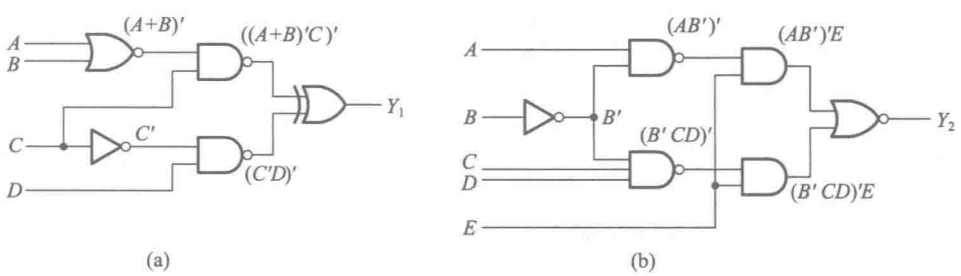


图 P2.7

解：从输入向输出逐级写出每个门的输出逻辑式，如图中所示，得到

$$\begin{aligned}
Y_1 &= ((A+B)'C)'\oplus(C'D)' \\
&= (A'B'C)'\oplus(C'D)' \\
&= A'B'C(C+D')+(A+B+C')C'D \\
&= A'B'C+A'B'CD'+AC'D+BC'D+C'D \\
&= A'B'C+C'D \\
Y_2 &= ((AB')'E+(B'CD)'E)' \\
&= ((AB')'E)'((B'CD)'E)' \\
&= (AB'+E')(B'CD+E') \\
&= AB'CD+E'
\end{aligned}$$

因为题目没有要求化简，所以写出逻辑式的哪一步都是可以的。

【题 2.8】 已知逻辑函数 Y 的波形图如图 P2.8 所示，试求 Y 的真值表和逻辑函数式。

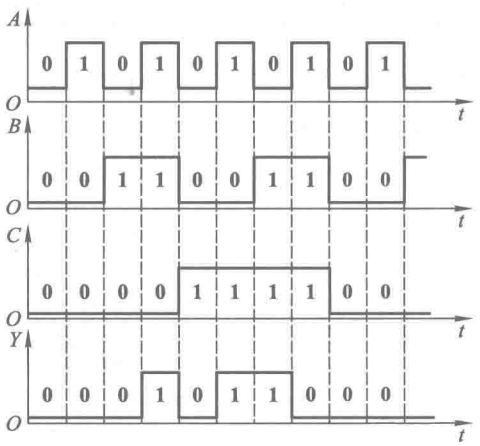


图 P2.8

解：根据波形图列出 Y 与 A、B、C 关系的真值表，如表 A2.8。从真值表写出逻辑式为

$$Y=ABC'+AB'C+A'BC$$

表 A2.8

C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

【题 2.9】 给定逻辑函数 Y 的波形图如图 P2.9 所示，试写出该逻辑函数的真值表和逻辑函数式。

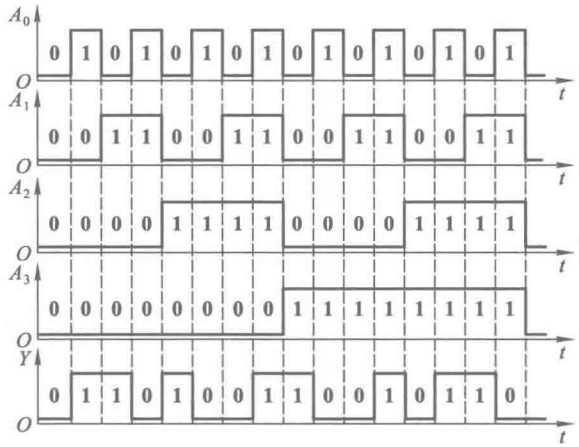


图 P2.9

解：由给定的波形图中每个时间段里 Y 与 A_0、A_1、A_2、A_3 对应的取值可列出函数的真值表，如表 A2.9。从真值表写出相应的逻辑式，得到

$$Y=A_3'A_2'A_1'A_0+A_3'A_2'A_1A_0'+A_3'A_2A_1'A_0'+A_3'A_2A_1A_0+A_3A_2'A_1'A_0'$$
$$+A_3A_2'A_1A_0+A_3A_2A_1'A_0+A_3A_2A_1A_0'$$

表 A2.9

A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

【题 2.10】 将下列各函数式化为最小项之和的形式。

(1) $Y=A'BC+AC+B'C$

(2) $Y=AB'C'D+BCD+A'D$

(3) $Y=A+B+CD$

(4) $Y=AB+((BC)'(C'+D'))'$

(5) $Y=LM'+MN'+NL'$

(6) $Y=((A\odot B)(C\odot D))'$

解:

(1) $Y=A'BC+AC(B+B')+B'C(A+A')$

$=A'BC+AB'C+ABC+A'B'C$

(2) $Y=AB'C'D+(A+A')BCD+A'D(B+B')(C+C')$

$=AB'C'D+A'BCD+ABCD+A'B'C'D+A'B'CD+A'BC'D$

(3) $Y=A(B+B')+B(A+A')+CD(A+A')(B+B')$

$=AB(C+C')(D+D')+A'B(C+C')(D+D')+$

$AB'(C+C')(D+D')+CD(A+A')(B+B')$

$=A'B'CD+A'BC'D'+A'BC'D+A'BCD'+A'BCD+AB'C'D'+$

$AB'C'D+AB'CD'+AB'CD+ABC'D'+ABC'D+ABCD'+ABCD$

$=\sum m(3,4,5,6,7,8,9,10,11,12,13,14,15)$

(4) $Y=AB+BC+CD$

$=ABC'D'+ABC'D+ABCD'+ABCD+A'BCD'+A'BCD+$

$A'B'CD+AB'CD$

(5) $Y=LM'N'+LM'N+L'MN'+LMN'+L'M'N+L'MN$

(6) $Y=(A\odot B)'+(C\odot D)'=(A\oplus B)+(C\oplus D)$

$=A'B+AB'+C'D+CD'$

$=A'BC'D'+A'BC'D+A'BCD'+A'BCD+AB'C'D'+AB'C'D+$

$AB'CD'+AB'CD+A'B'CD'+ABCD'+A'B'C'D+ABC'D$

$=\sum m(1,2,4,5,6,7,8,9,10,11,13,14)$

【题 2.11】 将下列各式化为最大项之积的形式。

(1) $Y=(A+B)(A'+B'+C')$

(2) $Y=AB'+C$

(3) $Y=A'BC'+B'C+AB'C$

(4) $Y=BCD'+C+A'D$

(5) $Y(A,B,C)=\sum m(1,2,4,6,7)$

(6) $Y(A,B,C,D)=\sum m(0,1,2,4,5,6,8,10,11,12,14,15)$

解:

(1) $Y=(A+B+CC')(A'+B'+C')$

$=(A+B+C)(A+B+C')(A'+B'+C')$

(2) $Y=(A+C)(B'+C)$

$$=(A+BB'+C)(AA'+B'+C)$$
$$=(A+B'+C)(A+B+C)(A'+B'+C)$$

(3) 首先将 Y 展开为最小项之和形式,得到

$$Y(A,B,C)=m_1+m_2+m_5$$

根据 $Y+Y'=1$ 以及全部最小项之和为 1 可知

$$Y'=m_0+m_3+m_4+m_6+m_7$$
$$Y=(Y')'=(m_0+m_3+m_4+m_6+m_7)'$$
$$=m_0'm_3'm_4'm_6'm_7'$$

又知 $m_i'=M_i$,故得

$$Y=M_0M_3M_4M_6M_7$$
$$=(A+B+C)(A+B'+C')(A'+B+C)(A'+B'+C)(A'+B'+C')$$

(4) $Y=BCD'+C+A'D$

$$=C+A'D$$
$$=(A'+C)(C+D)$$
$$=(A'+BB'+C)(AA'+C+D)$$
$$=(A'+B'+C+DD')(A'+B+C+DD')$$
$$(A'+BB'+C+D)(A+BB'+C+D)$$
$$=(A'+B'+C+D')(A'+B'+C+D)$$
$$(A'+B+C+D')(A'+B+C+D)$$
$$(A+B'+C+D)(A+B+C+D)$$

(5) 因为已知 $Y(A,B,C)=m_1+m_2+m_4+m_6+m_7$,所以

$$Y'(A,B,C)=m_0+m_3+m_5$$
$$Y(A,B,C)=(Y')'=(m_0+m_3+m_5)'=m_0'\cdot m_3'\cdot m_5'$$
$$=M_0\cdot M_3\cdot M_5$$
$$=(A+B+C)(A+B'+C')(A'+B+C')$$

(6) 因为已知

$$Y(A,B,C,D)=m_0+m_1+m_2+m_4+m_5+m_6+m_8+m_{10}+$$
$$m_{11}+m_{12}+m_{14}+m_{15}$$

所以可知

$$Y'(A,B,C,D)=m_3+m_7+m_9+m_{13}$$
$$Y(A,B,C,D)=(Y')'=(m_3+m_7+m_9+m_{13})'$$
$$=m_3'\cdot m_7'\cdot m_9'\cdot m_{13}'$$
$$=M_3\cdot M_7\cdot M_9\cdot M_{13}$$
$$=(A+B+C'+D')(A+B'+C'+D')$$
$$(A'+B+C+D')(A'+B'+C+D')$$

【题 2.12】 利用逻辑代数的基本公式和常用公式化简下列各式。

(1) $ACD'+D'$

(2) $AB'(A+B)$

(3) $AB'+AC+BC$

(4) $AB(A+B'C)$

(5) $E'F'+E'F+EF'+EF$

(6) $ABD+AB'CD'+AC'DE+A$

(7) $A'BC+(A+B')C$

(8) $AC+BC'+A'B$

解:

(1) $ACD'+D'=D'$

(2) $AB'(A+B)=AB'$

(3) $AB'+AC+BC=AB'+BC$

(4) $AB(A+B'C)=AB$

(5) $E'F'+E'F+EF'+EF=E'(F'+F)+E(F'+F)=E'+E=\mathbf{1}$

(6) $ABD+AB'CD'+AC'DE+A=A$

(7) $A'BC+(A+B')C=(A'B)C+(A'B)'C=C$

(8) $AC+BC'+A'B=AC+B(A'+C')=AC+(AC)'B=AC+B$

【题 2.13】 用逻辑代数的基本公式和常用公式将下列逻辑函数化为最简**与或**形式。

(1) $Y=AB'+B+A'B$

(2) $Y=AB'C+A'+B+C'$

(3) $Y=(A'BC)'+(AB')'$

(4) $Y=AB'CD+ABD+AC'D$

(5) $Y=AB'(A'CD+(AD+B'C')')(A'+B)$

(6) $Y=AC(C'D+A'B)+BC((B'+AD)'+CE)'$

(7) $Y=AC'+ABC+ACD'+CD$

(8) $Y=A+(B+C')'(A+B'+C)(A+B+C)$

(9) $Y=BC'+ABC'E+B'(A'D'+AD)'+B(AD'+A'D)$

(10) $Y=AC+AC'D+AB'E'F+B(D\oplus E)+BC'DE'+BC'D'E+ABE'F$

解:

(1) $Y=AB'+B+A'B=AB'+B=A+B$

(2) $Y=AB'C+A'+B+C'=AB'C+(AB'C)'=\mathbf{1}$

(3) $Y=(A'BC)'+(AB')'=A+B'+C'+A'+B$

$=(A+A')+(B+B')+C'=\mathbf{1}$

(4) $Y=AB'CD+ABD+AC'D=AD(B'C+B+C')=AD(C+C')=AD$

(5) $Y=AB'(A'CD+(AD+B'C')')(A'+B)$

$=(AB')(AB')'(A'CD+(AD+B'C')')=0$

(6) $Y=AC(C'D+A'B)+BC((B'+AD)'+CE)'$

$=BC(B'+AD)(CE)'=ABCD(C'+E')=ABCDE'$

(7) $Y=AC'+ABC+ACD'+CD=A(C'+BC)+C(AD'+D)$

$=A(C'+B)+C(A+D)$

$$=AC'+AB+AC+CD=A(C+C')+AB+CD$$

$$=A+CD$$

(8) $Y=A+(B+C')'(A+B'+C)(A+B+C)=A+B'C(A+C)$

$$=A+AB'C+B'C=A+B'C$$

(9) $Y=BC'+ABC'E+B'(A'D'+AD)'+B(AD'+A'D)$

$$=BC'+B'(AD'+A'D)+B(AD'+A'D)$$

$$=BC'+(B'+B)(AD'+A'D)=BC'+AD'+A'D$$

(10) $Y=AC+AC'D+AB'E'F+B(D\oplus E)+BC'DE'+BC'D'E+ABE'F$

$$=AC+ACD+AC'D+AB'E'F+B(D\oplus E)+BC'(D\oplus E)+ABE'F$$

$$=AC+AD+AE'F(B'+B)+B(D\oplus E)$$

$$=AC+AD+AE'F+B(D\oplus E)$$

【题 2.14】 写出图 P2.14 中各卡诺图所表示的逻辑函数式。

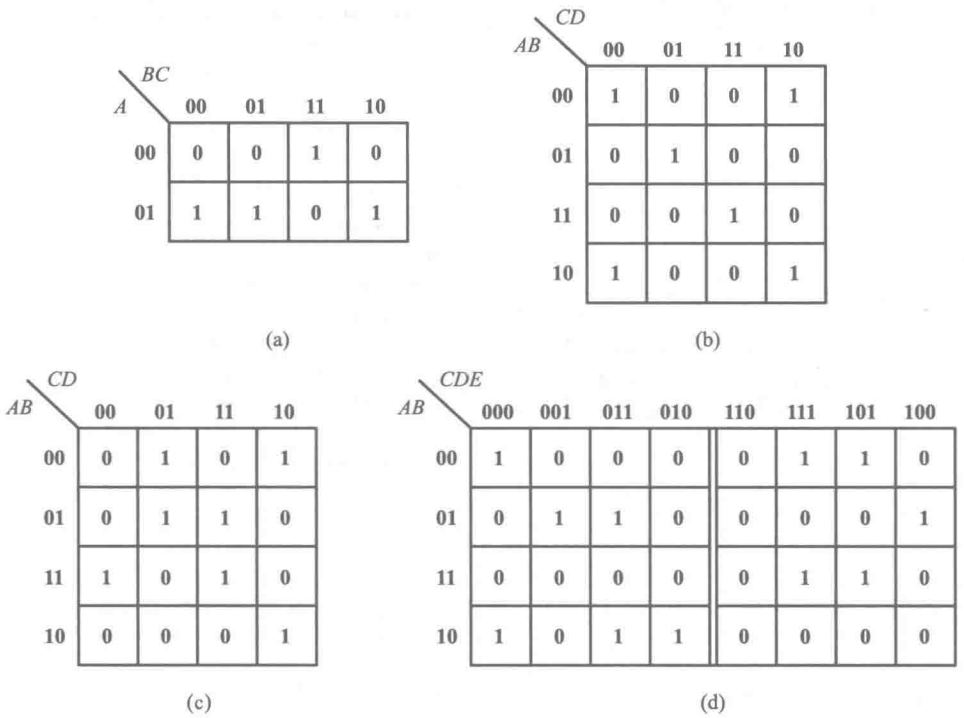


图 P2.14

解：

(a) $Y=A'BC+AB'C'+AB'C+ABC'$

(b) $Y=A'B'C'D'+A'B'CD'+A'BC'D+AB'C'D'+AB'CD'+ABCD$

(c) $Y=A'B'C'D+A'B'CD'+A'BC'D+A'BCD+AB'CD'+ABC'D'+ABCD$

(d) $Y=A'B'C'D'E'+A'B'CD'E+A'B'CDE+A'BC'D'E+A'BC'DE+$
$A'BCD'E'+AB'C'D'E'+AB'C'DE'+AB'C'DE+ABCD'E+ABCDE$

【题 2.15】 用卡诺图化简法化简以下逻辑函数。

(1) $Y_1=C+ABC$

(2) $Y_2=AB'C+BC+A'BC'D$

(3) $Y_3(A,B,C)=\sum m(1,2,3,7)$

(4) $Y_4(A,B,C,D)=\sum m(0,1,2,3,4,6,8,9,10,11,14)$

解：

(1) 画出 Y_1 的卡诺图，如图 A2.15(a)。将图中的 **1** 合并，得到

$$Y_1=C$$

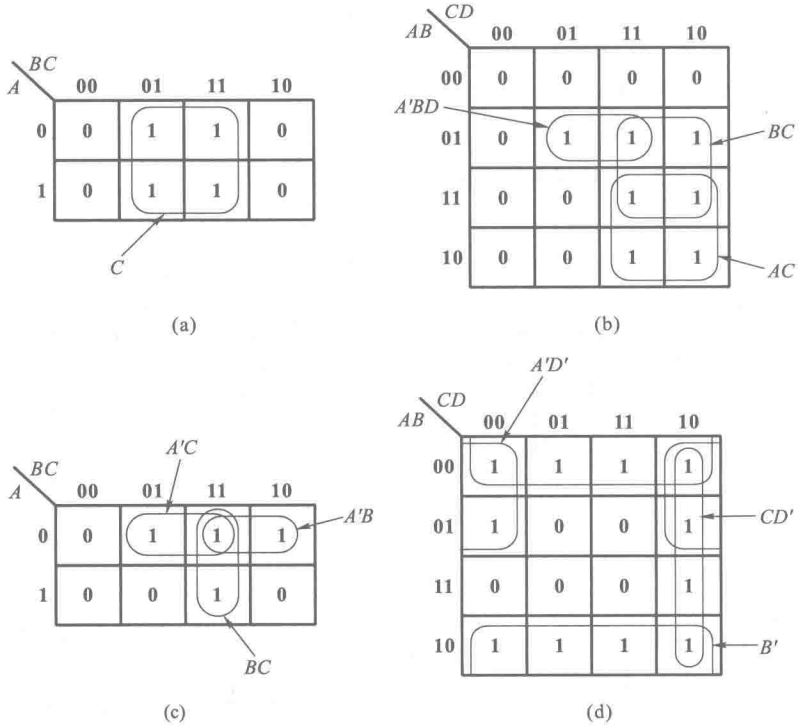


图 A2.15

(2) 画出 Y_2 的卡诺图，如图 A2.15(b)。按图中合并最小项方法得到

$$Y_2=A'BD+AC+BC$$

(3) 画出 Y_3 的卡诺图，如图 A2.15(c)。合并最小项后得到

$$Y_3=A'B+A'C+BC$$

(4) 画出 Y_4 的卡诺图，如图 A2.15(d)。合并最小项后得到

$$Y_4=A'D'+CD'+B'$$

【题 2.16】 用卡诺图化简法将下列函数化为最简**与或**形式。

(1) $Y=ABC+ABD+C'D'+AB'C+A'CD'+AC'D$

(2) $Y=AB'+A'C+BC+C'D$

(3) $Y=A'B'+BC'+A'+B'+ABC$

(4) $Y=A'B'+AC+B'C$

(5) $Y=AB'C'+A'B'+A'D+C+BD$

(6) $Y(A,B,C)=\sum m(0,1,2,5,6,7)$

(7) $Y(A,B,C,D)=\sum m(0,1,2,5,8,9,10,12,14)$

(8) $Y(A,B,C)=\sum m(1,4,7)$

解：

(1) 画出函数的卡诺图，如图 A2.16(a)。合并最小项后得到

$$Y=A+D'$$

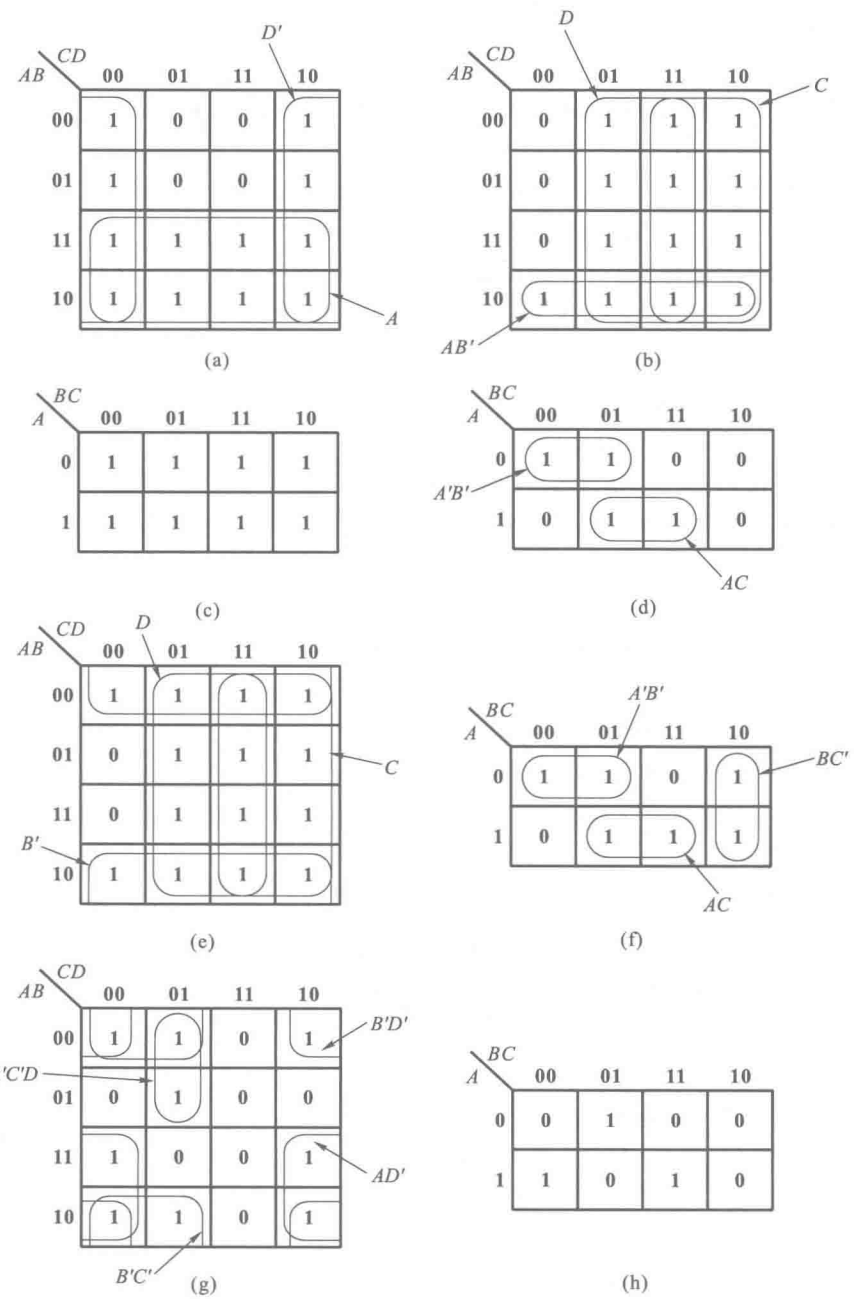


图 A2.16

(2) 画出函数的卡诺图,如图 A2.16(b)。合并最小项后得到

$$Y=AB'+C+D$$

(3) 画出函数的卡诺图,如图 A2.16(c)。合并最小项后得到

$$Y=\mathbf{1}$$

(4) 画出函数的卡诺图,如图 A2.16(d)。合并最小项后得到

$$Y=A'B'+AC$$

(5) 画出函数的卡诺图,如图 A2.16(e)。合并最小项后得到

$$Y=B'+C+D$$

(6) 画出函数的卡诺图,如图 A2.16(f)。合并最小项后得到

$$Y=A'B'+AC+BC'$$

(7) 画出函数的卡诺图,如图 A2.16(g)。合并最小项后得到

$$Y=AD'+B'C'+B'D'+A'C'D$$

(8) 画出函数的卡诺图,如图 A2.16(h)。由于最小项已不能合并,故仍为

$$Y=A'B'C+AB'C'+ABC=\sum m(1,4,7)$$

【题 2.17】 化简下列逻辑函数(方法不限)。

(1) $Y=AB'+A'C+C'D'+D$

(2) $Y=A'(CD'+C'D)+BC'D+AC'D+A'CD'$

(3) $Y=((A'+B')D)'+(A'B'+BD)C'+A'BC'D+D'$

(4) $Y=AB'D+A'B'C'D+B'CD+(AB'+C)'(B+D)$

(5) $Y=(AB'C'D+AC'DE+B'DE'+AC'D'E)'$

解:

(1) $Y=AB'+A'C+C'D'+D=AB'+A'C+C'+D=AB'+A'+C'+D$

$=A'+B'+C'+D$

(2) $Y=A'(CD'+C'D)+BC'D+AC'D+A'CD'$

$=A'CD'+A'C'D+BC'D+AC'D+A'CD'$

$=C'D(A'+A)+BC'D+A'CD'=C'D+B(C'D)+A'CD'$

$=C'D+A'CD'$

(3) $Y=((A'+B')D)'+(A'B'+BD)C'+A'BC'D+D'$

$=((AB)'D)'+A'B'C'+BC'D+A'BC'D+D'$

$=AB+D'+A'B'C'+BC'+A'BC'=AB+A'C'(B+B')+BC'+D'$

$=AB+A'C'+BC'+D'$

$=AB+A'C'+D'$

(4) 首先将函数展开为**与或**形式并化简

$$\begin{aligned}Y&=AB'D+A'B'C'D+B'CD+(AB'+C)'(B+D)\\&=AB'D+A'B'C'D+B'CD+(A'+B)C'(B+D)\\&=AB'D+A'B'C'D+B'CD+BC'+A'C'D\\&=AB'D+B'CD+BC'+A'C'D\end{aligned}$$

根据上式画出相应的卡诺图，如图 A2.17(a)。利用卡诺图进一步化简后得到

$$Y=BC'+B'D$$

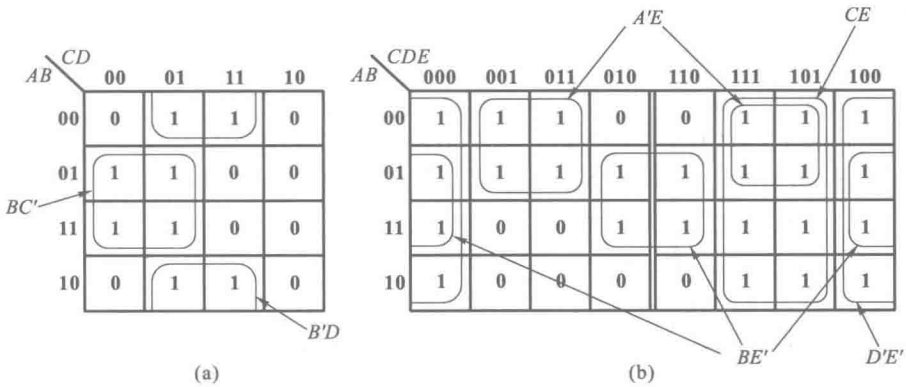


图 A2.17

(5) 画出函数的卡诺图。填写这个卡诺图时，只要在括号内各个最小项对应位置上填入 **0**，在其余位置上填入 **1** 就行了。将括号内的逻辑式化为最小项之和形式得到

$$Y(A,B,C,D,E)=(AB'C'D+AC'DE+B'DE'+AC'D'E)'$$

$$=(m_2+m_6+m_{17}+m_{18}+m_{19}+m_{22}+m_{25}+m_{27})'$$

将上式括号内最小项在卡诺图中的位置上填入 **0**，而在卡诺图中其余最小项位置上填入 **1**，就得到了图 A2.17(b)的卡诺图。合并最小项后得出

$$Y=A'E+CE+BE'+D'E'$$

合并最小项时需注意，图中以双线为轴左右对称的最小项也是相邻的。

【题 2.18】 写出图 P2.18 中各逻辑图的逻辑函数式，并化简为最简**与或**式。

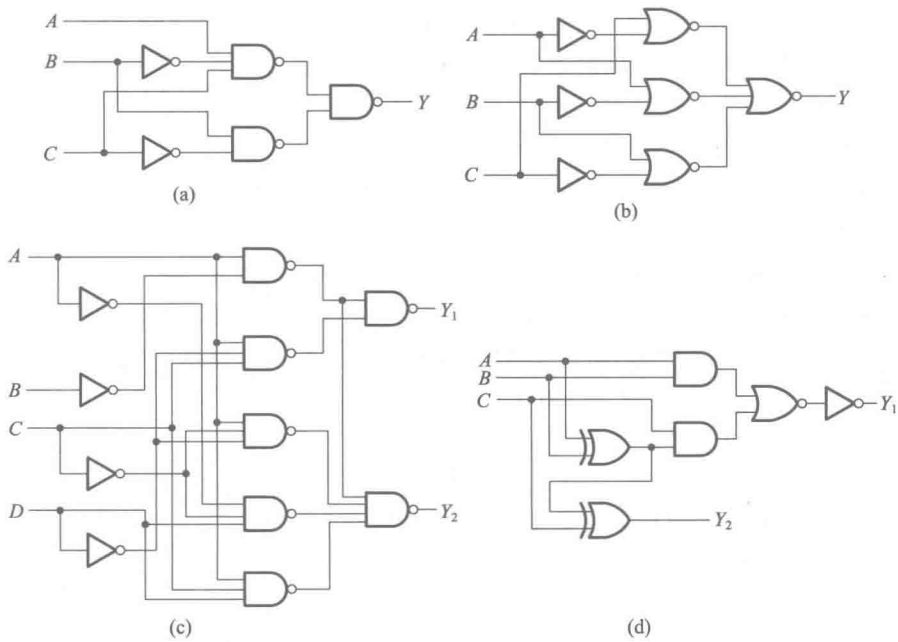


图 P2.18

解：

(a) $Y=((AB'C)'(BC')')'=AB'C+BC'$

(b) $Y=((A'+C)'+(A+B')'+(B+C')')'$

$=(A'+C)(A+B')(B+C')=ABC+A'B'C'$

(c) $Y_1=((AB')'(ACD')')'=AB'+ACD'$

$Y_2=((AB')'(AC'D')'(A'C'D)'(ACD)')'$

$=AB'+AC'D'+A'C'D+ACD$

(d) $Y_1=(((AB)+C(A\oplus B))')'=AB+C(A'B+AB')=AB+AC+BC$

$Y_2=(A\oplus B)\oplus C=(A\oplus B)C'+(A\oplus B)'C$

$=AB'C'+A'BC'+A'B'C+ABC$

【题 2.19】 对于互相排斥的一组变量 A、B、C、D、E(即任何情况下 A、B、C、D、E 不可能有两个或两个以上同时为 **1**),试证明 $AB'C'D'E'=A$,$A'BC'D'E'=B$,$A'B'CD'E'=C$,$A'B'C'DE'=D$,$A'B'C'D'E=E$。

解： 首先证明 $AB'C'D'E'=A$。

根据题意,任何时候不可能出现两个以上的变量同时等于 **1**,所以凡是包含两个以上原变量因子的最小项均为约束项,取值始终为 **0**。而且,任何包含两个以上原变量的乘积项也始为 **0**。由此可知

$$\begin{aligned}AB'C'D'E'&=AB'C'D'E'+AB'C'D'E=AB'C'D'(E'+E)\\&=AB'C'D'+AB'C'D=AB'C'(D'+D)\\&=AB'C'+AB'C=AB'(C'+C)\\&=AB'+AB=A(B'+B)\\&=A\end{aligned}$$

同理可以证明 $A'BC'D'E'=B$,$A'B'CD'E'=C$,$A'B'C'DE'=D$,$A'B'C'D'E=E$。

【题 2.20】 将下列具有约束项的逻辑函数化为最简**与或**形式。

(1) $Y_1=AB'C'+ABC+A'B'C+A'BC'$

给定约束条件为 $A'B'C'+A'BC=\mathbf{0}$。

(2) $Y_2=(A+C+D)'+A'B'CD'+AB'C'D$,给定约束条件为 $AB'CD'+AB'CD+ABC'D'+ABC'D+ABCD'+ABCD=\mathbf{0}$。

(3) $Y_3=CD'(A\oplus B)+A'BC'+A'C'D$,给定约束条件为 $AB+CD=\mathbf{0}$。

(4) $Y_4=(AB'+B)CD'+((A+B)(B'+C))'$,给定约束条件为 $ABC+ABD+ACD+BCD=\mathbf{0}$。

解： 先将函数式化为最小项之和形式,然后画出每个函数的卡诺图,利用卡诺图化简。

(1) $Y_1(A,B,C)=\sum m(1,2,4,7)+d(0,3)$

画出 Y_1 的卡诺图,如图 A2.20(a)。化简后得到

$$Y_1=A'+B'C'+BC$$

(2) $Y_2(A,B,C,D)=\sum m(0,2,4,9)+d(10,11,12,13,14,15)$

画出 Y_2 的卡诺图,如图 A2.20(b)。化简后得到

$$Y_2=A'B'D'+A'C'D'+AD$$

(3) $Y_3(A,B,C,D)=\sum m(1,4,5,6,10)+d(3,7,11,12,13,14,15)$

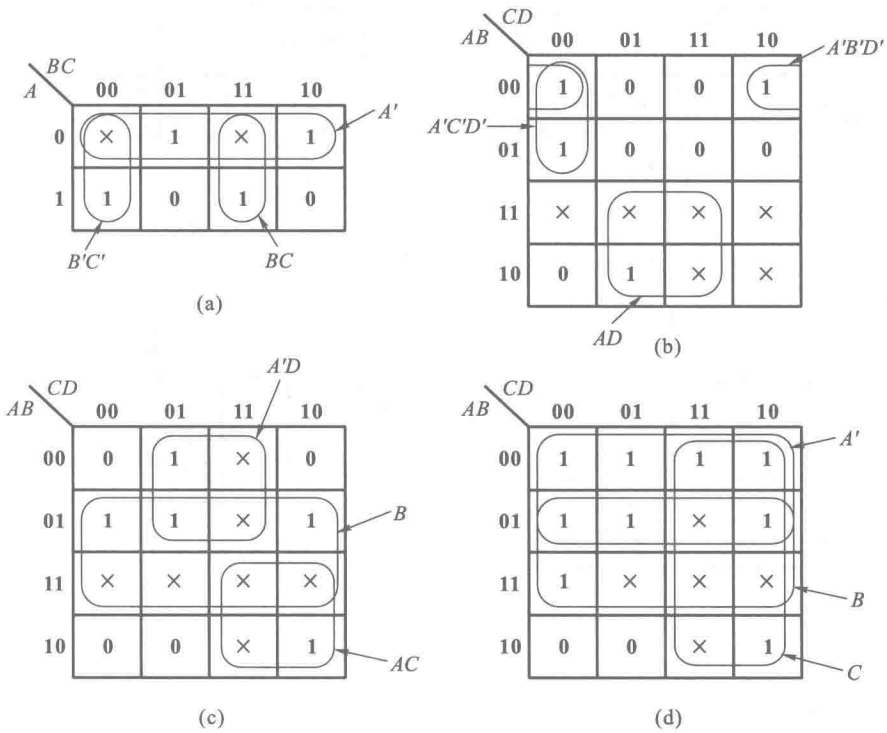


图 A2.20

画出 Y_3 的卡诺图，如图 A2.20(c)。化简后得到

$$Y_3 = B + A'D + AC$$

(4) $Y_4(A,B,C,D) = \sum m(0,1,2,3,4,5,6,10,12) + d(7,11,13,14,15)$

画出 Y_4 的卡诺图，如图 A2.20(d)。化简后得到

$$Y_4 = A' + B + C$$

【题 2.21】 将下列具有无关项的逻辑函数化为最简的**与或**逻辑式。

(1) $Y_1(A,B,C) = \sum m(0,1,2,4) + d(5,6)$

(2) $Y_2(A,B,C) = \sum m(1,2,4,7) + d(3,6)$

(3) $Y_3(A,B,C,D) = \sum m(3,5,6,7,10) + d(0,1,2,4,8)$

(4) $Y_4(A,B,C,D) = \sum m(2,3,7,8,11,14) + d(0,5,10,15)$

解： 画出 Y_1、Y_2、Y_3、Y_4 的卡诺图分别为图 A2.21(a)、(b)、(c)、(d)。化简后得到

$$Y_1 = B' + C'$$

$$Y_2 = B + A'C + AC'$$

$$Y_3 = A' + B'D'$$

$$Y_4 = AC + CD + B'D'$$

【题 2.22】 试证明两个逻辑函数间的**与**、**或**、**异或**运算可以通过将它们的卡诺图中对应的最小项作**与**、**或**、**异或**运算来实现，如图 P2.22 所示。

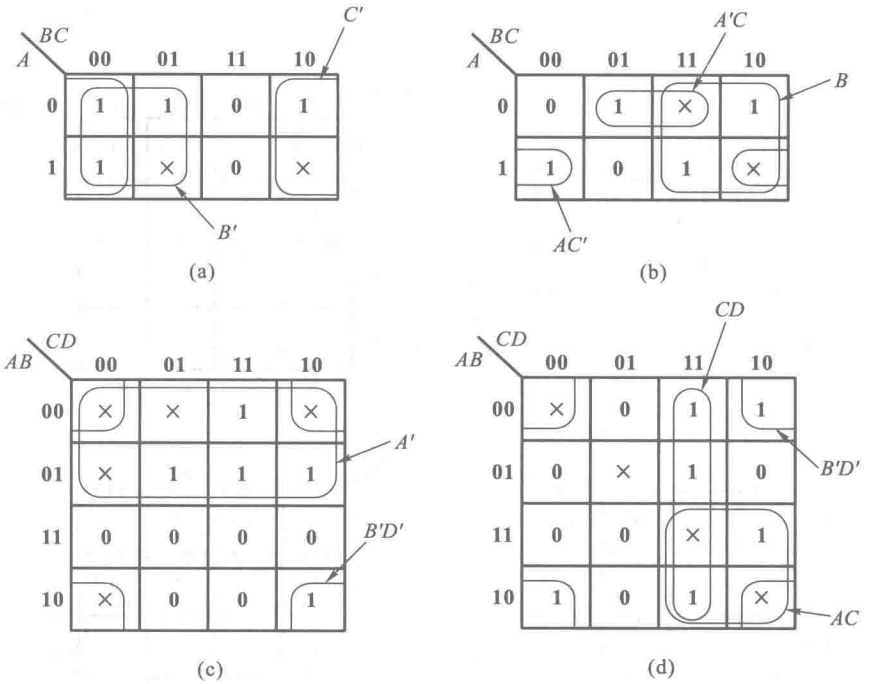


图 A2.21

解：设两个逻辑函数分别为 $Y_1=\sum m_{i1}$，$Y_2=\sum m_{i2}$。

(1) 证明　$Y_1\cdot Y_2=\sum m_{i1}\cdot m_{i2}$

因为任何两个不同的最小项之积均为 **0**，而两个相同的最小项之积仍等于这个最小项，所以 Y_1 和 Y_2 的乘积中仅为它们的共同的最小项之和，即

$$Y_1\cdot Y_2=\sum m_{i1}\cdot\sum m_{i2}=\sum m_{i1}\cdot m_{i2}$$

因此，可以通过将 Y_1、Y_2 卡诺图上对应的最小项相乘，得到 $Y_1\cdot Y_2$ 卡诺图上对应的最小项。

(2) 证明　$Y_1+Y_2=\sum m_{i1}+\sum m_{i2}$

因为 Y_1+Y_2 等于 Y_1 和 Y_2 的所有最小项之和，所以将 Y_1 和 Y_2 卡诺图中对应的最小项相加，就得到 Y_1+Y_2 卡诺图中对应的最小项了。

(3) 证明　$Y_1\oplus Y_2=\sum m_{i1}\oplus m_{i2}$

已知 $Y_1\oplus Y_2=(Y_1\odot Y_2)'=(Y_1Y_2+Y_1'Y_2')'$

根据上面已证明的与运算方法知，Y_1Y_2 等于两个卡诺图中同为 **1** 的最小项之和，$Y_1'Y_2'$ 等于 Y_1、Y_2 卡诺图中同为 **0** 的最小项之和。因此，$Y_1\odot Y_2$ 等于 Y_1、Y_2 卡诺图中同为 **1** 和同为 **0** 的最小项之和。

由于 $Y_1\oplus Y_2=(Y_1\odot Y_2)'$，所以 $Y_1\oplus Y_2$ 应等于 Y_1、Y_2 卡诺图中取值不同的那些最小项之和。因此，可以通过 Y_1、Y_2 卡诺图中对应最小项的**异或**运算求出 $Y_1\oplus Y_2$ 卡诺图中对应的最小项。

【题 2.23】　利用卡诺图之间的运算(参见上题)将下列逻辑函数化为最简**与或**式。

(1) $Y=(AB+A'C+B'D)(AB'C'D+A'CD+BCD+B'C)$

(2) $Y=(A'B'C+A'BC'+AC)(AB'C'D+A'BC+CD)$

(3) $Y=(A'D'+C'D+CD')\oplus(AC'D'+ABC+A'D+CD)$

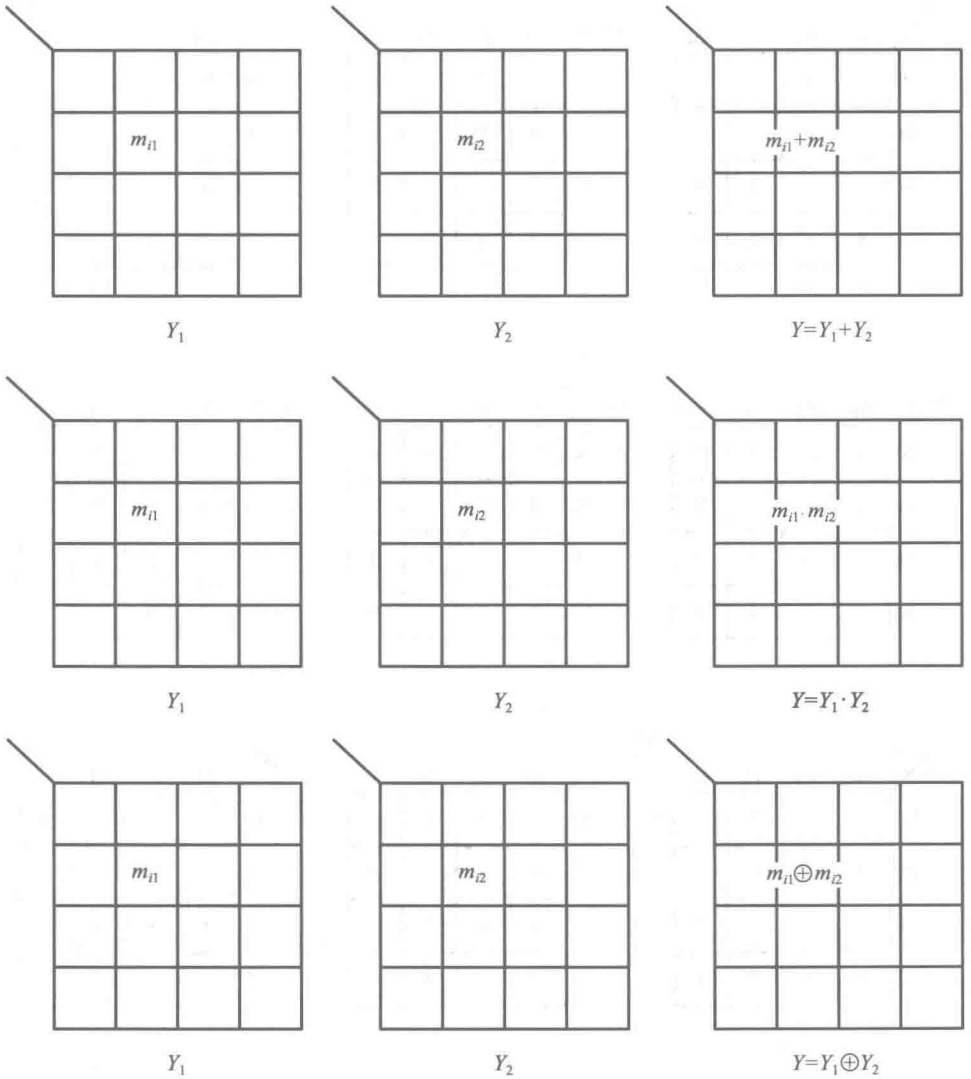


图 P2.22

(4) $Y=(A'C'D'+B'D'+BD)\oplus(A'BD'+B'D+BCD')$

解：

(1) 令 $Y_1=AB+A'C+B'D$，$Y_2=AB'C'D+A'CD+BCD+B'C$

则 $Y=Y_1\cdot Y_2=AB'D+A'B'C+CD$[见图 A2.23(a)]

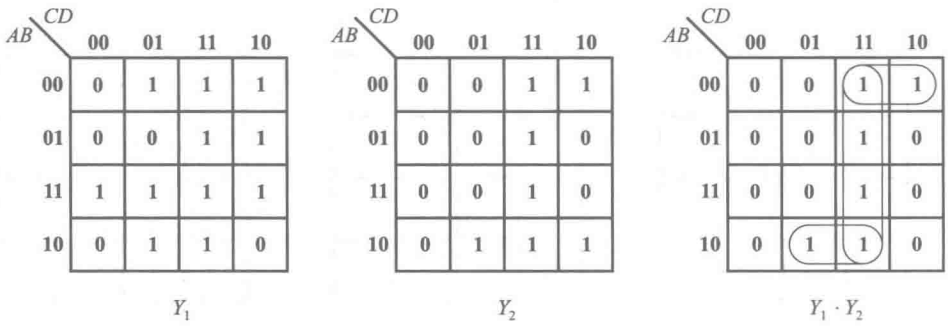
(2) 令 $Y_1=A'B'C+A'BC'+AC$，$Y_2=AB'C'D+A'BC+CD$，

则 $Y_1\cdot Y_2=ACD+B'CD$[见图 A2.23(b)]

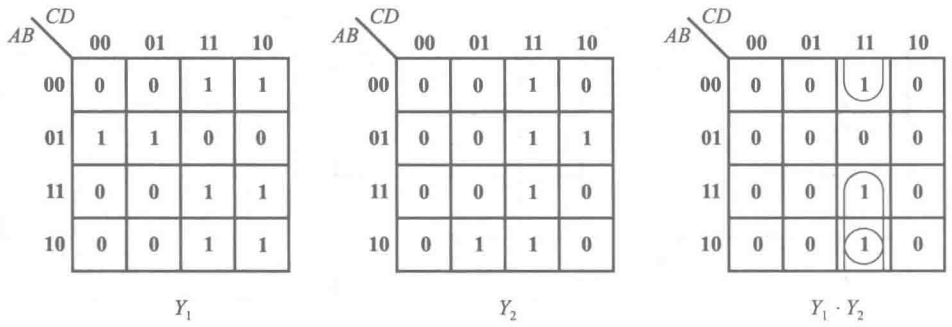
(3) 令 $Y_1=A'D'+C'D+CD'$，$Y_2=AC'D'+ABC+A'D+CD$

则 $Y_1\oplus Y_2=AB'+A'C+AD+C'D'$[见图 A2.23(c)]

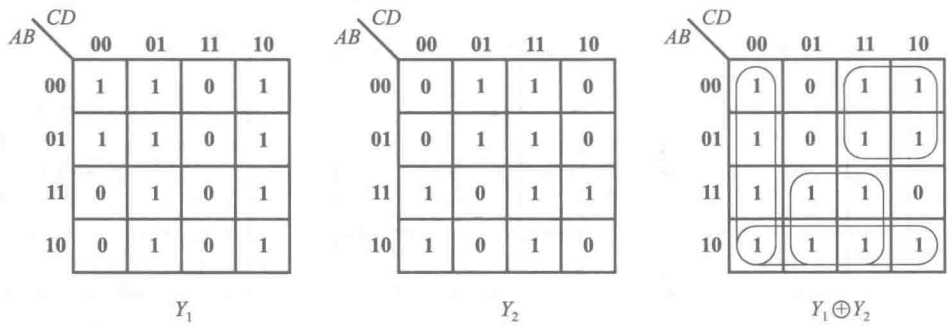
(此题化简结果不是唯一的。)


AB CD 00 01 11 10
00 0 1 1 1
01 0 0 1 1
11 1 1 1 1
10 0 1 1 0
Y_1
AB CD 00 01 11 10
00 0 0 1 1
01 0 0 1 0
11 0 0 1 0
10 0 1 1 1
Y_2
AB CD 00 01 11 10
00 0 0 1 1
01 0 0 1 0
11 0 0 1 0
10 0 1 1 0
$Y_1 \cdot Y_2$

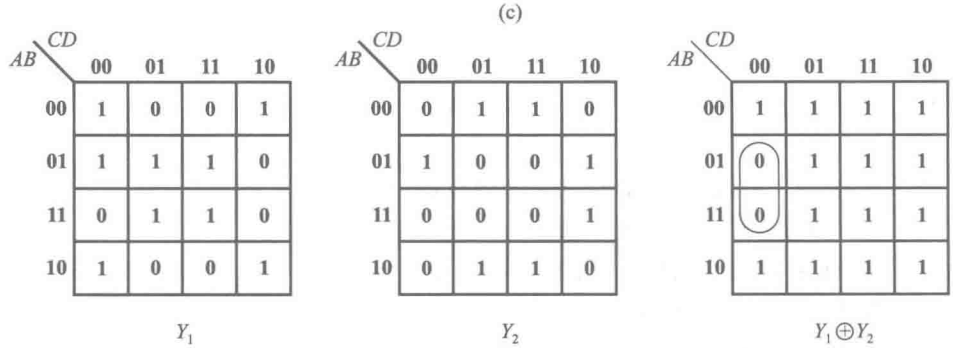
(a)


AB CD 00 01 11 10
00 0 0 1 1
01 1 1 0 0
11 0 0 1 1
10 0 0 1 1
Y_1
AB CD 00 01 11 10
00 0 0 1 0
01 0 0 1 1
11 0 0 1 0
10 0 1 1 0
Y_2
AB CD 00 01 11 10
00 0 0 1 0
01 0 0 0 0
11 0 0 1 0
10 0 0 1 0
$Y_1 \cdot Y_2$

(b)


AB CD 00 01 11 10
00 1 1 0 1
01 1 1 0 1
11 0 1 0 1
10 0 1 0 1
Y_1
AB CD 00 01 11 10
00 0 1 1 0
01 0 1 1 0
11 1 0 1 1
10 1 0 1 0
Y_2
AB CD 00 01 11 10
00 1 0 1 1
01 1 0 1 1
11 1 1 1 0
10 1 1 1 1
$Y_1 \oplus Y_2$

(c)


AB CD 00 01 11 10
00 1 0 0 1
01 1 1 1 0
11 0 1 1 0
10 1 0 0 1
Y_1
AB CD 00 01 11 10
00 0 1 1 0
01 1 0 0 1
11 0 0 0 1
10 0 1 1 0
Y_2
AB CD 00 01 11 10
00 1 1 1 1
01 0 1 1 1
11 0 1 1 1
10 1 1 1 1
$Y_1 \oplus Y_2$

(d)

图 A2.23

（4）令 $Y_1=A'C'D'+B'D'+BD$，$Y_2=A'BD'+B'D+BCD'$，

则 $Y_1\oplus Y_2=(BC'D')'=B'+C+D$[见图 A2.23(d)]

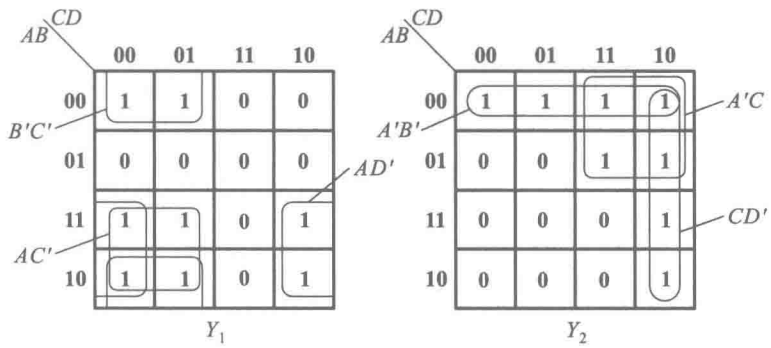
【题 2.24】 化简下列一组多输出逻辑函数。要求尽可能利用共用项，将这一组逻辑函数从总体上化为最简，并将化简结果与 Y_1、Y_2 各自独立化简的结果进行比较。

$$Y_1(A,B,C,D)=\sum m(0,1,8,9,10,12,13,14)$$

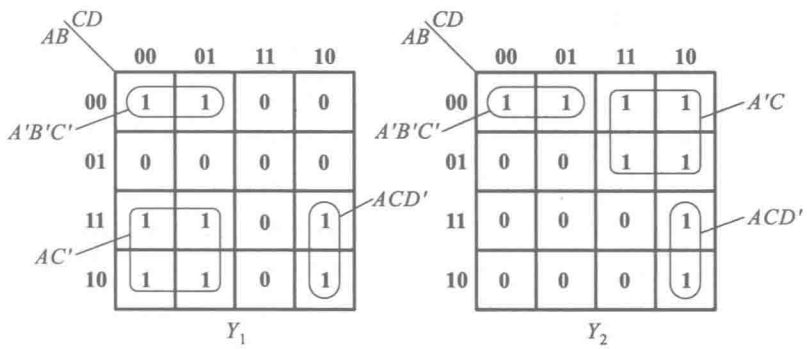
$$Y_2(A,B,C,D)=\sum m(0,1,2,3,6,7,10,14)$$

解：

（1）若将 Y_1、Y_2 分别进行化简，则可以画出图 A2.24(a)的卡诺图，合并最小项后得到



(a)



(b)

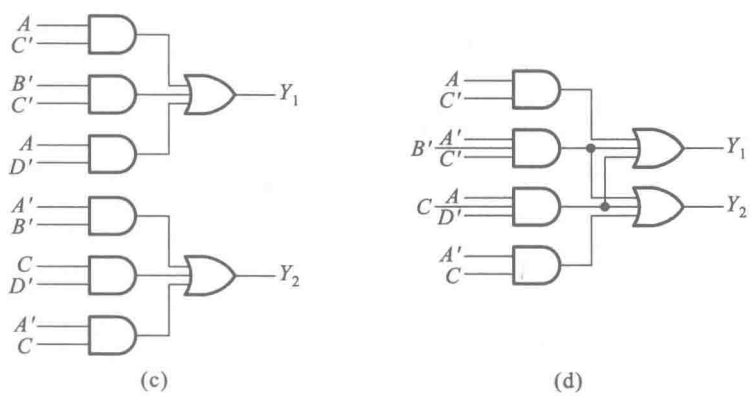


图 A2.24

$$Y_1(A,B,C,D)=AC'+B'C'+AD'$$
$$Y_2(A,B,C,D)=A'B'+CD'+A'C$$

根据上式得到的逻辑图如图 A2.24(c)所示。实现这一组逻辑函数需要用 8 个门和 18 个输入端。

(2) 若利用共用项将 Y_1、Y_2 整体化简,则可以按图 A2.24(b)所示合并最小项,得到

$$Y_1(A,B,C,D)=AC'+A'B'C'+ACD'$$
$$Y_2(A,B,C,D)=A'C+A'B'C'+ACD'$$

根据上式得到的逻辑图如图 A2.24(d)所示。实现这一组逻辑函数只需要 6 个门和 16 个输入端。

【题 2.25】 化简下列一组多输出逻辑函数。要求尽可能利用共用项,将这一组逻辑函数从总体上化为最简,并将化简结果与 Y_1、Y_2 和 Y_3 各自独立化简的结果进行比较。

$$Y_1(A,B,C,D)=\sum m(0,8,9,10,11,14,15)$$
$$Y_2(A,B,C,D)=\sum m(0,2,3,6,7,10,11,12,13,15)$$
$$Y_3(A,B,C,D)=\sum m(0,1,3,5,7,10,11,12,13,14,15)$$

解:

(1) 若将 Y_1、Y_2、Y_3 分别进行化简,则可以画出图 A2.25(a)的卡诺图,合并最小项后得到

$$Y_1(A,B,C,D)=AB'+B'C'D'+AC$$
$$Y_2(A,B,C,D)=A'B'D'+ABC'+CD+B'C+A'C$$
$$Y_3(A,B,C,D)=A'B'C'+A'D+AB+AC$$

根据上式得到的逻辑图如图 A2.25(c)所示。实现这一组逻辑函数需要 15 个门和 40 个输入端。

(2)若利用共用项将 Y_1、Y_2 整体化简,则可以按图 A2.25(b)所示合并最小项,得到

$$Y_1(A,B,C,D)=A'B'C'D'+AB'+AC$$
$$Y_2(A,B,C,D)=A'B'C'D'+ABC'+CD+B'C+A'C$$
$$Y_3(A,B,C,D)=A'B'C'D'+A'D+ABC'+AC$$

根据上式得到的逻辑图如图 A2.25(d)所示。实现这一组逻辑函数只需要 11 个门和 31 个输入端。

【题 2.26】 将下列逻辑函数式化为**与非-与非**形式,并画出全部由**与非**逻辑单元组成的逻辑电路图。

(1) $Y=AB+BC+AC$

(2) $Y=(A'+B)(A+B')C+(BC)'$

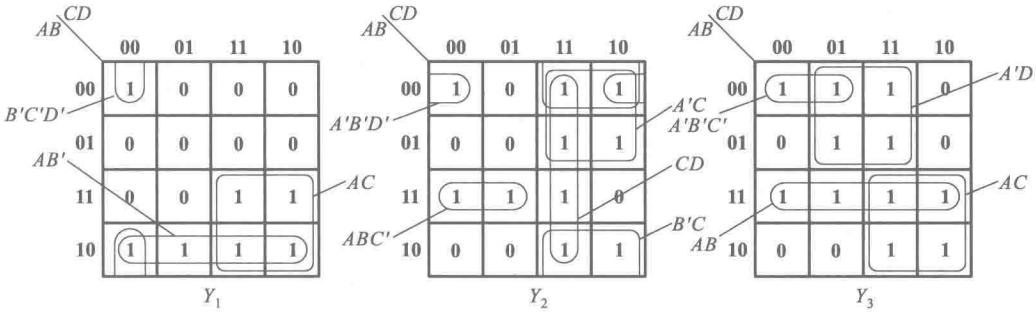
(3) $Y=(ABC'+AB'C+A'BC)'$

(4) $Y=A(BC)'+((AB')'+A'B'+BC)'$

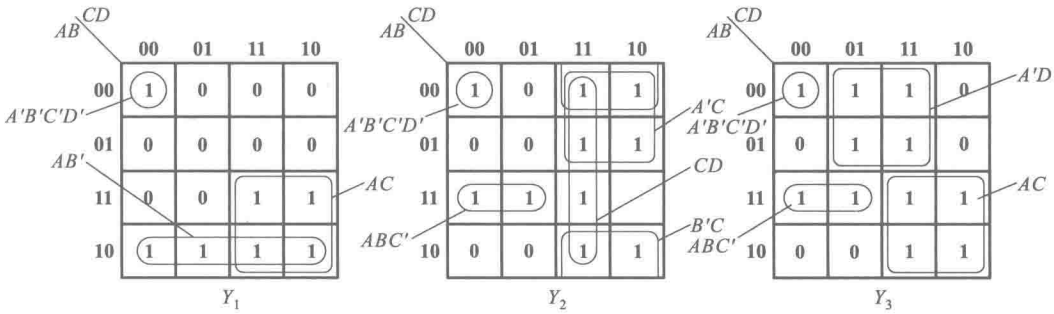
解:

(1) $Y=((AB+BC+AC)')'=((AB)'\cdot(BC)'\cdot(AC)')'$

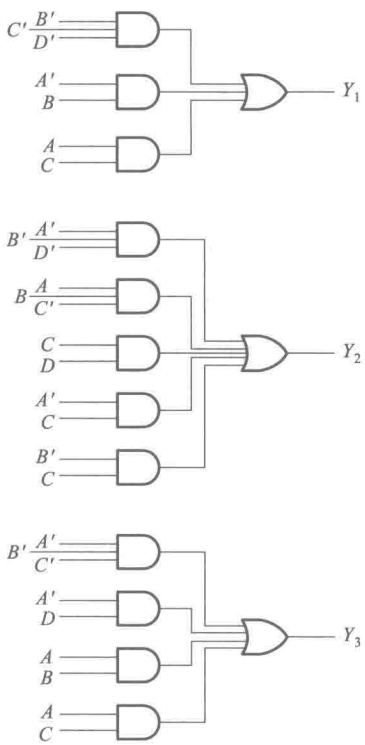
(2) $$\begin{aligned}Y&=(A'+B)(A+B')C+(BC)'\\&=(AB+A'B')C+B'+C'\\&=A+B'+C'=(A'BC)'\end{aligned}$$


AB CD
00 01 11 10
00 1 0 0 0
01 0 0 0 0
11 0 0 1 1
10 1 1 1 1
B'C'D'
AB'
AC
Y_1
00 1 0 1 1
01 0 0 1 1
11 1 1 1 0
10 0 0 1 1
A'B'D'
A'C
CD
ABC'
B'C
Y_2
00 1 1 1 0
01 0 1 1 0
11 1 1 1 1
10 0 0 1 1
A'B'C'
A'D
AC
AB
Y_3

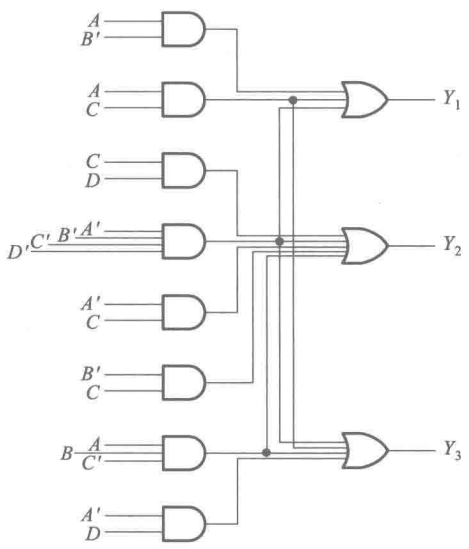
(a)


AB CD
00 01 11 10
00 1 0 0 0
01 0 0 0 0
11 0 0 1 1
10 1 1 1 1
A'B'C'D'
AB'
AC
Y_1
00 1 0 1 1
01 0 0 1 1
11 1 1 1
10 0 0 1 1
A'B'C'D'
A'C
CD
ABC'
B'C
Y_2
00 1 1 1 0
01 0 1 1 0
11 1 1 1 1
10 0 0 1 1
A'B'C'D'
A'D
AC
ABC'
Y_3

(b)


C' B' D'
A' B
A C
Y_1
B' A' D'
B A C'
C D
A' C
B' C
Y_2
B' A' C'
A' D
A B
A C
Y_3

(c)


A B'
A C
C D
D' C' B' A'
A' C
B' C
B A C'
A' D
Y_1
Y_2
Y_3

(d)

图 A2.25

(3) $Y=(ABC'+AB'C+A'BC)'$

$=A'B'C'+A'B'C+A'BC'+AB'C'+ABC$

$=A'B'+A'C'+B'C'+ABC$

$=((A'B'+A'C'+B'C'+ABC)')'$

$=((A'B')'\cdot(A'C')'\cdot(B'C')'\cdot(ABC)')'$

(4) $Y=A(BC)'+((AB')'+A'B'+BC)'$

$=A(BC)'+AB'\cdot(A'B')'\cdot(BC)'$

$=A(BC)'=((A\cdot(BC)')')'$

(1)、(2)、(3)、(4)各式对应的电路图如图 A2.26(a)、(b)、(c)、(d)。

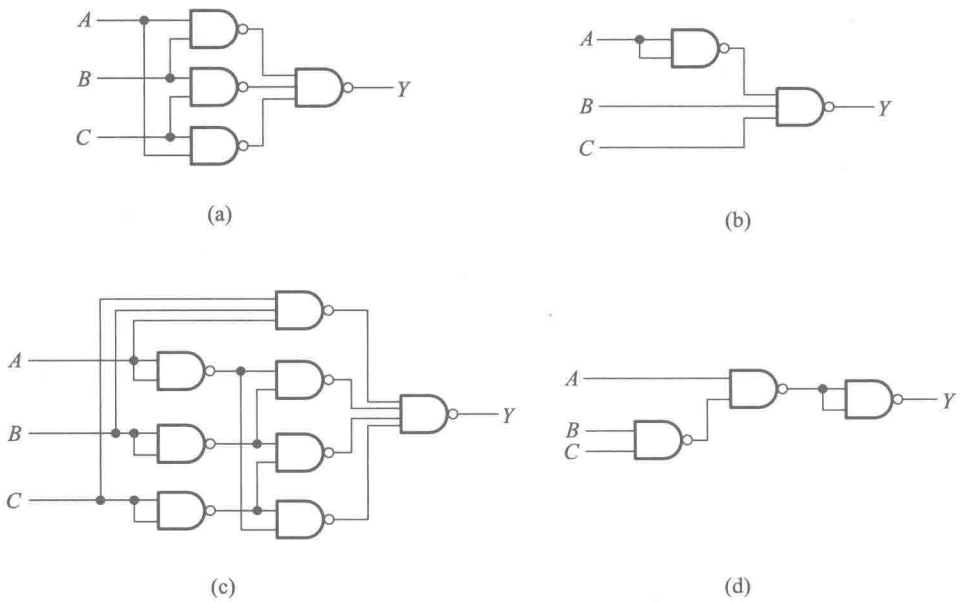


图 A2.26

【题 2.27】 将下列逻辑函数化为**或非-或非**形式,并画出全部用**或非**逻辑单元组成的逻辑电路图。

(1) $Y=AB'C+BC'$

(2) $Y=(A+C)(A'+B+C')(A'+B'+C)$

(3) $Y=(ABC'+B'C)'D'+A'B'D$

(4) $Y=((CD')'(BC)'(ABC)'D')'$

解:

(1) $Y=AB'C+BC'$

$=((AB'C)'\cdot(BC')')'$

$=((A'+B+C')(B'+C))'$

$=(A'B'+A'C+BC+B'C')'$

$=(A'B'+BC+B'C')'$

$$=((A+B)'+(B'+C')'+(B+C)')'$$

(2) $Y=(A+C)(A'+B+C')(A'+B'+C)$

$$=A'C+BC+AB'C'$$

画出上式的卡诺图，合并其中的 **0**，然后求反，得到

$$Y=(A'C'+AB'C+BC')'$$

$$=((A+C)'+(B'+C)'+(A'+B+C')')'$$

(3) $Y=(ABC'+B'C)'D'+A'B'D$

$$=(((ABC'+B'C)'D'+A'B'D)')'$$

$$=((ABC'+B'C+D)(A+B+D'))'$$

$$=(ABC'+AD+B'CD'+BD)'$$

$$=((A'+B'+C)'+(A'+D')'+(B+C'+D)'+(B'+D')')'$$

(4) $Y=((CD')'\cdot(BC)'\cdot(ABC)'\cdot D')'$

$$=((C'+D)(B'+C')(A'+B'+C')D')'$$

$$=(C'D'(B'+C'))'$$

$$=(C'D')'=((C+D)')'$$

以上(1)、(2)、(3)、(4)各式对应的电路图如图 A2.27(a)、(b)、(c)、(d)所示。

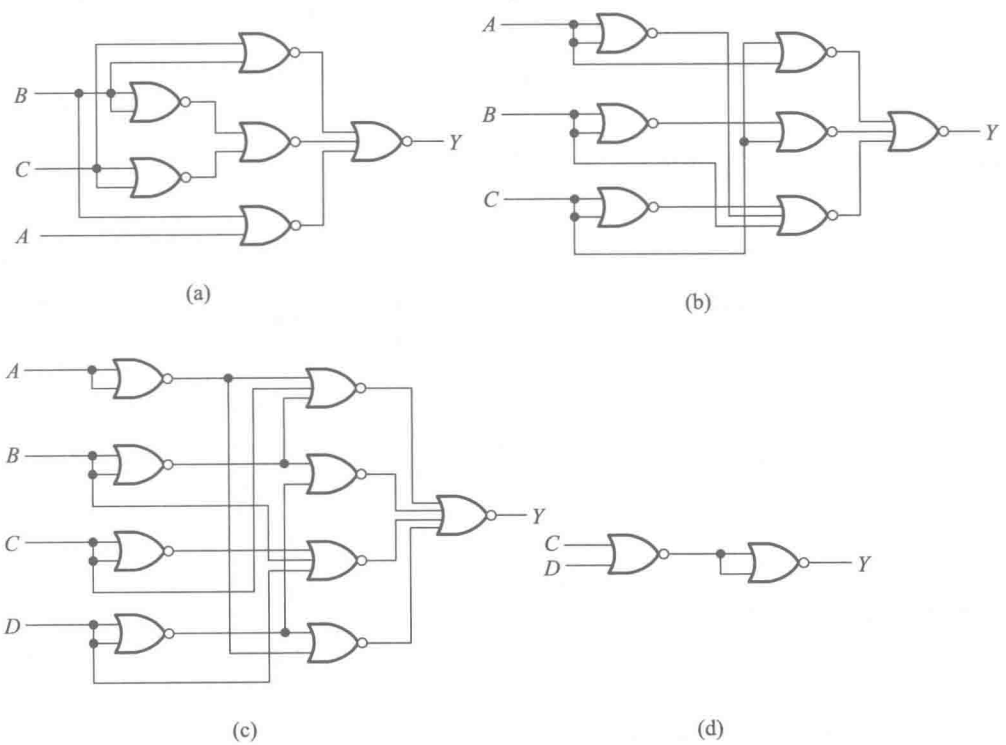


图 A2.27

第三章习题解答

【题 3.1】 在图 3.2.5[①] 所示的正逻辑**与**门和图 3.2.6 所示的正逻辑**或**门电路中，若改用负逻辑，试列出它们的逻辑真值表，并说明 Y 和 A、B 之间是什么逻辑关系。

解： 将表 3.2.2 中的 **0** 改成 **1**、**1** 改成 **0**，就得到了图 3.2.5 电路的负逻辑真值表，如表 A3.1(a)。这个真值表说明 Y 与 A、B 之间是逻辑**或**的关系，即 $Y=A+B$。

同理，将表 3.2.4 中的 **0** 改成 **1**、**1** 改成 **0**，就得到了图 3.2.6 电路的负逻辑真值表，如表 A3.1(b)。这个真值表表明 Y 和 A、B 之间是**与**的逻辑关系，即 $Y=A\cdot B$。

表 A3.1(a)

图 3.2.5 的负逻辑真值表

A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

$Y=A+B$

表 A3.1(b)

图 3.2.6 的负逻辑真值表

A	B	Y
1	1	1
1	0	0
0	1	0
0	0	0

$Y=A\cdot B$

【题 3.2】 试画出图 P3.2 中各个门电路输出端的电压波形。输入端 A、B 的电压波形如图中所示。

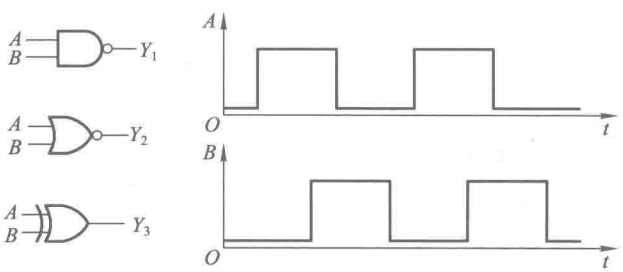


图 P3.2

解： 根据**与非**、**或非**和**异或**逻辑的定义，画出 Y_1、Y_2 和 Y_3 的波形如图 A3.2 所示。

【题 3.3】 试说明能否将**与非**门、**或非**门、**异或**门当做反相器使用？如果可以，各输入端应如何连接？

解： **与非**门、**或非**门和**异或**门都可以接成反相器使用。输入端的接法如图 A3.3 所示。

---

① 习题解答部分出现的“图×.×.×”、“式×.×.×”、“表×.×.×”都是《数字电子技术基础(第六版)》中的插图、公式、图表的编号。而“图×-×-×”、“式×-×-×”、“表×-×-×”则是本书“各章内容的重点、难点释疑和解题方法”部分中使用的编号。请阅读时注意区分。

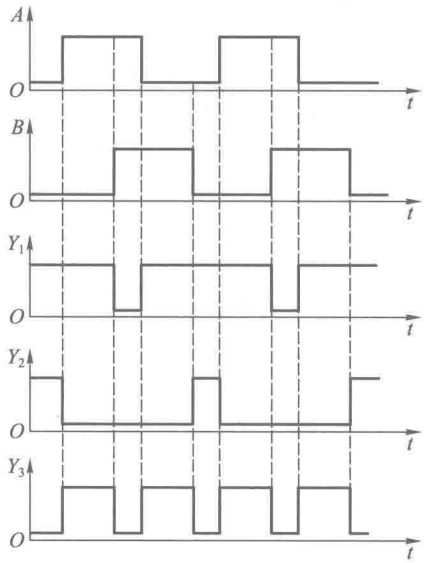


图 A3.2

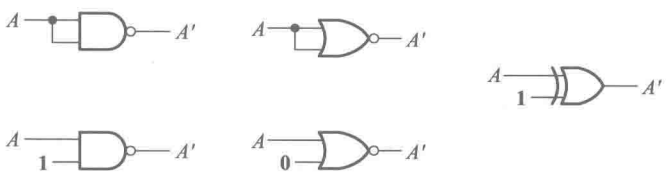


图 A3.3

【题 3.4】 画出图 P3.4 所示电路在下列两种情况下的输出电压波形：

（1）忽略所有门电路的传输延迟时间；

（2）考虑每个门都有传输延迟时间 t_{pd}。

输入端 A、B 的电压波形如图中所给出。

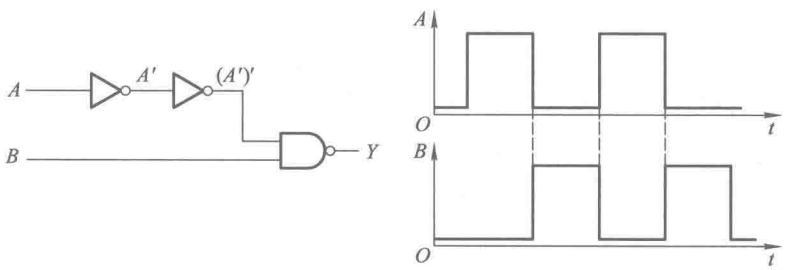


图 P3.4

解：两种情况下的输出电压波形如图 A3.4 所示。

【题 3.5】 已知 CMOS 门电路的电源电压 $V_{DD}=5$ V，静态电源电流 $I_{DD}=2$ μA，输入信号为 200 kHz 的方波（上升时间和下降时间可忽略不计），负载电容 $C_L=200$ pF，功耗电容 $C_{pd}=20$ pF，试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

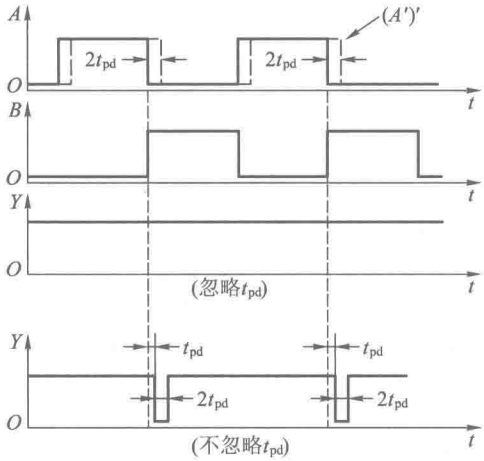


图 A3.4

解：静态功耗为

$$P_S = I_{DD} V_{DD} = 5 \times 2 \times 10^{-6}\ \text{W} = 0.01\ \text{mW}$$

动态功耗为

$$\begin{aligned} P_D &= (C_L + C_{pd}) f V_{DD}^2 \\ &= (200+20) \times 10^{-12} \times 2 \times 10^5 \times 5^2\ \text{W} = 1.10\ \text{mW} \end{aligned}$$

总功耗为

$$P_{TOT} = P_S + P_D = (0.01 + 1.10)\ \text{mW} = 1.11\ \text{mW}$$

电源的平均电流为

$$\bar{I}_{DD} = P_{TOT} / V_{DD} = (1.11/5)\ \text{mA} = 0.22\ \text{mA}$$

【题 3.6】 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为5 μA，在负载电容 C_L 为 100 pF、输入信号频率为 500 kHz 时的总功耗为1.56 mW，试计算该门电路的功耗电容的数值。

解：首先计算动态功耗

$$\begin{aligned} P_D &= P_{TOT} - P_S \\ &= (1.56 - 5 \times 5 \times 10^{-3})\ \text{mW} \approx 1.54\ \text{mW} \end{aligned}$$

又根据公式 $P_D = (C_L + C_{pd}) f V_{DD}^2$ 得到

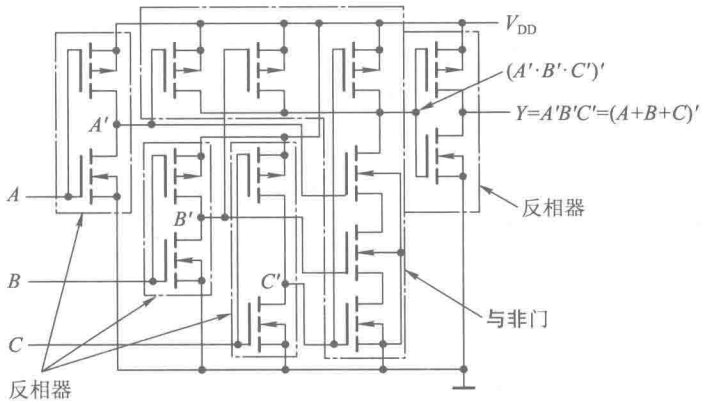
$$\begin{aligned} C_{pd} &= (P_D / f V_{DD}^2) - C_L \\ &= \left(\frac{1.54 \times 10^{-3}}{5 \times 10^5 \times 5^2} - 100 \times 10^{-12} \right) \text{F} \approx 13\ \text{pF} \end{aligned}$$

【题 3.7】 试分析图 P3.7 中各电路的逻辑功能，写出输出的逻辑函数式。

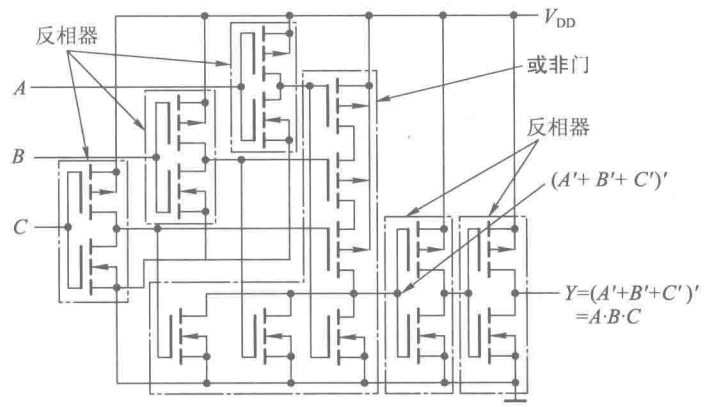
解：

(a) 图 P3.7(a)电路可划分为四个反相器电路和一个 3 输入端的**与非**门电路，如图所示。从输入到输出逐级写出输出的逻辑函数式，得到 $Y = A'B'C' = (A+B+C)'$。

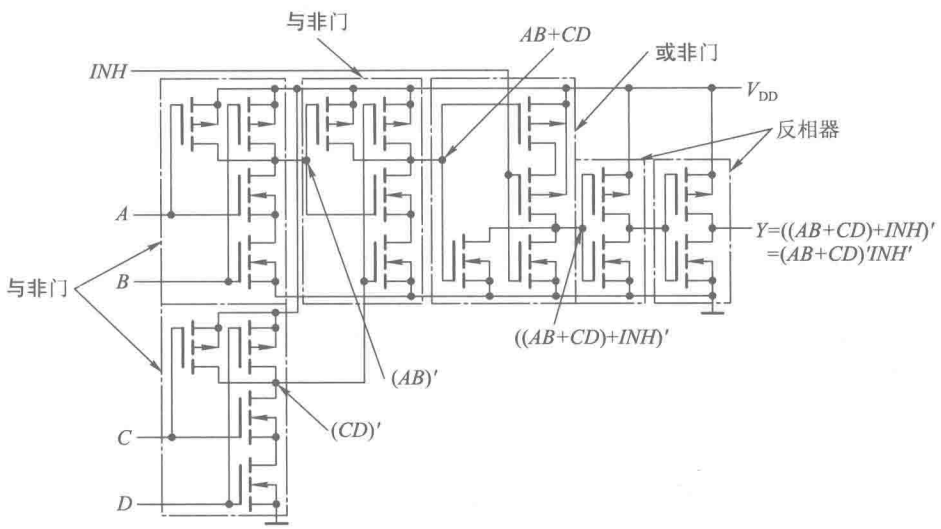
(b) 图 P3.7(b)电路可划分为五个反相器电路和一个**或非**门电路，如图所示。从输入到输出逐级写出输出的逻辑函数式得到 $Y = (A'+B'+C')' = ABC$。


V_{DD}
$(A'\cdot B'\cdot C')'$
$Y=A'B'C'=(A+B+C)'$
A'
A
B'
反相器
B
C'
与非门
C
反相器

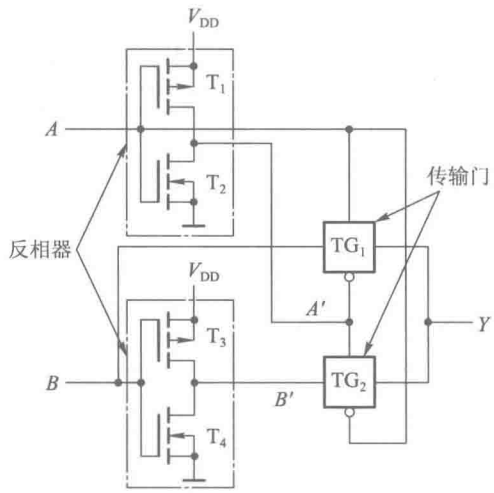
(a)


V_{DD}
反相器
或非门
A
B
反相器
$(A'+B'+C')'$
C
$Y=(A'+B'+C')'$
$=A\cdot B\cdot C$

(b)


与非门
$AB+CD$
INH
或非门
V_{DD}
反相器
A
$Y=((AB+CD)+INH)'$
$=(AB+CD)'INH'$
B
与非门
$((AB+CD)+INH)'$
$(AB)'$
$(CD)'$
C
D

(c)



(d)

图 P3.7

(c) 图 P3.7(c)电路可划分为三个**与非**门电路、一个**或非**门电路和两个反相器电路,如图所示。从输入到输出逐级写出输出的逻辑函数式得到

$$Y=((AB+CD)+INH)'=(AB+CD)'\cdot INH'$$

(d) 图 P3.7(d)电路可划分为两个反相器电路和两个传输门电路,如图所示。从电路图列出表示 Y 与 A、B 关系的真值表,得到表 A3.7。由真值表写出逻辑式为

$$Y=A'B'+AB=A\odot B$$

表 A3.7 图 P3.7(d)电路的真值表

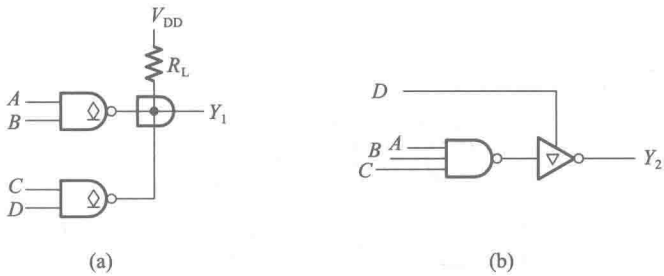
A	B	Y
0	**0**	**1**
0	**1**	**0**
1	**0**	**0**
1	**1**	**1**

【题 3.8】 试画出图 P3.8(a)、(b)两个电路的输出电压波形。输入电压波形如图(c)所示。

解: Y_1、Y_2 的电压波形如图 A3.8。图中用"×"表示高阻态。

【题 3.9】 在图 P3.9 所示电路中,G_1 和 G_2 是两个 OD 输出结构的**与非**门 74HC03。74HC03 输出端 MOS 管截止时的漏电流为 $I_{OH(max)}=5\ \mu A$;导通时允许的最大负载电流为 $I_{OL(max)}=5.2\ mA$,这时对应的输出电压 $V_{OL(max)}=0.33\ V$。负载门 $G_3\sim G_5$ 是三输入端**或非**门 74HC27,每个输入端的高电平输入电流最大值为 $I_{IH(max)}=1\ \mu A$,低电平输入电流最大值为 $I_{IL(max)}=-1\ \mu A$。试求在 $V_{DD}=5\ V$、并且满足 $V_{OH}\geqslant 4.4\ V$、$V_{OL}\leqslant 0.33\ V$ 的情况下,R_L 取值的允许范围。

解: 根据本书第二部分第三章中给出的式(3-3-6)可知



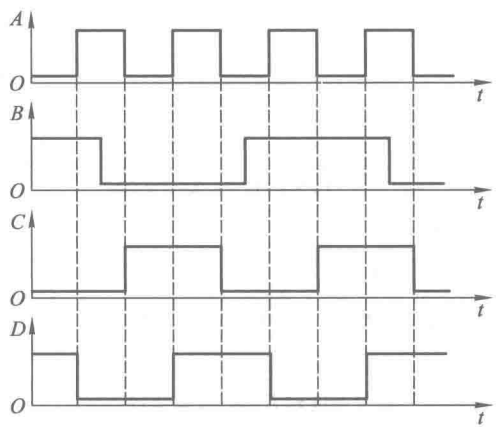


图 P3.8

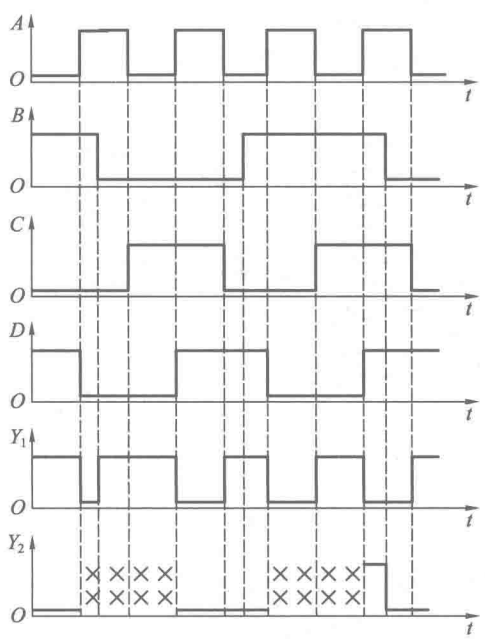


图 A3.8

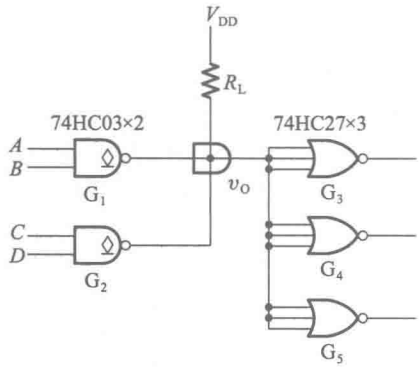


图 P3.9

$$R_{L(max)}=\frac{V_{DD}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-4.4}{2\times5\times10^{-6}+9\times1\times10^{-6}}\ \Omega=31.6\ \text{k}\Omega$$

同时又可根据式(3-3-7)得到

$$R_{L(min)}=\frac{V_{DD}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.33}{5.2\times10^{-3}-9\times10^{-6}}\ \Omega=0.9\ \text{k}\Omega$$

故 R_L的取值范围应为

$$0.9\ \text{k}\Omega\leqslant R_L\leqslant31.6\ \text{k}\Omega$$

【题 3.10】 图 P3.10 中的 $G_1\sim G_4$ 是 OD 输出结构的**与非**门 74HC03,它们接成线**与**结构。试写出线**与**输出 Y 与输入 A_1、A_2、B_1、B_2、C_1、C_2、D_1、D_2 之间的逻辑关系式,并计算外接电阻 R_L取值的允许范围。已知 $V_{DD}=5$ V,74HC03 输出高电平时漏电流的最大值为 $I_{OH(max)}=5$ μA,低电平输出电流最大值为 $I_{OL(max)}=5.2$ mA,此时的输出低电平为 $V_{OL(max)}=0.33$ V。负载门每个输入端的高、低电平输入电流最大值为±1 μA。要求满足 $V_{OH}\geqslant4.4$ V,$V_{OL}\leqslant0.33$ V。

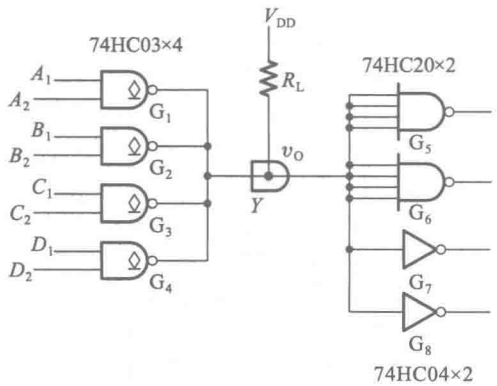


图 P3.10

解:在 R_L取值合理的情况下,Y 的逻辑函数式为

$$Y=(A_1A_2+B_1B_2+C_1C_2+D_1D_2)'$$

根据本书第二部分第三章中给出的式(3-3-6)可求出 R_L的最大允许值

$$R_{L(max)}=\frac{V_{DD}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-4.4}{4\times5\times10^{-6}+10\times10^{-6}}\ \Omega=20\ \text{k}\Omega$$

又根据式(3-3-7)可求出 R_L 的最小允许值

$$R_{L(min)}=\frac{V_{DD}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.33}{5.2\times10^{-3}-10\times10^{-6}}\ \Omega=0.9\ \text{k}\Omega$$

故 R_L 的取值范围应为

$$0.9\ \text{k}\Omega\leqslant R_L\leqslant20\ \text{k}\Omega$$

【题 3.11】 指出图 P3.11 中各门电路的输出是什么状态(高电平、低电平或高阻态)。已知这些门电路都是 74 系列 TTL 电路。

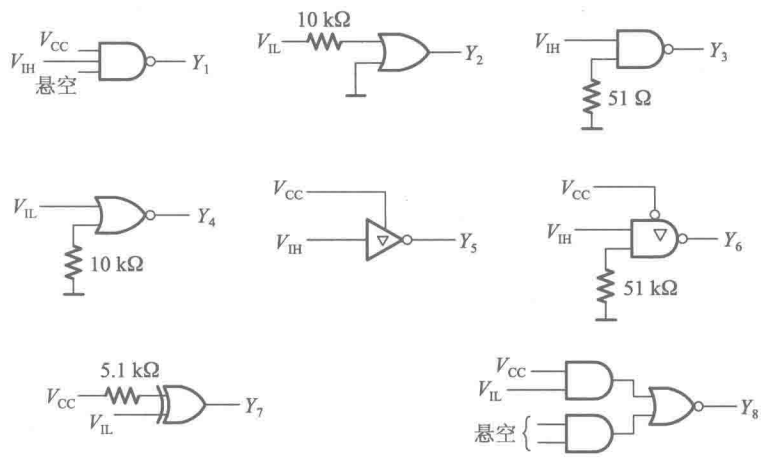


图 P3.11

解：Y_1 为低电平；Y_2 为高电平；Y_3 为高电平；Y_4 为低电平；Y_5 为低电平；Y_6 为高阻态；Y_7 为高电平；Y_8 为低电平。

【题 3.12】 说明图 P3.12 中各门电路的输出是高电平还是低电平。已知它们都是 74HC 系列的 CMOS 电路。

解：Y_1 为高电平；Y_2 为高电平；Y_3 为低电平；Y_4 为低电平。

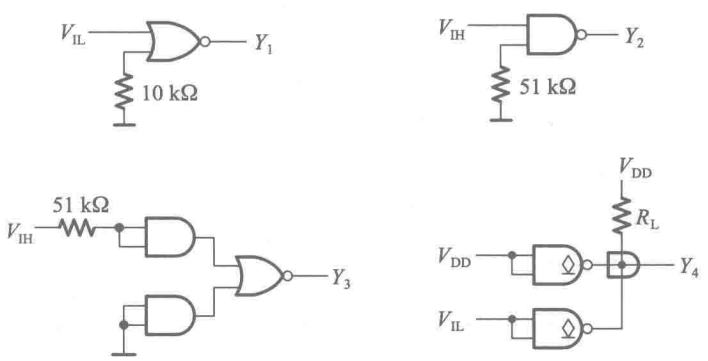


图 P3.12

【题 3.13】 试说明在下列情况下,用万用电表测量图 P3.13 的 v_{I2} 端得到的电压各为多少:

(1) v_{I1} 悬空;

(2) v_{I1} 接低电平(0.2 V);

(3) v_{I1} 接高电平(3.2 V);

(4) v_{I1} 经 51 Ω 电阻接地;

(5) v_{I1} 经 10 kΩ 电阻接地。

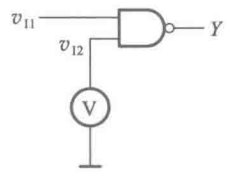


图 P3.13

图中的**与非**门为 74 系列的 TTL 电路,万用电表使用 5 V 量程,内阻为 20 kΩ/V。

解:这时相当于 v_{I2} 端经过一个 100 kΩ 的电阻接地。假定**与非**门输入端多发射极三极管每个发射结的导通压降均为 0.7 V,则有

(1) $v_{I2}\approx 1.4$ V

(2) $v_{I2}\approx 0.2$ V

(3) $v_{I2}\approx 1.4$ V

(4) $v_{I2}\approx 0$ V

(5) $v_{I2}\approx 1.4$ V

【题 3.14】 若将上题中的**与非**门改为 74 系列 TTL **或非**门,试问在上列五种情况下测得的 v_{I2} 各为多少?

解:由**或非**门电路结构可知,在**或非**门中两个输入端是分别接到两个三极管的发射极,所以它们各自的输入端电平互不影响,故 v_{I2} 始终为 1.4 V。

【题 3.15】 若将图 P3.13 中的门电路改为 CMOS **与非**门,试说明当 v_{I1} 为【题 3.13】给出的五种状态时测得的 v_{I2} 各等于多少?

解:因为 CMOS **与非**门的两个输入端都有独立的输入缓冲器(反相器),所以两个输入端的电平互不影响。v_{I2} 端经电压表的内阻接地,故 $v_{I2}=0$。

【题 3.16】 在图 P3.16 由 74 系列 TTL **与非**门组成的电路中,计算门 G_M 能驱动多少同样的**与非**门。要求 G_M 输出的高、低电平满足 $V_{OH}\geqslant 3.2$ V,$V_{OL}\leqslant 0.4$ V。**与非**门的输入电流为 $I_{IL}\leqslant -1.6$ mA,$I_{IH}\leqslant 40$ μA。$V_{OL}\leqslant 0.4$ V 时输出电流最大值为 $I_{OL(max)}=16$ mA,$V_{OH}\geqslant 3.2$ V 时输出电流最大值为 $I_{OH(max)}=-0.4$ mA。G_M 的输出电阻可忽略不计。

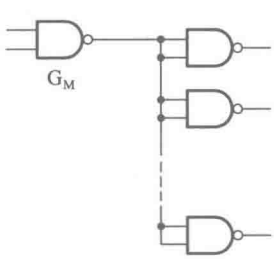


图 P3.16

解:在满足 $V_{OL}\leqslant 0.4$ V 的条件下,求得可驱动的负载门数目为

$$N_1\leqslant \frac{I_{OL(max)}}{|I_{IL(max)}|}=\frac{16}{1.6}=10$$

而在满足 $V_{OH}\geqslant 3.2$ V 的条件下,求得可驱动的负载门数目为

$$N_2\leqslant \frac{|I_{OH(max)}|}{pI_{IH(max)}}=\frac{0.4}{2\times 0.04}=5$$

因此 G_M 最多只能驱动 5 个同样的**与非**门。

【题 3.17】 在图 P3.17 由 74 系列**或非**门组成的电路中,试求门 G_M 能驱动多少同样的**或非**门。要求 G_M 输出的高、低电平满足 $V_{OH}\geqslant 3.2$ V,$V_{OL}\leqslant 0.4$ V。**或非**门每个输入端的输入电流为 $I_{IL}\leqslant -1.6$ mA,$I_{IH}\leqslant 40$ μA。$V_{OL}\leqslant 0.4$ V 时输出电流的最大值为 $I_{OL(max)}=16$ mA,$V_{OH}\geqslant 3.2$ V 时输

出电流的最大值为 $I_{OH(max)}=-0.4$ mA。G_M 的输出电阻可忽略不计。

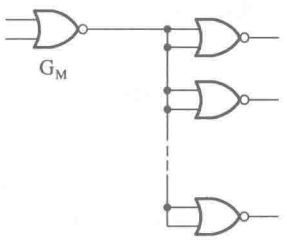


图 P3.17

解：在满足 $V_{OL}\leqslant 0.4$ V 的条件下，能驱动同样负载门的数目为

$$N_1\leqslant\frac{I_{OL(max)}}{|2I_{IL(max)}|}=\frac{16}{2\times 1.6}=5$$

在满足 $V_{OH}\geqslant 3.2$ V 的条件下，能驱动的负载门数目为

$$N_2\leqslant\frac{|I_{OH(max)}|}{2I_{IH(max)}}=\frac{0.4}{2\times 0.04}=5$$

故 G_M 能驱动 5 个同样的**或非**门。

【题 3.18】 在图 P3.18 所示电路中 R_1、R_2 和 C 构成输入滤波电路。当开关 S 闭合时，要求门电路的输入电压 $V_{IL}\leqslant 0.4$ V；当开关 S 断开时，要求门电路的输入电压 $V_{IH}\geqslant 4$ V，试求 R_1 和 R_2 的最大允许阻值。$G_1\sim G_5$ 为 74LS 系列 TTL 反相器，它们的高电平输入电流 $I_{IH}\leqslant 20$ μA，低电平输入电流 $|I_{IL}|\leqslant 0.4$ mA。

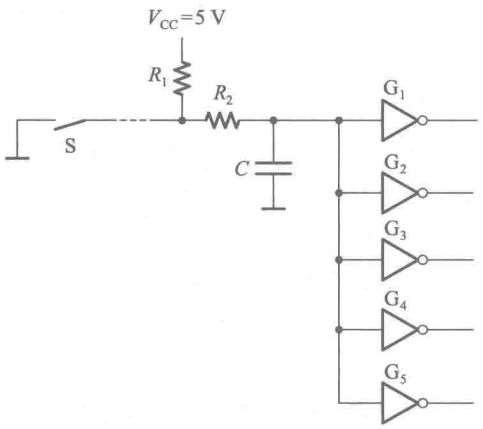


图 P3.18

解：S 闭合时 R_1 被短路，五个反相器的低电平输入电流全部都流入 R_2，使反相器的输入低电平等于 $5I_{IL}R_2$。当 V_{IL} 为最大值 0.4 V 时，可求得 R_2 的最大允许值为

$$R_{2(max)}=\frac{V_{IL(max)}}{5I_{IL(max)}}=\frac{0.4}{5\times 0.4}\ \text{k}\Omega=0.2\ \text{k}\Omega$$

S 断开时所有反相器的高电平输入电流同时流经 R_1 和 R_2，使反相器的输入高电平等于 $V_{CC}-5I_{IH}(R_1+R_2)$。当 V_{IH} 为最小值 4 V 时，可求得 R_1+R_2 的最大允许值为

$$(R_1+R_2)_{max}=\frac{V_{CC}-V_{IH(min)}}{5I_{IH(max)}}=\frac{5-4}{5\times 0.02}\ \text{k}\Omega=10\ \text{k}\Omega$$

因此得到

$$R_{1(max)}=(R_1+R_2)_{max}-R_{2(max)}=(10-0.2)\ \text{k}\Omega=9.8\ \text{k}\Omega$$

【题 3.19】 试绘出图 P3.19 所示电路的高电平输出特性和低电平输出特性。已知 $V_{CC}=5$ V，$R_L=1$ kΩ。OC 门截止时输出管的漏电流 $I_{OH}=200$ μA。$V_I=V_{IH}$ 时 OC 门输出管饱和导通，其饱和压降为 $V_{CE(sat)}=0.1$ V，饱和导通内阻为 $R_{CE(sat)}=20$ Ω。

解：输出为高电平 v_{OH} 时，v_{OH} 与负载电流 i_L 的关系可写成

$$v_{OH}=V_{CC}-(2I_{OH}+|i_L|)R_L \tag{A3.19)a}$$

输出为低电平 v_{OL}，而且只有一个 OC 门导通时，v_{OL} 与 i_L 的关系可写成

$$v_{OL}=\left(\frac{V_{CC}-v_{OL}}{R_L}+i_L\right)R_{CE(sat)}+V_{CE(sat)} \tag{A3.19)b}$$

当 $i_L=0$ 时，由式(A3.19)a 得到 $v_{OH}=4.6$ V；由式(A3.19)b 得到 $v_{OL}=0.1$ V。根据式(A3.19)a 和式(A3.19)b 画出的输出特性如图 A3.19 所示。

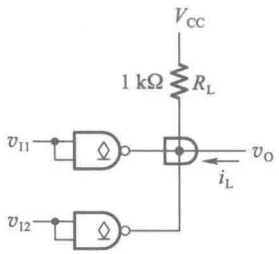


图 P3.19

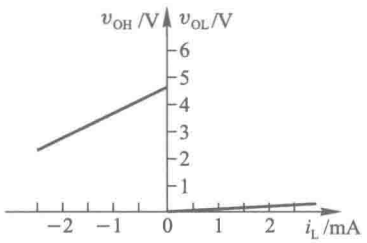


图 A3.19

【题 3.20】 计算图 P3.20 电路中上拉电阻 R_L 的阻值范围。其中 G_1、G_2、G_3 是 74LS 系列 OC 门，输出管截止时的漏电流 $I_{OH}\leqslant 100$ μA，输出低电平 $V_{OL}\leqslant 0.4$ V 时允许的最大负载电流 $I_{OL(max)}=8$ mA。G_4、G_5、G_6 为 74LS 系列**与非**门，它们的输入电流为 $|I_{IL}|\leqslant 0.4$ mA、$I_{IH}\leqslant 20$ μA。给定 $V_{CC}=5$ V，要求 OC 门的输出高、低电平应满足 $V_{OH}\geqslant 3.2$ V、$V_{OL}\leqslant 0.4$ V。

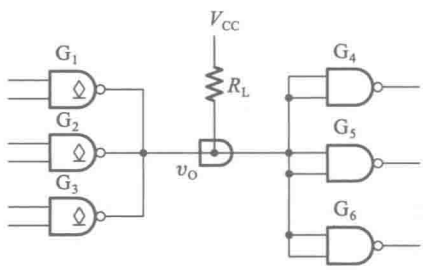


图 P3.20

解：根据本书第二部分第三章中给出的式(3-3-6)可求出 R_L 的最大允许值为

$$R_{L(max)}=\frac{V_{CC}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-3.2}{0.1\times 3+0.02\times 6}\ \text{k}\Omega=4.29\ \text{k}\Omega$$

又根据式(3.3.7)可求出 R_L 的最小允许值为

$$R_{L(min)}=\frac{V_{CC}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.4}{8-3\times 0.4}\ \text{k}\Omega=0.68\ \text{k}\Omega$$

故 R_L 的取值范围应为 $0.68\ \text{k}\Omega\leqslant R_L\leqslant 4.29\ \text{k}\Omega$。

【题 3.21】 在图 P3.21 所示电路中，已知 G_1 和 G_2 为 74LS 系列 OC 输出结构的**与非**门，输出管截止时的漏电流最大值为 $I_{OH(max)}=100$ μA，低电平输出电流最大值为 $I_{OL(max)}=8$ mA，这时输

出的低电平为 $V_{OL(max)}=0.4$ V。$G_3\sim G_5$ 是 74LS 系列的**或非**门，其高电平输入电流最大值为 $I_{IH(max)}=20\ \mu A$，低电平输入电流最大值为 $I_{IL(max)}=-0.4$ mA。给定 $V_{CC}=5$ V，要求满足 $V_{OH}\geqslant 3.4$ V、$V_{OL}\leqslant 0.4$ V，试求 R_L 取值的允许范围。

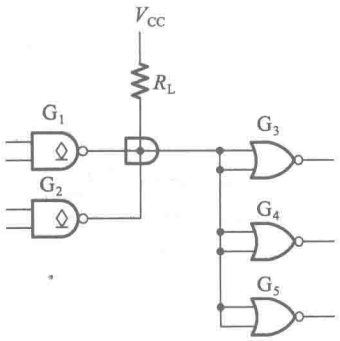


图 P3.21

解：根据式(3-3-6)得到 R_L 的最大允许值为

$$R_{L(max)}=\frac{V_{CC}-V_{OH}}{nI_{OH}+mI_{IH}}=\frac{5-3.4}{0.1\times 2+0.02\times 6}\ k\Omega=5\ k\Omega$$

又根据式(3-3-7)得到 R_L 的最小允许值为

$$R_{L(min)}=\frac{V_{CC}-V_{OL}}{I_{OL(max)}-|m'I_{IL}|}=\frac{5-0.4}{8-0.4\times 6}\ k\Omega=0.82\ k\Omega$$

故 R_L 取值的允许范围为　$0.82\ k\Omega\leqslant R_L\leqslant 5\ k\Omega$。

【题 3.22】 图 P3.22 是一个继电器线圈驱动电路。要求在 $v_I=V_{IH}$ 时三极管 T 截止，而 $v_I=0$ 时三极管 T 饱和导通。已知 OC 门输出管截止时的漏电流 $I_{OH}\leqslant 100\ \mu A$，导通时允许流过的最大电流 $I_{OL(max)}=10$ mA，管压降小于 0.1 V，导通内阻小于 20 Ω。三极管 $\beta=50$，饱和导通压降为 $V_{CE(sat)}=0.1$ V，饱和导通内阻为 $R_{CE(sat)}=20\ \Omega$。继电器线圈内阻 240 Ω，电源电压 $V_{CC}=12$ V、$V_{EE}=-8$ V，$R_2=3.2$ kΩ，$R_3=18$ kΩ，试求 R_1 的阻值范围。

解：

(1) 根据 $v_I=0$ 时三极管 T 应饱和导通的要求，R_1 的阻值不能太大，由此可以计算出 R_1 的最大允许值。由图 A3.22(a)可知，这时三极管 T 的饱和基极电流应为

$$I_{BS}=\frac{V_{CC}-V_{CE(sat)}}{\beta(R_C+R_{CE(sat)})}=\frac{12-0.1}{50\times 260}\ A=0.92\ mA$$

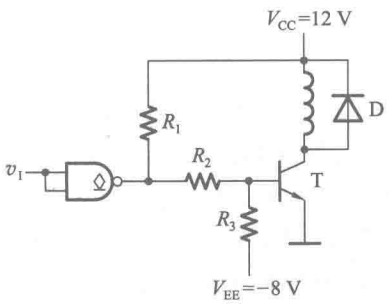


图 P3.22

流过 R_3 的电流为

$$i_3=\frac{v_B-V_{EE}}{R_3}=\frac{0.7+8}{18}\ mA=0.48\ mA$$

流过 R_2 的电流为 I_{BS} 与 i_3 之和，即

$$i_2=I_{BS}+i_3=(0.92+0.48)\ mA=1.4\ mA$$

由此可计算出 OC 门输出端的电位 v_P 为

$$v_P=i_2R_2+v_B=(1.4\times 3.2+0.7)\ V=5.2\ V$$

因为流过 R_1 的电流等于 i_2 与 OC 门高电平输出电流 I_{OH} 之和，故得到

$$R_{1(max)}=\frac{V_{CC}-v_P}{i_2+I_{OH}}=\frac{12-5.2}{1.4+0.1}\ k\Omega=4.5\ k\Omega$$

(2) 根据 $v_I=V_{IH}$ 时三极管 T 应截止的要求，可以计算出 R_1 的最小允许值。由图 A3.22(b)可知，这时 OC 门输出为低电平，$v_P=0.1$ V。因为流过 OC 门的最大负载电流不能超过 $I_{OL(max)}$，所以 R_1 的阻值不能太小。由此可以求出 R_1 的最小允许值。

由图 A3.22(b)可见，这时流过 R_1 的电流除了 OC 门的导通电流外，还有流过 R_2 和 R_3 的电流 i_2。由图可见

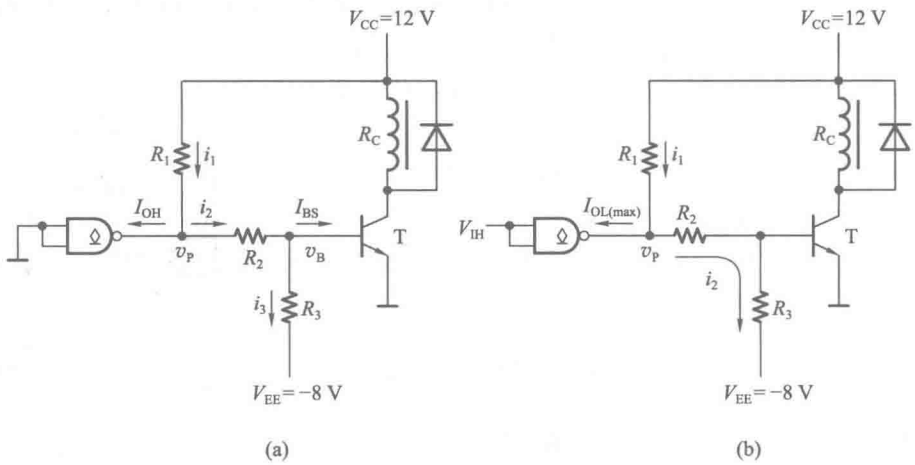


图 A3.22

$$i_2=\frac{v_P-V_{EE}}{R_2+R_3}=\frac{0.1+8}{3.2+18}\ \text{mA}=0.38\ \text{mA}$$

故得到

$$R_{1(\min)}=\frac{V_{CC}-v_P}{I_{OL(\max)}+i_2}=\frac{12-0.1}{10+0.38}\ \text{k}\Omega=1.1\ \text{k}\Omega$$

所以应取 $1.1\ \text{k}\Omega\leqslant R_1\leqslant 4.5\ \text{k}\Omega$。

【题 3.23】 在图 P3.23(a)所示电路中已知三极管导通时 $V_{BE}=0.7$ V,饱和压降 $V_{CE(sat)}=0.3$ V,饱和导通内阻为 $R_{CE(sat)}=20\ \Omega$,三极管的电流放大系数 $\beta=100$。OC 门 G_1 输出管截止时的漏电流约为 50 μA,导通时允许的最大负载电流为 16 mA,输出低电平≤0.3 V。$G_2\sim G_5$ 均为 74 系列 TTL 电路,其中 G_2 为反相器,G_3 和 G_4 是**与非门**,G_5 是**或非门**,它们的输入特性如图 P3.23(b)所示。试问

(1) 在三极管集电极输出的高、低电压满足 $V_{OH}\geqslant 3.5$ V、$V_{OL}\leqslant 0.3$ V 的条件下,R_B的取值范围有多大?

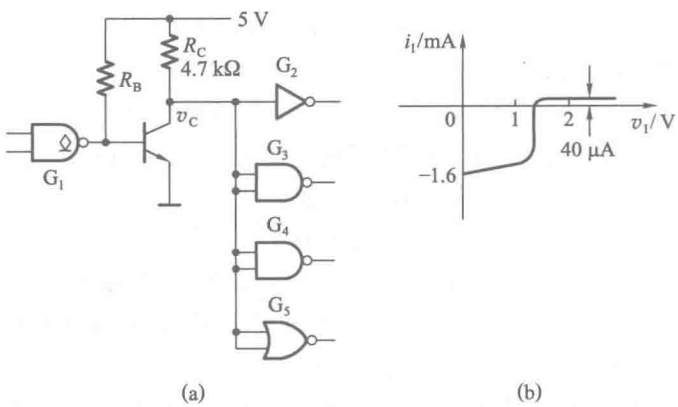


图 P3.23

（2）若将 OC 门改成推拉式输出的 TTL 门电路，会发生什么问题？

解：

（1）计算 R_B的取值范围。

首先，根据三极管饱和导通时的要求可求得 R_B的最大允许值。三极管的临界饱和基极电流应为

$$I_{BS}=\frac{1}{\beta}\left(\frac{V_{CC}-V_{CES}}{R_C+R_{CE(sat)}}+5I_{IL}\right)$$

$$=\frac{1}{100}\left(\frac{5-0.3}{4.7}+5\times1.6\right)\ \text{mA}=0.09\ \text{mA}$$

故得到$\dfrac{V_{CC}-V_{BE}}{R_B}=(0.09+0.05)\ \text{mA}=0.14\ \text{mA}$。

$$R_B=\frac{V_{CC}-V_{BE}}{0.14}=\frac{4.3}{0.14}\ \text{k}\Omega=30.7\ \text{k}\Omega$$

又根据 OC 门导通时允许的最大负载电流为 16 mA 可求出 R_B的最小允许值。

$$R_B=\frac{V_{CC}-V_{OL}}{16}=\frac{4.7}{16}\ \text{k}\Omega=0.29\ \text{k}\Omega$$

故应取 $0.29\ \text{k}\Omega<R_B<30.7\ \text{k}\Omega$。

（2）若将 OC 门直接换成推拉式输出的 TTL 门电路，则 TTL 门电路输出高电平时为低内阻，而且三极管的发射结导通时也是低内阻，因此可能因电流过大而使 TTL 门电路和三极管受损。

【题 3.24】 图 P3.24 是用 TTL 电路驱动 CMOS 电路的实例，试计算上拉电阻 R_L的取值范围。TTL 与非门在 $V_{OL}\leqslant0.3$ V 时的最大输出电流为 8 mA，输出端的 T_5 管截止时有 50 μA 的漏电流。CMOS 或非门的高电平输入电流最大值和低电平输入电流最大值均为 1 μA。要求加到 CMOS 或非门输入端的电压满足 $V_{IH}\geqslant4$ V，$V_{IL}\leqslant0.3$ V。给定电源电压 $V_{DD}=5$ V。

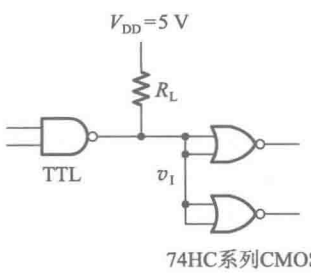


图 P3.24

解：

（1）根据 $V_{IH}\geqslant4$ V 的要求以及已知的 TTL 门电路输出高电平时的漏电流和 CMOS 电路的高电平输入电流，即可求得 R_L的最大允许值

$$R_{L(max)}=\frac{V_{CC}-V_{IH}}{I_{OH}+4I_{IH}}=\frac{5-4}{0.05+0.001\times4}\ \text{k}\Omega=18.5\ \text{k}\Omega$$

（2）根据 $V_{IL}\leqslant0.3$ V 的要求以及 TTL 门电路低电平输出电流最大值和 CMOS 门电路的低电平输入电流，又可求得 R_L的最小允许值

$$R_{L(min)}=\frac{V_{CC}-V_{IL}}{I_{OL(max)}-4I_{IL}}=\frac{5-0.3}{8}\ \text{k}\Omega=0.59\ \text{k}\Omega$$

故 R_L的取值范围应为 $0.59\ \text{k}\Omega\leqslant R_L\leqslant18.5\ \text{k}\Omega$。

【题 3.25】 图 P3.25 是一个用 CMOS 反相器 74AHCT04 驱动 TTL 与非门的电路。试计算当 TTL 与非门分别为 7400、74LS00 和 74ALS00 时,最多能够驱动多少个 TTL 与非门。74AHCT04 的性能参数见表 3.3.2,7400、74LS00 和 74ALS00 的性能参数见表 3.4.1。

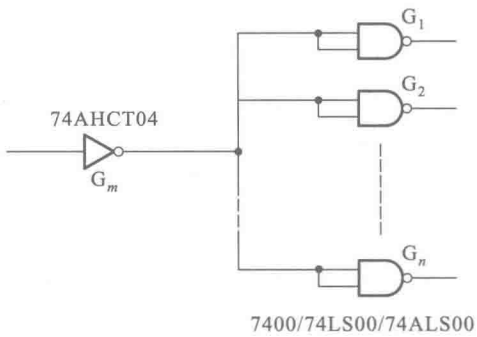


图 P3.25

解:

(1) 驱动门输出高电平时,须保证驱动门的负载电流不超过高电平输出电流最大值 $I_{OH(max)}$。由此得到

$$|I_{OH(max)}| \geqslant 2nI_{IH(max)}$$

$$n \leqslant |I_{OH(max)}|/2I_{IH(max)} \qquad \text{(A3.25)a}$$

上式中的 $I_{IH(max)}$ 为负载门每个输入端的高电平输入电流最大值。因为每个门电路有两个输入端($n=2$),所以每个门总的输入电流为 $I_{IH(max)}$ 的两倍。

由表 3.3.2 查到驱动门 74HCT04 的高电平输出电流最大值为 $I_{OH(max)} = -8$ mA,由表 3.4.1 查到负载门 7400、74LS00、74ALS00 的高电平输入电流最大值分别为 40 μA、20 μA、20 μA,将这些数据代入式(A3.25)a 得到:

当负载门为 7400 时,$n \leqslant 8/2\times 0.04 = 100$;

当负载门为 74LS00 时,$n \leqslant 8/2\times 0.02 = 200$;

当负载门为 74ALS00 时,$n \leqslant 8/2\times 0.02 = 200$。

(2) 驱动门输出低电平时,须保证驱动门的负载电流不超过低电平输出电流最大值 $I_{OL(max)}$。由此得到

$$I_{OL(max)} \geqslant n|I_{IL(max)}|$$

$$n \leqslant I_{OL(max)}/|I_{IL(max)}| \qquad \text{(A3.25)b}$$

由表 3.3.2 可知,驱动门 74HCT04 的高电平输出电流最大值为 $I_{OH(max)} = 8$ mA。同时,由表 3.4.1 可查到负载门 7400、74LS00、74ALS00 的低电平输入电流最大值 $I_{IL(max)}$ 分别为 −1 mA、−0.4 mA、−0.2 mA。将这些数据代入式(A3.25)b 得到:

当负载门为 7400 时,$n \leqslant 8/1 = 8$;

当负载门为 74LS00 时,$n \leqslant 8/0.4 = 20$;

当负载门为 74ALS00 时,$n \leqslant 8/0.2 = 40$。

在同时满足(1)和(2)要求的情况下,当负载门分别为 7400、74LS00 和 74ALS00 时,74HCT04 能够驱动负载门的最大数目分别为 8、20 和 40。

【题 3.26】 计算图 P3.26 所示电路中接口电路输出端 v_C 的高、低电平，并说明接口电路参数的选择是否合理。三极管的电流放大系数 $\beta=40$，饱和导通压降 $V_{CE(sat)}=0.1$ V，饱和导通内阻 $R_{CE(sat)}=20\ \Omega$。CMOS **或非**门的电源电压 $V_{DD}=5$ V，空载输出的高、低电平分别为 $V_{OH}=4.95$ V、$V_{OL}=0.05$ V，门电路的输出电阻小于 200 Ω，高电平输出电流的最大值和低电平输出电流的最大值均为4 mA。TTL **或非**门的高电平输入电流 $I_{IH}=40\ \mu A$，低电平输入电流 $I_{IL}=-1.6$ mA。

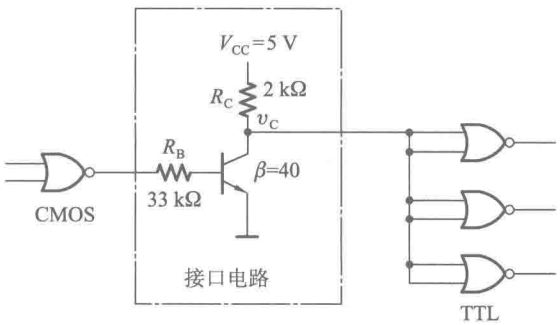


图 P3.26

解：

（1）CMOS 门电路输出为低电平时三极管截止，v_C 的高电平为

$$V_{CH}=V_{CC}-6I_{IH}R_C=(5-6\times40\times10^{-6}\times2\times10^{3})\ \text{V}=4.5\ \text{V}$$

所以接口电路输出的高电平可以满足负载电路对输入高电平大于 2 V 的要求。

（2）CMOS 门电路输出为高电平时应能使三极管饱和导通，方能满足对接口电路输出低电平的要求。由图可知，这时三极管的基极电流为

$$I_B=\frac{V_{OH}-V_{BE}}{R_B+R_O}=\frac{4.95-0.7}{33+0.2}\ \text{mA}=0.128\ \text{mA}$$

式中的 R_O 为 CMOS 门电路的输出电阻。

而三极管的饱和基极电流为

$$I_{BS}=\frac{1}{\beta}\left(\frac{V_{CC}-V_{CE(sat)}}{R_C+R_{CE(sat)}}+6\,|I_{IL}|\right)$$

$$=\frac{1}{40}\left(\frac{5-0.1}{2+0.02}+6\times1.6\right)\ \text{mA}=0.3\ \text{mA}$$

可见，三极管处于不饱和导通状态，电路参数的选择不合理。

由于接口电路和负载门输入电路都是非线性开关电路，因而不便于用列电路方程的方法计算这时接口电路的输出电平。但是可以从电路的工作原理出发判断出这个电平的大致情况。

上面已经计算出此时的基极电流为 $I_B=0.128$ mA，所以对应的集电极电流为 $I_C=\beta I_B=5.12$ mA。假如 v_C 是低电平，则负载门的低电平输入电流将是 $|6I_{IL}|=9.6$ mA，三极管不可能饱和，v_C 不可能是低电平，反之，假如 v_C 是高电平，则负载门的高电平输入电流很小，I_C 绝大部分流过 R_C，足以使 v_C 为低电平。因此，v_C 只能处在负载门输入特性的转折区，即 $v_C\approx1.4$ V。

【题 3.27】 试说明下列各种门电路中哪些可以将输出端并联使用（输入端的状态不一定相同）：

(1) 具有推拉式输出级的 TTL 电路;
(2) TTL 电路的 OC 门;
(3) TTL 电路的三态输出门;
(4) 互补输出结构的 CMOS 门;
(5) CMOS 电路的 OD 门;
(6) CMOS 电路的三态输出门。

解:

(1)、(4)不可;(2)、(3)、(5)、(6)可以。

第四章习题解答

【题 4.1】 分析图 P4.1 电路的逻辑功能，写出输出的逻辑函数式，列出真值表，说明电路逻辑功能的特点。

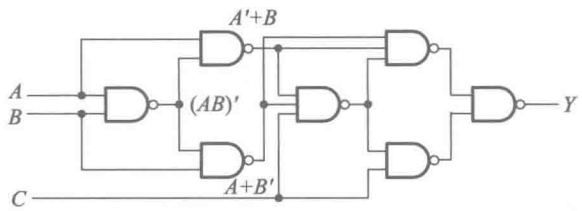


图 P4.1

解： 从输入端到输出端逐级写出输出的逻辑函数式，然后化简，最后得到

$$Y=A'B'C'+A'BC+AB'C+ABC'$$

真值表如表 A4.1。这是一个三变量的奇偶检测电路，当输入变量中有偶数个 **1** 和全 **0** 时输出为 **1**，否则输出为 **0**。

表 A4.1

A	*B*	*C*	*Y*
0	**0**	**0**	**1**
0	**0**	**1**	**0**
0	**1**	**0**	**0**
0	**1**	**1**	**1**
1	**0**	**0**	**0**
1	**0**	**1**	**1**
1	**1**	**0**	**1**
1	**1**	**1**	**0**

【题 4.2】 图 P4.2 是一个多功能函数发生电路。试写出 $S_0S_1S_2S_3$ 为0000～1111 十六种不同状态时输出 Y 的逻辑函数式。

解： 在 $S_3S_2S_1S_0$ 为每一种取值下均可从电路图写出 Y 与 A、B 间的函数关系式。例如当 $S_3S_2S_1S_0=1001$ 时，门 G_2、G_3 的输出管截止，所以输出为 $Y=Y_1\cdot Y_4=(AB)'(A'B')'=(AB+A'B')'=A\oplus B$。依此类推，即可分别求出在 $S_3S_2S_1S_0$ 的十六种取值下 Y 的函数式，如表 A4.2 中所给出。

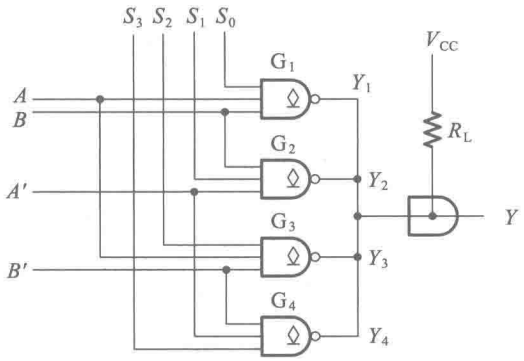


图 P4.2

表 A4.2

S_3	S_2	S_1	S_0	Y
0	0	0	0	1
0	0	0	1	$A'+B'$
0	0	1	0	$A+B'$
0	0	1	1	B'
0	1	0	0	$A'+B$
0	1	0	1	A'
0	1	1	0	$AB+A'B'$
0	1	1	1	$A' \cdot B'$
1	0	0	0	$A+B$
1	0	0	1	$AB'+A'B$
1	0	1	0	A
1	0	1	1	AB'
1	1	0	0	B
1	1	0	1	$A'B$
1	1	1	0	AB
1	1	1	1	0

【题 4.3】 分析图 P4.3 电路的逻辑功能,写出 Y_1、Y_2 的逻辑函数式,列出真值表,指出电路完成什么逻辑功能。

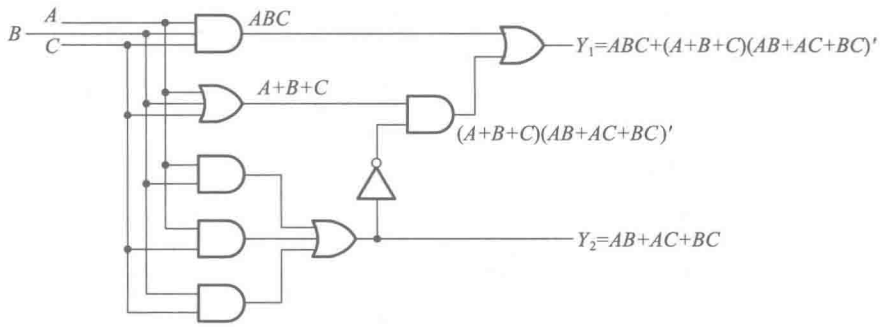


图 P4.3

解：从给定逻辑图的输入到输出逐级写出输出的逻辑式，最后得到输出为

$$Y_1 = ABC + (A+B+C) \cdot (AB+AC+BC)'$$
$$= ABC + AB'C' + A'BC' + A'B'C$$
$$Y_2 = AB + BC + AC$$

由真值表 A4.3 可见，这是一个全加器电路。A、B、C 为加数、被加数和来自低位的进位，Y_1 是和，Y_2 是进位输出。

表 A4.3　题 4.3 的真值表

A	B	C	Y_1	Y_2
0	**0**	**0**	**0**	**0**
0	**0**	**1**	**1**	**0**
0	**1**	**0**	**1**	**0**
0	**1**	**1**	**0**	**1**
1	**0**	**0**	**1**	**0**
1	**0**	**1**	**0**	**1**
1	**1**	**0**	**0**	**1**
1	**1**	**1**	**1**	**1**

【题 4.4】 图 P4.4 是对十进制数 9 求补的集成电路 CC14561 的逻辑图，写出当 $COMP=\mathbf{1}$、$Z=\mathbf{0}$ 和 $COMP=\mathbf{0}$、$Z=\mathbf{0}$ 时，Y_1、Y_2、Y_3、Y_4 的逻辑式，列出真值表。

解：

（1）$COMP=\mathbf{1}$、$Z=\mathbf{0}$ 时输出的逻辑式为

$$\begin{cases} Y_1 = A_1' \\ Y_2 = A_2 \\ Y_3 = A_2 \oplus A_3 \\ Y_4 = (A_2 + A_3 + A_4)' \end{cases}$$

根据上式列出的真值表如表 A4.4。

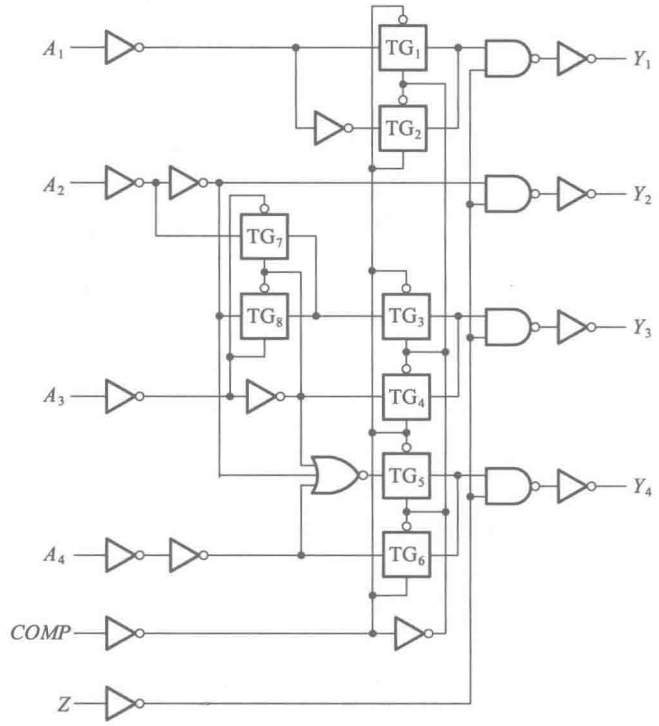


图 P4.4

表 A4.4 *COMP*=1、*Z*=0 时的真值表

十进制数	A_4	A_3	A_2	A_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	1	0	0	1
1	0	0	0	1	1	0	0	0
2	0	0	1	0	0	1	1	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	0	0
6	0	1	1	0	0	0	1	1
7	0	1	1	1	0	0	1	0
8	1	0	0	0	0	0	0	1
9	1	0	0	1	0	0	0	0
	1	0	1	0	0	1	1	1
伪	1	0	1	1	0	1	1	0
	1	1	0	0	0	1	0	1
	1	1	0	1	0	1	0	0
码	1	1	1	0	0	0	1	1
	1	1	1	1	0	0	1	0

（2）$COMP=0$、$Z=0$ 时输出的逻辑式为

$$\begin{cases} Y_1=A_1 \\ Y_2=A_2 \\ Y_3=A_3 \\ Y_4=A_4 \end{cases}$$（即不变换，真值表从略）

【题 4.5】 用与非门设计四变量的多数表决电路。当输入变量 A、B、C、D 有 3 个或 3 个以上为 **1** 时输出为 **1**，输入为其他状态时输出为 **0**。

解： 根据题意即可列出电路的逻辑真值表，如表 A4.5。从真值表写出逻辑式，得到

表 A4.5 题 4.5 的真值表

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$\begin{aligned} Y &= A'BCD+AB'CD+ABC'D+ABCD'+ABCD \\ &= ABC+ABD+ACD+BCD \end{aligned} \tag{A4.5)a}$$

将上式化为**与非-与非**形式

$$Y=((ABC)'\cdot(ABD)'\cdot(ACD)'\cdot(BCD)')' \tag{A4.5)b}$$

根据式(A4.5)b 画出的逻辑电路图如图 A4.5 所示。

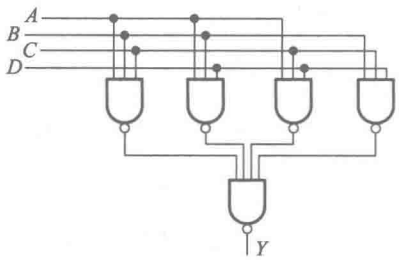


图 A4.5

【题 4.6】 有一水箱由大、小两台水泵 M_L 和 M_S 供水，如图 P4.6 所示。水箱中设置了 3 个水位检测元件 A、B、C。水面低于检测元件时，检测元件给出高电平；水面高于检测元件时，检测元件给出低电平。现要求当水位超过 C 点时水泵停止工作；水位低于 C 点而高于 B 点时 M_S 单独工作；水位低于 B 点而高于 A 点时 M_L 单独工作；水位低于 A 点时 M_L 和 M_S 同时工作。试用门电路设计一个控制两台水泵的逻辑电路，要求电路尽量简单。

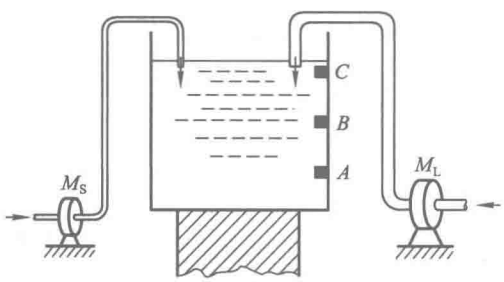


图 P4.6

解：若以 M_L、M_S 分别代表大、小两个水泵，M_L 或 M_S 为 **1** 时表示水泵工作，为 **0** 时表示水泵停止工作。同时，以 **0** 表示检测元件输出的低电平，**1** 表示检测元件输出的高电平，便可列出表 A4.6 的真值表。由于不可能出现水位高于 C 而低于 B 或 A，也不会出现水位高于 B 而低于 A，所以 ABC 的取值不可能出现 **010**、**100**、**101**、**110**，应将 $A'BC'$、$AB'C'$、$AB'C$ 和 ABC' 作为约束项处理。

表 A4.6 题 4.6 的真值表

A	B	C	M_S	M_L
0	**0**	**0**	**0**	**0**
0	**0**	**1**	**1**	**0**
0	**1**	**0**	×	×
0	**1**	**1**	**0**	**1**
1	**0**	**0**	×	×
1	**0**	**1**	×	×
1	**1**	**0**	×	×
1	**1**	**1**	**1**	**1**

从真值表写出 M_S、M_L 的逻辑式，并利用如图 A4.6(a)所示的卡诺图化简，得到

$$\begin{cases} M_S = A + B'C \\ M_L = B \end{cases}$$

逻辑图如图 A4.6(b)所示。

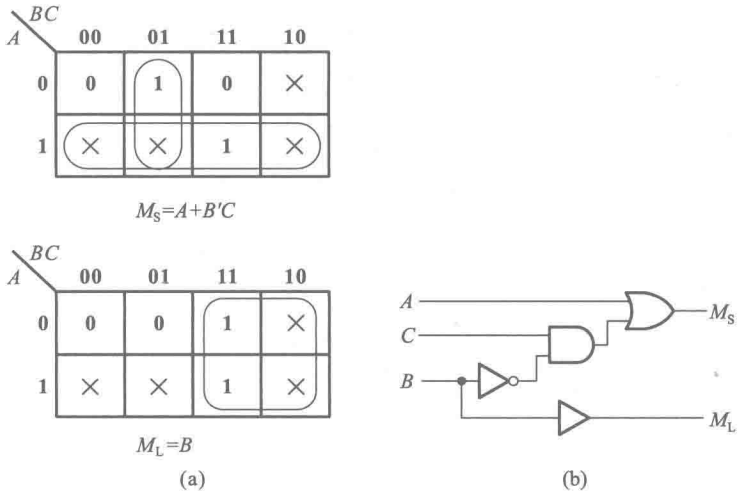


图 A4.6

【题 4.7】　设计一个代码转换电路，输入为 4 位二进制代码，输出为 4 位格雷码。可以采用各种逻辑功能的门电路来实现。4 位格雷码见《数字电子技术基础(第六版)》中第 1.5 节的表 1.5.2。

解：以 4 位二进制代码为输入、4 位格雷码为输出，列成真值表，如表 A4.7。

表 A4.7　题 4.7 的真值表

二进制代码				格雷码				二进制代码				格雷码			
A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0	A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	1	0	1	1	1	1	1	0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

由真值表写出输出逻辑式，化简后得到

$$\begin{cases} Y_3 = A_3 \\ Y_2 = A_3 \oplus A_2 \\ Y_1 = A_2 \oplus A_1 \\ Y_0 = A_1 \oplus A_0 \end{cases}$$

逻辑图如图 A4.7 所示。

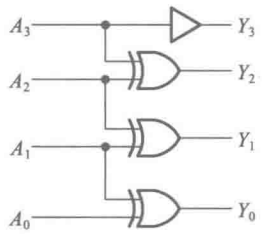


图 A4.7

【题 4.8】 试画出用 4 片 8 线-3 线优先编码器 74HC148 组成 32 线-5 线优先编码器的逻辑图。74HC148 的逻辑图见图 4.4.3(a)。允许附加必要的门电路。

解：为了将 32 个输入低电平信号编成 32 个对应的二进制代码，则输出的编码需要用 5 位。以 $I'_0 \sim I'_{31}$ 表示 32 个编码输入信号，以 $D_4D_3D_2D_1D_0$ 表示输出编码。由于每一片 74HC148 输出的编码只有 3 位，所以另外两位 D_4 和 D_3 只能借助于输出信号 Y'_{EX} 来产生。

若 I'_{31} 的优先权最高、I'_0 的优先权最低，则只要将四片 74HC148 串接起来如图 A4.8 所示，即可实现输入信号的优先排队。取第(4)片工作时的 $D_4D_3=11$、第(3)片工作时的 $D_4D_3=10$、第(2)片工作时的 $D_4D_3=01$、第(1)片工作时的 $D_4D_3=00$，则可列出 D_4、D_3 作为各片 Y_{EX} 信号的函数的真值表，如表 A4.8。

表 A4.8 题 4.8 的真值表

工作的芯片号	Y_{EX4}	Y_{EX3}	Y_{EX2}	Y_{EX1}	D_4	D_3
(4)	**1**	**0**	**0**	**0**	**1**	**1**
(3)	**0**	**1**	**0**	**0**	**1**	**0**
(2)	**0**	**0**	**1**	**0**	**0**	**1**
(1)	**0**	**0**	**0**	**1**	**0**	**0**

从真值表得到

$$D_4 = Y_{EX4} + Y_{EX3} = (Y'_{EX4} \cdot Y'_{EX3})'$$

$$D_3 = Y_{EX4} + Y_{EX2} = (Y'_{EX4} \cdot Y'_{EX2})'$$

输出编码的低 3 位 $D_2D_1D_0$ 由各片的输出 Y_2、Y_1、Y_0 的逻辑**或**运算产生。电路的连接如图 A4.8 所示。

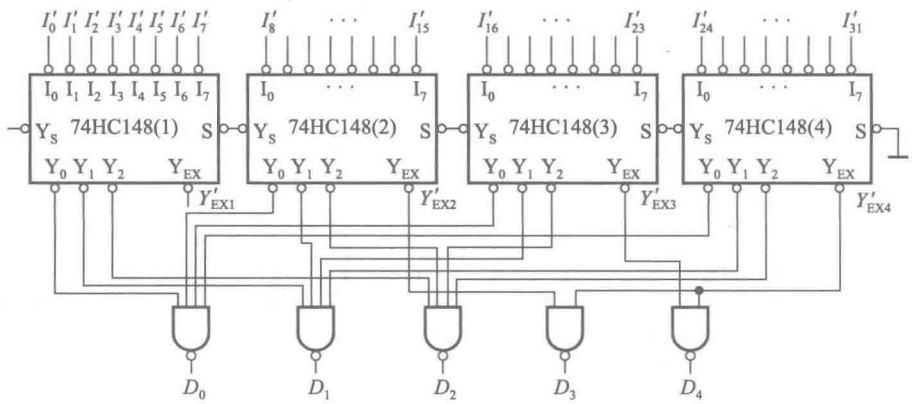


图 A4.8

【题 4.9】 某医院有一、二、三、四号病室 4 间，每室设有呼叫按钮，同时在护士值班室内对应地装有一号、二号、三号、四号 4 个指示灯。

现要求当一号病室的按钮按下时，无论其他病室的按钮是否按下，只有一号灯亮。当一号病室的按钮没有按下而二号病室的按钮按下时，无论三、四号病室的按钮是否按下，只有二号灯亮。当一、二号病室的按钮都未按下而三号病室的按钮按下时，无论四号病室的按钮是否按下，只有三号灯亮。只有在一、二、三号病室的按钮均未按下而按下四号病室的按钮时，四号灯才亮。试用优先编码器 74HC148 和门电路设计满足上述控制要求的逻辑电路，给出控制四个指示灯状态的高、低电平信号。

解：若以 A_1'、A_2'、A_3'、A_4'的低电平分别表示一、二、三、四号病室按下按钮时给出的信号，则将它们接到 74HC148 的 I_3'、I_2'、I_1'、I_0'输入端以后，便在 74HC148 的输出端 Y_2'、Y_1'、Y_0'得到了对应的输出编码，如图 A4.9 所示。

若以 Z_1、Z_2、Z_3、Z_4 分别表示一、二、三、四号灯的点亮信号，还需将 74HC148 输出的代码译成 Z_1、Z_2、Z_3、Z_4 对应的输出高电平信号。为此，可列出电路的逻辑真值表，如表 A4.9 所示。

表 A4.9　题 4.9 的真值表

A_1'	A_2'	A_3'	A_4'	Y_2'	Y_1'	Y_0'	Z_1	Z_2	Z_3	Z_4
0	×	×	×	**1**	**0**	**0**	**1**	**0**	**0**	**0**
1	**0**	×	×	**1**	**0**	**1**	**0**	**1**	**0**	**0**
1	**1**	**0**	×	**1**	**1**	**0**	**0**	**0**	**1**	**0**
1	**1**	**1**	**0**	**1**	**1**	**1**	**0**	**0**	**0**	**1**

由真值表写出

$$\begin{cases} Z_1 = Y_2' Y_1 Y_0 \\ Z_2 = Y_2' Y_1 Y_0' \\ Z_3 = Y_2' Y_1' Y_0 \\ Z_4 = Y_2' Y_1' Y_0' \end{cases}$$

据此即可画出图 A4.9 所示的电路连接图。

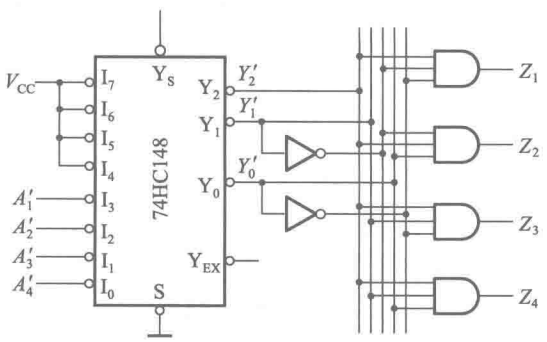


图 A4.9

【题 4.10】 写出图 P4.10 中 Z_1、Z_2、Z_3 的逻辑函数式，并化简为最简的**与或**表达式。译码器 74HC42 的逻辑图见图 4.4.9(a)。

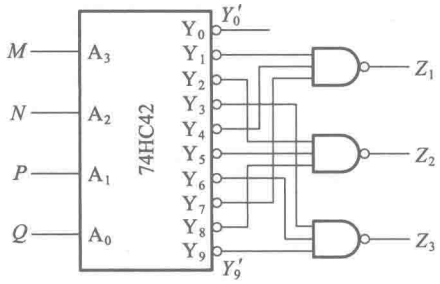


图 P4.10

解：由图 P4.10 电路可直接写出

$$\begin{cases} Z_1=(Y_1'Y_4'Y_7')'=M'N'P'Q+M'NP'Q'+M'NPQ \\ Z_2=(Y_2'Y_5'Y_8')'=M'N'PQ'+M'NP'Q+MN'P'Q' \\ Z_3=(Y_3'Y_6'Y_9')'=M'N'PQ+M'NPQ'+MN'P'Q \end{cases}$$

由于 74HC42 是具有拒绝伪码功能的二-十进制译码器，在输入为 $A_3A_2A_1A_0=$ **1010～1111** 时 $Y_0'\sim Y_9'$均无输出信号，所以可将 $A_3A_2'A_1A_0'$、$A_3A_2'A_1A_0$、$A_3A_2A_1'A_0'$、$A_3A_2A_1'A_0$、$A_3A_2A_1A_0'$、$A_3A_2A_1A_0$ 作为 Z_1、Z_2 和 Z_3 的约束项处理。在图 A4.10 的卡诺图上可见，利用这些约束项可将 Z_1、Z_2、Z_3 化简为

$$\begin{cases} Z_1=M'N'P'Q+NP'Q'+NPQ \\ Z_2=MQ'+NP'Q+N'PQ' \\ Z_3=MQ+NPQ'+N'PQ \end{cases}$$

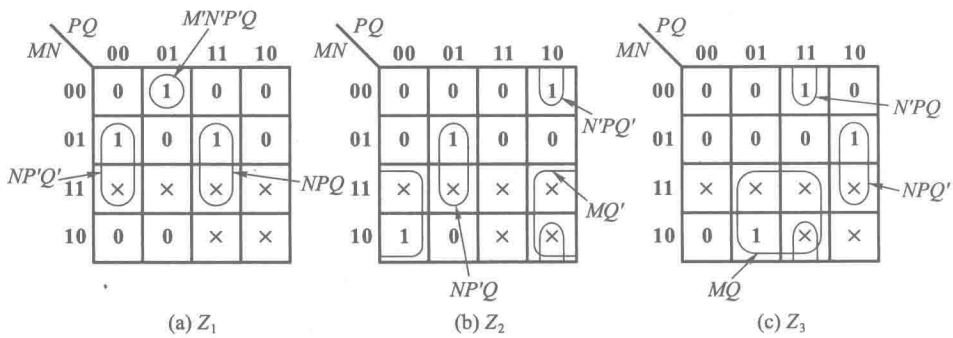


图 A4.10

【题 4.11】 画出用两片 4 线-16 线译码器 74LS154 组成 5 线-32 线译码器的接线图。图 P4.11 是 74LS154 的逻辑框图，图中的 S_A'、S_B'是两个控制端(亦称片选端)，译码器工作时应使S_A'和 S_B'同时为低电平。当输入信号 $A_3A_2A_1A_0$ 为 **0000～1111** 这 16 种状态时，输出端从 Y_0'到 Y_{15}'依次给出低电平输出信号。

解：因为 74LS154 只有 4 位输入代码，所以第 5 位输入代码只能借用 S_A'和S_B'输入端。将 A_4 接至第(1)片 74LS154 的 S_A'和 S_B'输入端，同时将 A_4'接至第(2)片 74LS154 的 S_A'和 S_B'输入端，如图 A4.11 所示。当输入 $A_4A_3A_2A_1A_0=$ **00000～01111** 时，便在第(1)片的 $Z_0'\sim Z_{15}'$依次给出低电平

输出信号。当输入为 $A_4A_3A_2A_1A_0=\mathbf{10000}\sim\mathbf{11111}$ 时，便在第(2)片的输出端 $Z'_{16}\sim Z'_{31}$ 依次给出低电平输出信号。

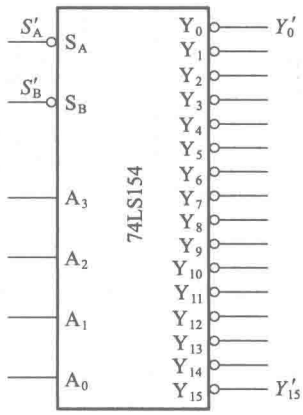


图 P4.11

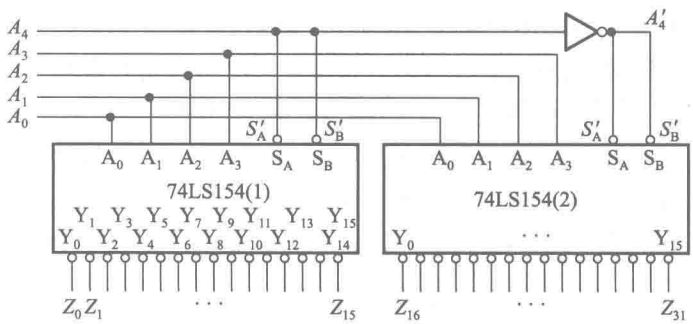


图 A4.11

【题 4.12】 试画出用 3 线-8 线译码器 74HC138(见图 4.4.7)和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = AC \\ Y_2 = A'B'C + AB'C' + BC \\ Y_3 = B'C' + ABC' \end{cases}$$

解：将输入变量 A、B、C 分别接至 74HC138 的输入端 A_2、A_1、A_0，在它的输出端 $Y'_0\sim Y'_7$ 便给出了三变量全部 7 个最小项的反相输出 $m'_0\sim m'_7$。

把给定的函数 Y_1、Y_2、Y_3 化为 $m'_0\sim m'_7$ 的表达式，则得到

$$\begin{cases} Y_1(A,B,C) = AC = AB'C + ABC = m_5 + m_7 = (m'_5 m'_7)' = (Y'_5 Y'_7)' \\ Y_2(A,B,C) = A'B'C + AB'C' + BC = A'B'C + A'BC + AB'C' + ABC \\ \qquad\qquad = m_1 + m_3 + m_4 + m_7 = (m'_1 m'_3 m'_4 m'_7)' = (Y'_1 Y'_3 Y'_4 Y'_7)' \\ Y_3(A,B,C) = B'C' + ABC' = A'B'C' + AB'C' + ABC' \\ \qquad\qquad = m_0 + m_4 + m_6 = (m'_0 m'_4 m'_6)' = (Y'_0 Y'_4 Y'_6)' \end{cases}$$

根据上式即可画出如图 A4.12 所示的电路。

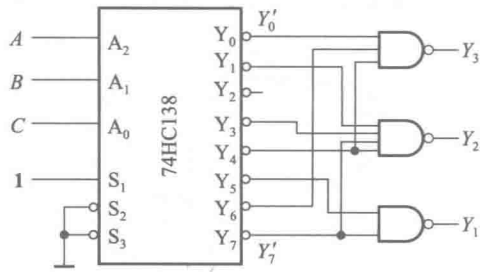


图 A4.12

【题 4.13】 画出用 4 线-16 线译码器 74LS154(参见题 4.11)和门电路产生如下多输出逻辑函数的逻辑图。

$$\begin{cases} Y_1 = A'B'C'D + A'B'CD' + AB'C'D' + A'BC'D' \\ Y_2 = A'BCD + AB'CD + ABC'D + ABCD' \\ Y_3 = A'B \end{cases}$$

解:将 A、B、C、D 接至 74LS154 的 A_3、A_2、A_1、A_0 以后,在输出 $Y_0' \sim Y_{15}'$ 就得到了四变量 A、B、C、D 的全部 16 个最小项的反相输出 $m_0' \sim m_{15}'$。将给定的逻辑式化为用 $m_0' \sim m_{15}'$ 表达的形式,得到

$$\begin{cases} Y_1(A,B,C,D) = A'B'C'D + A'B'CD' + A'BC'D' + AB'C'D' \\ \qquad = m_1 + m_2 + m_4 + m_8 = (m_1' m_2' m_4' m_8')' = (Y_1' Y_2' Y_4' Y_8')' \\ Y_2(A,B,C,D) = A'BCD + AB'CD + ABC'D + ABCD' \\ \qquad = m_7 + m_{11} + m_{13} + m_{14} = (m_7' m_{11}' m_{13}' m_{14}')' = (Y_7' Y_{11}' Y_{13}' Y_{14}')' \\ Y_3(A,B,C,D) = A'B = A'BC'D' + A'BC'D + A'BCD' + A'BCD \\ \qquad = m_4 + m_5 + m_6 + m_7 = (m_4' m_5' m_6' m_7')' = (Y_4' Y_5' Y_6' Y_7')' \end{cases}$$

根据上式画得的电路图如图 A4.13 所示。

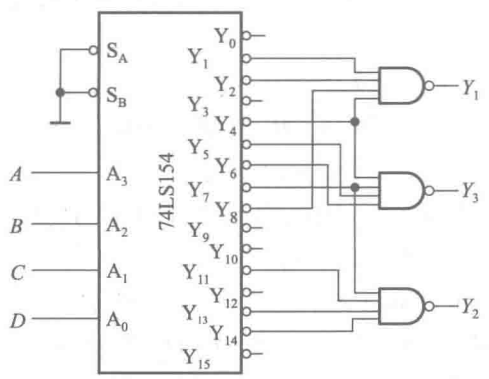


图 A4.13

【题 4.14】 用 3 线-8 线译码器 74HC138 和门电路设计 1 位二进制全减器电路。输入为被减数、减数和来自低位的借位;输出为两数之差和向高位的借位信号。

解:设 M_i 为被减数、N_i 为减数、B_{i-1} 为来自低位的借位,D_i 为差数、B_i 为向高位的借位,则可

列出一位全减器的真值表。由真值表 A4.14 得到 D_i 和 B_i 的逻辑式，并化成由译码器输出 $Y_0'\sim Y_7'$ 表示的形式，于是得到

$$\begin{aligned}D_i&=M_i'N_i'B_{i-1}+M_i'N_iB_{i-1}'+M_iN_i'B_{i-1}'+M_iN_iB_{i-1}\\&=(Y_1'Y_2'Y_4'Y_7')'\\B_i&=M_i'N_i'B_{i-1}+M_i'N_iB_{i-1}'+M_i'N_iB_{i-1}+M_iN_iB_{i-1}\\&=(Y_1'Y_2'Y_3'Y_7')'\end{aligned}$$

表 A4.14 一位全减器的真值表

M_i	N_i	B_{i-1}	D_i	B_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

根据上面得到的 D_i、B_i 的逻辑式，即可得到如图 A4.14 的全减器电路。

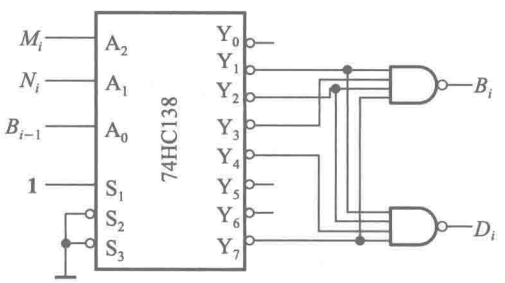


图 A4.14

【题 4.15】 试用两片双 4 选 1 数据选择器 74HC153 和 3 线-8 线译码器 74HC138 接成 16 选 1 的数据选择器。74HC153 的逻辑图见图 4.4.20，74HC138 的逻辑图见图 4.4.7。

解：为了能从 16 个数据中选中任何一个，必须用 4 位地址输入 $A_3A_2A_1A_0$ 给出的 16 个代码。但每个 4 选 1 数据选择器只有两位地址代码输入端，因此可以首先用 A_3A_2 的四个代码（**00**、**01**、**10**、**11**）从四个 4 选 1 数据选择器中选出一个，再用 A_1A_0 的四个代码从选中的这个 4 选 1 数据选择器的四个输入数据中选出一个，经过输出端的或门送至输出 Z。为此，需要用 74HC138 将 A_3A_2 的 **00**、**01**、**10**、**11** 四个代码译成 Y_0'、Y_1'、Y_2'、Y_3' 的四个输出低电平信号，分别接到四个 4 选 1 数据选择器的选通控制端（S_1' 及 S_2'）上。这样就得到了如图 A4.15 所示的电路。

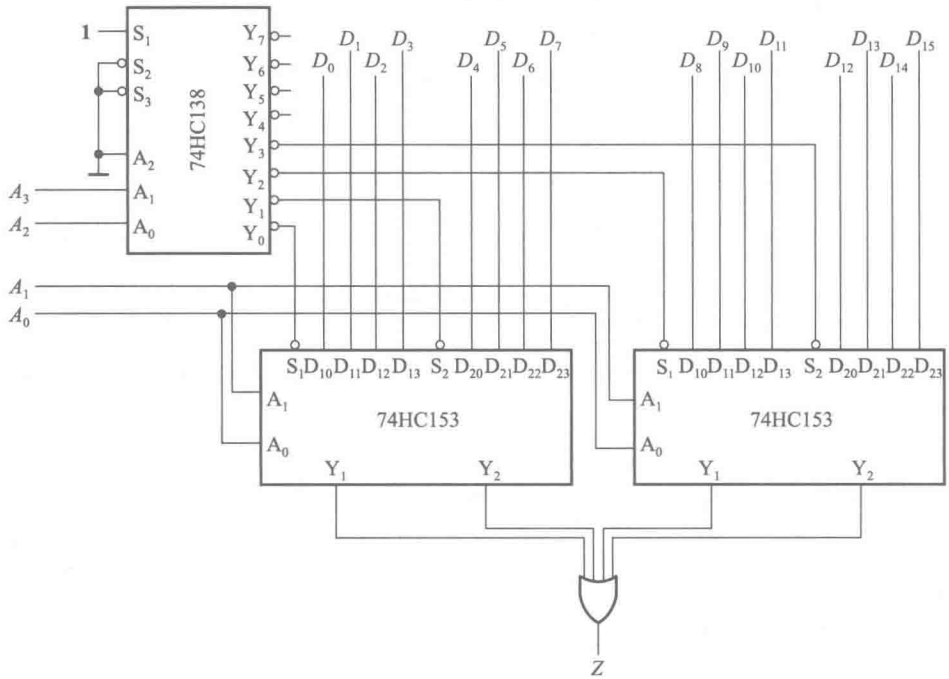


图 A4.15

【题 4.16】 分析图 P4.16 电路,写出输出 Z 的逻辑函数式。74HC151 为 8 选 1 数据选择器,它的逻辑图见图 4.5.5,输出的逻辑函数式见式(4.5.6)。

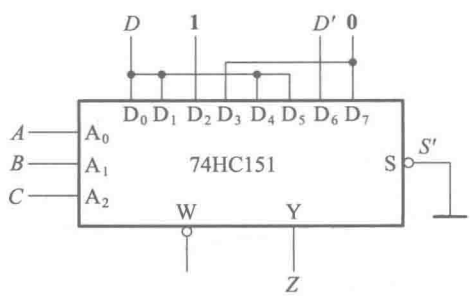


图 P4.16

解:由式(4.5.6)知 74HC151 的输出逻辑函数式为

$$Y=D_0(A_2'A_1'A_0')+D_1(A_2'A_1'A_0)+D_2(A_2'A_1A_0')+D_3(A_2'A_1A_0)$$
$$+D_4(A_2A_1'A_0')+D_5(A_2A_1'A_0)+D_6(A_2A_1A_0')+D_7(A_2A_1A_0)$$

将 $A_2=C$、$A_1=B$、$A_0=A$、$D_0=D_1=D_4=D_5=D$、$D_6=D'$、$D_2=1$、$D_3=D_7=0$、$Y=Z$ 代入上式,得到

$$Z=DC'B'A'+DC'B'A+C'BA'+DCB'A'+DCB'A+D'CBA'$$

【题 4.17】 图 P4.17 是用两个 4 选 1 数据选择器组成的逻辑电路,试写出输出 Z 与输入 M、N、P、Q 之间的逻辑函数式。已知数据选择器的逻辑函数式为

$$Y=[D_0A_1'A_0'+D_1A_1'A_0+D_2A_1A_0'+D_3A_1A_0]\cdot S$$

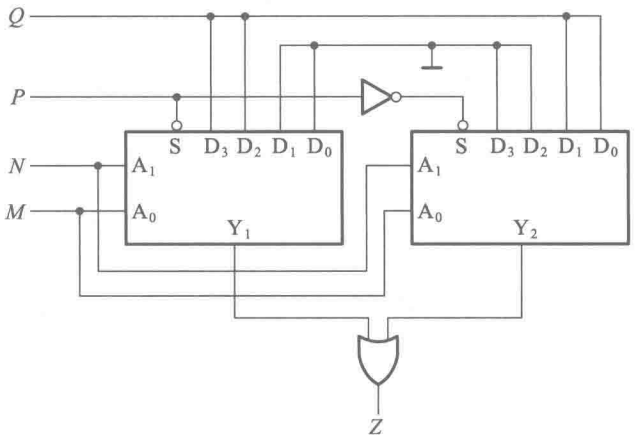


图 P4.17

解：由图可以写出

$$Y_1=[O\cdot N'M'+O\cdot N'M+QNM'+QNM]P'=NP'Q$$

$$Y_2=[QN'M'+QN'M+O\cdot NM'+O\cdot NM]P=N'PQ$$

$$Z=Y_1+Y_2=NP'Q+N'PQ$$

【题 4.18】 试用 4 选 1 数据选择器产生逻辑函数

$$Y=AB'C'+A'C'+BC$$

解：已知 4 选 1 数据选择器的输出逻辑式为

$$Y=A_1'A_0'\cdot D_0+A_1'A_0\cdot D_1+A_1A_0'\cdot D_2+A_1A_0\cdot D_3$$

将给定的逻辑函数化为与上式对应的形式

$$Y=A'B'\cdot C'+A'B\cdot 1+AB'\cdot C'+AB\cdot C$$

令数据选择器的输入接成 $A_1=A$、$A_0=B$、$D_0=C'$、$D_1=1$、$D_2=C'$、$D_3=C$，如图 A4.18 所示，则数据选择器的输出 Y 就是所要求产生的逻辑函数。

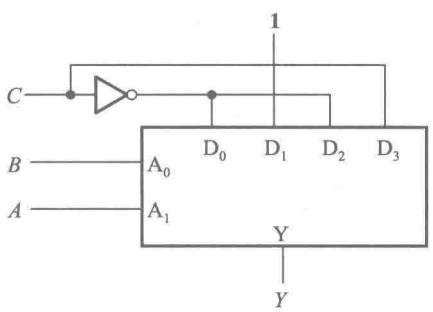


图 A4.18

【题 4.19】 用 8 选 1 数据选择器 74HC151（见图 4.5.5）产生逻辑函数

$$Y=AC'D+A'B'CD+BC+BC'D'$$

解：由式（4.5.6）知 74HC151 的输出逻辑式可写为

$$Y=(A_2'A_1'A_0')\cdot D_0+(A_2'A_1'A_0)\cdot D_1+(A_2'A_1A_0')\cdot D_2$$
$$+(A_2'A_1A_0)\cdot D_3+(A_2A_1'A_0')\cdot D_4+(A_2A_1'A_0)\cdot D_5$$
$$+(A_2A_1A_0')\cdot D_6+(A_2A_1A_0)\cdot D_7$$

将给定的逻辑函数式化成与上式对应的形式,得到

$$Y=(A'B'C')\cdot 0+(A'B'C)\cdot D+(A'BC')\cdot D'+(A'BC)\cdot 1$$
$$+(AB'C')\cdot D+(AB'C)\cdot 0+(ABC')\cdot 1+(ABC)\cdot 1$$

令 74HC151 的输入为 $A_2=A$、$A_1=B$、$A_0=C$、$D_0=D_5=0$、$D_1=D_4=D$、$D_2=D'$、$D_3=D_6=D_7=1$,如图 A4.19 所示,则 74HC151 的输出 Y 就是要求产生的逻辑函数。

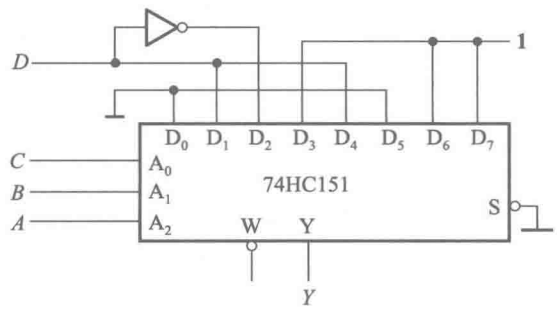


图 A4.19

【题 4.20】 用 8 选 1 数据选择器 74HC151(见图 4.5.5)产生逻辑函数

$$Y=AC+A'BC'+A'B'C$$

解:已知 8 选 1 数据选择器输出逻辑函数为

$$Y=(A_2'A_1'A_0')\cdot D_0+(A_2'A_1'A_0)\cdot D_1+(A_2'A_1A_0')\cdot D_2$$
$$+(A_2'A_1A_0)\cdot D_3+(A_2A_1'A_0')\cdot D_4+(A_2A_1'A_0)\cdot D_5$$
$$+(A_2A_1A_0')\cdot D_6+(A_2A_1A_0)\cdot D_7$$

将给定的逻辑函数式变换为与上式相对应的形式,得到

$$Y=(A'B'C')\cdot 0+(A'B'C)\cdot 1+(A'BC')\cdot 1+(A'BC)\cdot 0$$
$$+(AB'C')\cdot 0+(AB'C)\cdot 1+(ABC')\cdot 0+(ABC)\cdot 1$$

令 74HC151 的输入为 $A_2=A$、$A_1=B$、$A_0=C$、$D_0=D_3=D_4=D_6=0$、$D_1=D_2=D_5=D_7=1$,如图 A4.20 所示,则 74HC151 的输出 Y 就是所要求的逻辑函数。

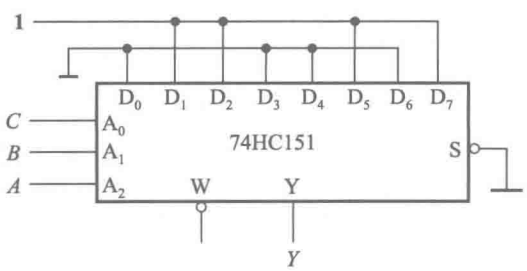


图 A4.20

【题 4.21】 设计用 3 个开关控制一个电灯的逻辑电路，要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用数据选择器来实现。

解：以 A、B、C 表示三个双位开关，并用 **0** 和 **1** 分别表示开关的两个状态。以 Y 表示灯的状态，用 **1** 表示亮，用 **0** 表示灭。设 $ABC=000$ 时 $Y=0$，从这个状态开始，单独改变任何一个开关的状态 Y 的状态都要变化。据此列出 Y 与 A、B、C 之间逻辑关系的真值表 A4.21。

表 A4.21 题 4.21 的真值表

A	B	C	Y	A	B	C	Y
0	0	0	0	0	1	1	0
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	0
1	0	0	1	1	1	1	1

从真值表写出逻辑式

$$Y=A'B'C+A'BC'+AB'C'+ABC$$

产生上述三变量逻辑函数用具有两位地址输入的 4 选 1 数据选择器即可。

已知 4 选 1 数据选择器输出的逻辑式可写为

$$Y=A_1'A_0'\cdot D_0+A_1'A_0\cdot D_1+A_1A_0'\cdot D_2+A_1A_0\cdot D_3$$

只要令数据选择器的输入为 $A_1=A$、$A_0=B$、$D_0=D_3=C$、$D_1=D_2=C'$，如图 A4.21 所示，则数据选择器的输出即为要求得到的函数。

【题 4.22】 人的血型有 A、B、AB、O 4 种。输血时输血者的血型与受血者血型必须符合图 P4.22 中用箭头指示的授受关系。试用数据选择器设计一个逻辑电路，判断输血者与受血者的血型是否符合上述规定。（提示：可以用两个逻辑变量的 4 种取值表示输血者的血型。用另外两个逻辑变量的 4 种取值表示受血者的血型。）

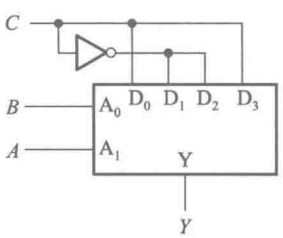


图 A4.21

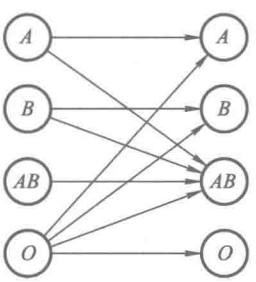


图 P4.22

解：以 MN 的 4 种状态组合表示输血者的 4 种血型，并以 PQ 的 4 种状态组合表示受血者的 4 种血型，如图 A4.22(a)所示。用 Z 表示判断结果，$Z=0$ 表示符合图 A4.22(a)要求，$Z=1$ 表示不符合要求。

据此可列出表示 Z 与 M、N、P、Q 之间逻辑关系的真值表如表 A4.22 所示。

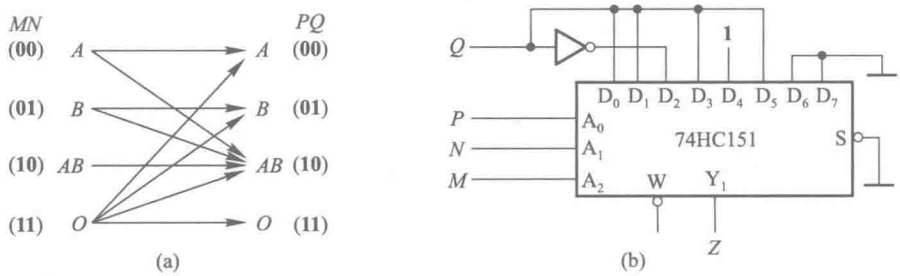


图 A4.22

从真值表写出逻辑式为

$$Z = M'N'P'Q + M'N'PQ + M'NP'Q' + M'NPQ + MN'P'Q' + MN'P'Q + MN'PQ$$

取 8 选 1 数据选择器产生上式的逻辑函数。已知 8 选 1 数据选择器的输出为

表 A4.22 题 4.22 的真值表

M	N	P	Q	Z	M	N	P	Q	Z
0	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**1**
0	**0**	**0**	**1**	**1**	**1**	**0**	**0**	**1**	**1**
0	**0**	**1**	**0**	**0**	**1**	**0**	**1**	**0**	**0**
0	**0**	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**1**
0	**1**	**0**	**0**	**1**	**1**	**1**	**0**	**0**	**0**
0	**1**	**0**	**1**	**0**	**1**	**1**	**0**	**1**	**0**
0	**1**	**1**	**0**	**0**	**1**	**1**	**1**	**0**	**0**
0	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**

$$Y = A_2'A_1'A_0' \cdot D_0 + A_2'A_1'A_0 \cdot D_1 + A_2'A_1A_0' \cdot D_2 + A_2'A_1A_0 \cdot D_3 + A_2A_1'A_0' \cdot D_4 + A_2A_1'A_0 \cdot D_5 + A_2A_1A_0' \cdot D_6 + A_2A_1A_0 \cdot D_7$$

将 Z 变化成与 Y 对应的形式,得到

$$Z = M'N'P' \cdot Q + M'N'P \cdot Q + M'NP' \cdot Q' + M'NP \cdot Q + MN'P' \cdot \mathbf{1} + MN'P \cdot Q + MNP' \cdot \mathbf{0} + MNP \cdot \mathbf{0}$$

令数据选择器的输入为 $A_2 = M$、$A_1 = N$、$A_0 = P$、$D_0 = D_1 = D_3 = D_5 = Q$,$D_2 = Q'$、$D_4 = \mathbf{1}$、$D_6 = D_7 = \mathbf{0}$,如图 A4.22(b)所示,则数据选择器的输出 Y 即为所求的 Z。

【题 4.23】 用 8 选 1 数据选择器 74HC151(见图 4.5.5)设计一个组合逻辑电路。该电路有 3 个输入逻辑变量 A、B、C 和 1 个工作状态控制变量 M。当 $M = \mathbf{0}$ 时电路实现“意见一致”功能(A、B、C 状态一致时输出为 **1**,否则输出为 **0**),而 $M = \mathbf{1}$ 时电路实现“多数表决”功能,即输出与 A、B、C 中多数的状态一致。

解: 根据题意可列出表 A4.23 所示的真值表。表中用 Z 表示输出逻辑变量。

表 A4.23　题 4.23 的真值表

M	A	B	C	Z	M	A	B	C	Z
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

由真值表写出逻辑式为

$$\begin{aligned} Z &= (A'B'C'+ABC)M'+(A'BC+AB'C+ABC'+ABC)M \\ &= A'B'C' \cdot M'+A'B'C \cdot \mathbf{0}+A'BC' \cdot \mathbf{0}+A'BC \cdot M+AB'C' \cdot \mathbf{0} \\ &\quad +AB'C \cdot M+ABC' \cdot M+ABC \cdot \mathbf{1} \end{aligned}$$

用 74HC151 接成的电路如图 A4.23 所示。其中 $A_2=A$、$A_1=B$、$A_0=C$，$D_0=M'$，$D_1=D_2=D_4=\mathbf{0}$，$D_3=D_5=D_6=M$，$D_7=\mathbf{1}$。

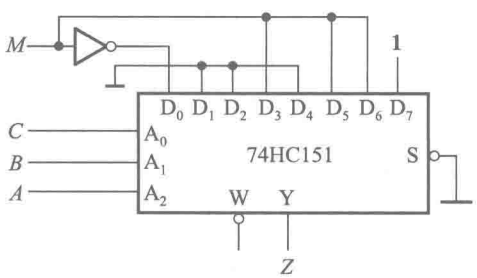


图 A4.23

【题 4.24】　用 8 选 1 数据选择器设计一个函数发生器电路，它的功能表如表 P4.24 所示。

表 P4.24　题 4.24 电路的功能表

S_1	S_0	Y
0	0	$A \cdot B$
0	1	$A+B$
1	0	$A \oplus B$
1	1	A'

解：由功能表写出逻辑式

$$Y=S_1'S_0'AB+S_1'S_0(A+B)+S_1S_0'(AB'+A'B)+S_1S_0A'$$

又知 8 选 1 数据选择器的输出逻辑式为

$$Y=A_2'A_1'A_0'\cdot D_0+A_2'A_1'A_0\cdot D_1+A_2'A_1A_0'\cdot D_2+A_2'A_1A_0\cdot D_3$$
$$+A_2A_1'A_0'\cdot D_4+A_2A_1'A_0\cdot D_5+A_2A_1A_0'\cdot D_6+A_2A_1A_0\cdot D_7$$

将要求产生的函数式化为与数据选择器输出函数式完全对应的形式,得到

$$Y=S_1'S_0'A'\cdot\mathbf{0}+S_1'S_0'A\cdot B+S_1'S_0A'\cdot B+S_1'S_0A\cdot\mathbf{1}$$
$$+S_1S_0'A'\cdot B+S_1S_0'A\cdot B'+S_1S_0A'\cdot\mathbf{1}+S_1S_0A\cdot\mathbf{0}$$

令 74HC151 的输入为 $A_2=S_1$,$A_1=S_0$,$A_0=A$,$D_0=D_7=\mathbf{0}$,$D_1=D_2=D_4=B$,$D_3=D_6=\mathbf{1}$,$D_5=B'$,即得到图 A4.24 电路。

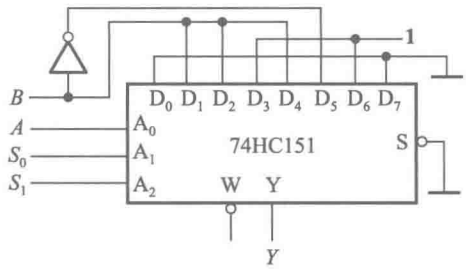


图 A4.24

【题 4.25】 试用 4 位并行加法器 74LS283 设计一个加/减运算电路。当控制信号 $M=\mathbf{0}$ 时它将两个输入的 4 位二进制数相加,而 $M=\mathbf{1}$ 时它将两个输入的 4 位二进制数相减。两数相加的绝对值不大于 15。允许附加必要的门电路。

解:根据二进制数的加、减运算方法可知,若 $M=\mathbf{0}$ 时进行两个 4 位数 $a_3a_2a_1a_0$ 和 $b_3b_2b_1b_0$ 相加运算,则直接将两数加到 74LS283 的两组输入端就行了。而如果在 $M=\mathbf{1}$ 时要进行 $a_3a_2a_1a_0-b_3b_2b_1b_0$ 的运算,则应将 $b_3b_2b_1b_0$ 变成补码与 $a_3a_2a_1a_0$ 的补码(与原码相同)相加。为此,需将 $b_3b_2b_1b_0$ 每一位求反,同时在最低位加 **1**。

为满足上述要求,可将 b_3、b_2、b_1、b_0 与 M 作异或运算后加到 74LS283 上,同时将 M 接至加法器的进位输入端 CI,如图 A4.25 所示。当 $M=\mathbf{0}$ 时,$B_3\ B_2B_1\ B_0=b_3b_2b_1b_0$,故得

$$S_3S_2S_1S_0=a_3a_2a_1a_0+b_3b_2b_1b_0$$

当 $M=\mathbf{1}$ 时,$B_3B_2B_1B_0=b_3'b_2'b_1'b_0'$,即每一位求反,而且这时还从进位输入端 CI 加入 **1**,故得

$$S_3S_2S_1S_0=a_3a_2a_1a_0+[b_3b_2b_1b_0]_{补}=a_3a_2a_1a_0-b_3b_2b_1b_0$$

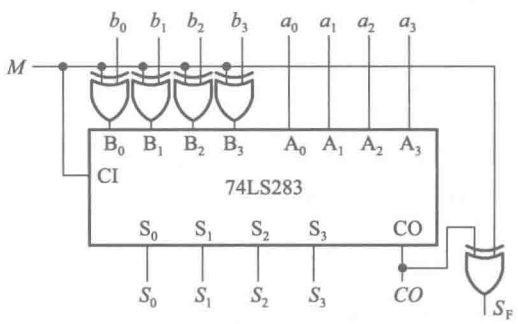


图 A4.25

输出的和是补码形式。S_F 是和的符号位，和为正数时 $S_F=\mathbf{0}$，和为负数时 $S_F=\mathbf{1}$。

【题 4.26】 能否用一片 4 位并行加法器 74LS283 将余 3 代码转换成 8421 的二-十进制代码？如果可能，应当如何连线？

解：由《数字电子技术基础(第六版)》第一章的表 1.5.1 可知，从余 3 码中减去 3(**0011**)即可得到 8421 码。减 3 可通过加它的补码实现。若输入的余 3 码为 $D_3D_2D_1D_0$，输出的 8421 码为 $Y_3Y_2Y_1Y_0$，则有

$$Y_3Y_2Y_1Y_0=D_3D_2D_1D_0+[\mathbf{0011}]_{补}=D_3D_2D_1D_0+\mathbf{1101}$$

于是得到图 A4.26 电路。

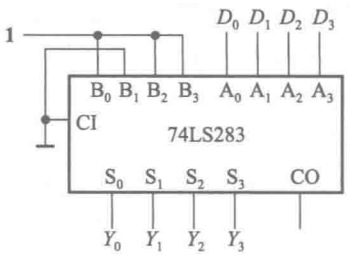


图 A4.26

【题 4.27】 试利用两片 4 位二进制并行加法器 74LS283 和必要的门电路组成 1 位二-十进制加法器电路。(提示：根据二-十进制数的加法运算规则，当两数之和小于、等于 9(**1001**)时，相加的结果和按二进制数相加所得到的结果一样。当两数之和大于 9(即等于 **1010~1111**)时，则应在按二进制数相加的结果上加 6(**0110**)，这样就可以给出进位信号，同时得到一个小于 9 的和。)

解：为了说明二-十进制加法器应如何构成，首先列出两个二-十进制数相加应得的二-十进制形式的结果，与将它们按两个二进制数相加的结果做对照，如表 A4.27 所示。

表 A4.27　二进制加法运算与二-十进制加法运算的对照

两个二-十进制数之和	按二进制相加的结果					按二-十进制相加应得的结果					备注
	S_{13}	S_{12}	S_{11}	S_{10}	CO_1	S_{23}	S_{22}	S_{21}	S_{20}	CO_2	
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	与按二进制相加结果相同
1	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**0**	
2	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	
3	**0**	**0**	**1**	**1**	**0**	**0**	**0**	**1**	**1**	**0**	
4	**0**	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	
5	**0**	**1**	**0**	**1**	**0**	**0**	**1**	**0**	**1**	**0**	
6	**0**	**1**	**1**	**0**	**0**	**0**	**1**	**1**	**0**	**0**	
7	**0**	**1**	**1**	**1**	**0**	**0**	**1**	**1**	**1**	**0**	
8	**1**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**0**	
9	**1**	**0**	**0**	**1**	**0**	**1**	**0**	**0**	**1**	**0**	
10	**1**	**0**	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**1**	需要对按二进制加法得到的结果作加 6 的修正
11	**1**	**0**	**1**	**1**	**0**	**0**	**0**	**0**	**1**	**1**	
12	**1**	**1**	**0**	**0**	**0**	**0**	**0**	**1**	**0**	**1**	
13	**1**	**1**	**0**	**1**	**0**	**0**	**0**	**1**	**1**	**1**	
14	**1**	**1**	**1**	**0**	**0**	**0**	**1**	**0**	**0**	**1**	
15	**1**	**1**	**1**	**1**	**0**	**0**	**1**	**0**	**1**	**1**	
16	**0**	**0**	**0**	**0**	**1**	**0**	**1**	**1**	**0**	**1**	
17	**0**	**0**	**0**	**1**	**1**	**0**	**1**	**1**	**1**	**1**	
18	**0**	**0**	**1**	**0**	**1**	**1**	**0**	**0**	**0**	**1**	

由表可见,若将两个 8421 的二-十进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 用二进制加法器相加,则当相加结果≤9(**1001**)时,得到的和 $S_3S_2S_1S_0$ 就是所求的二-十进制和。而当相加结果≥10(**1010**)以后,必须将这个结果在另一个二进制加法器加 6(**0110**)进行修正,才能得到二-十进制的和及相应的进位输出。由表可知,产生进位输出 CO_2 的条件为

$$CO_2 = CO_1 + S_{13}S_{12} + S_{13}S_{11}$$

产生 CO_2 的同时,应该在 $S_{13}S_{12}S_{11}S_{10}$ 上加 6(**0110**),得到的 $S_{23}S_{22}S_{21}S_{20}$ 和 CO_2 就是修正后的结果。故得到图 A4.27 电路。

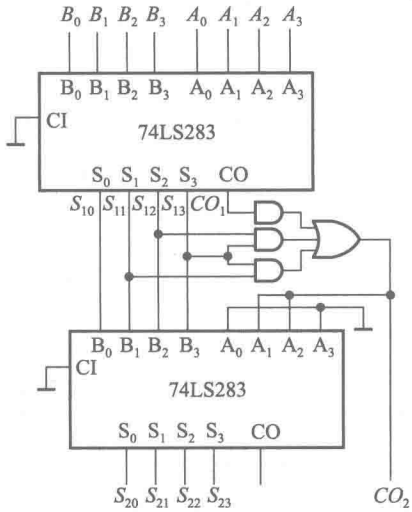


图 A4.27

【题 4.28】 若用 4 位数值比较器 74LS85(见图 4.4.27)组成 10 位数值比较器,需要用几片?各片之间应如何连接?

解:需要用三片 74LS85,连接方法如图 A4.28 所示。

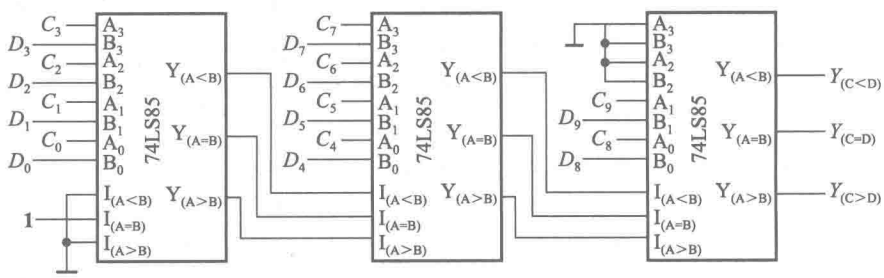


图 A4.28

【题 4.29】 试用两个 4 位数值比较器组成三个数的判断电路。要求能够判别三个 4 位二进制数 $A(a_3a_2a_1a_0)$、$B(b_3b_2b_1b_0)$、$C(c_3c_2c_1c_0)$ 是否相等、A 是否最大、A 是否最小,并分别给出“三个数相等”、“A 最大”、“A 最小”的输出信号。可以附加必要的门电路。

解:将 A 分别与 B、C 比较。只有“$A>B$”与“$A>C$”同时满足时,才可判定为“A 最大”,所以得到

$$\text{“}A\text{ 最大”}=(A>B)\cdot(A>C)$$

同理可知

$$\text{“}A\text{ 最小”}=(A<B)\cdot(A<C)$$

$$\text{“三个数相等”}=(A=B)\cdot(A=C)$$

电路的连接如图 A4.29 所示。

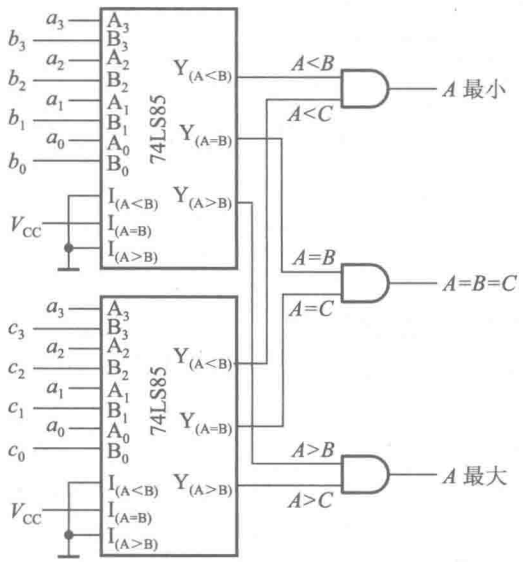


图 A4.29

【题 4.30】 已知 4 位数值比较器 74LS85 的传输延迟时间(从加上两个输入比较数到产生输出比较结果所需时间)小于 45 ns。要求用六片 74LS85 接成一个 24 位数值比较器电路,传输延迟时间不得大于 90 ns。

解:由于限制总的传输延迟时间不大于 90 ns,而每一片 74LS85 的传输时间最大值为 45 ns,因此只能采用两级串联连接方式,而不能采用六片逐级串联的连接方式。

又因为只允许用六片 74LS85,第一级只有五片,所以每一片需要承担 5 位数的比较任务。为此,可将电路接成如图 A4.30 的形式。

以图中第(1)片 74LS85 为例,当 $n23\sim n20$ 与 $m23\sim m20$ 相等时,应以 $n19$ 与 $m19$ 的比较结果决定输出。若 $n19=\mathbf{1}$、$m19=\mathbf{0}$,则输出为 $M<N$;若 $n19=\mathbf{0}$、$m19=\mathbf{1}$,则输出为 $M>N$;若 $n19$ 与 $m19$ 同为 **0** 或者同为 **1**,则输出端 $Y(A<B)$ 与 $Y(A>B)$ 的状态相同,所以加给第(6)片 74LS85 的信号都是 $B3=A3$,即 $M=N$ 的信号。可见,第(1)片 74LS85 完成了两个数最高 5 位的比较。

当第(1)片的两个输入的 5 位数相等时,第(6)片的两个最高输入位相等,这时再比较次高位。而次高位的输入来自第(2)片的比较结果,即 $n18\sim n14$ 与 $m18\sim m14$ 的比较结果。

依此类推,便在第(6)片的输出端得到了两个 24 位数 M 和 N 的比较结果。

【题 4.31】 若将十进制编码中的 8421 码、余 3 码、余 3 循环码、2421 码和 5211 码分别加到二-十进制译码器 74HC42(见图 4.4.9)的输入端,并按表 1.5.1 的排列顺序依次变化时,输出端是否都会产生尖峰脉冲?试简述理由。

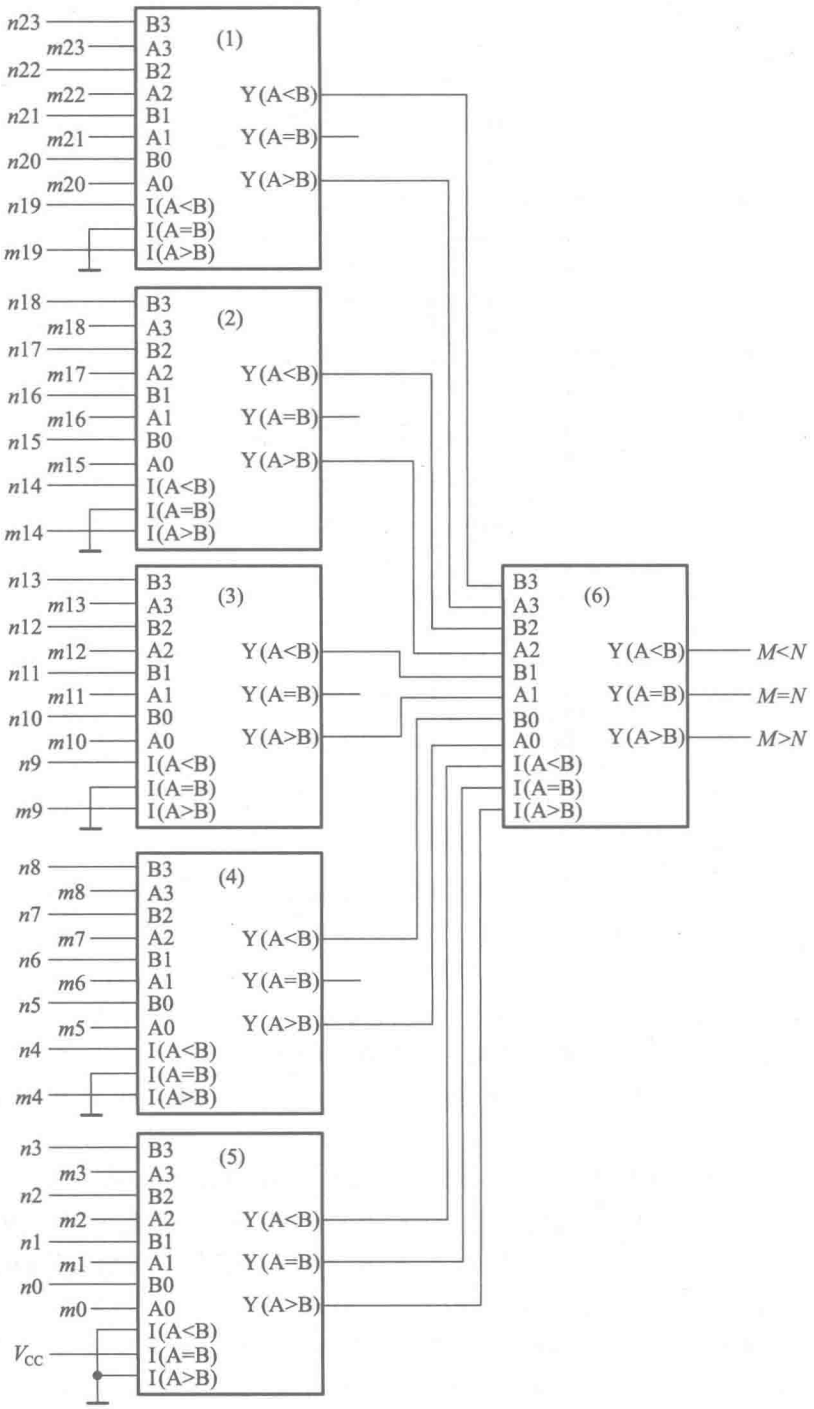


图 A4.30

解：在这几种十进制编码中，只有将余 3 循环码加到 74HC42 的输入端、并令其按表 1.5.1 的状态排列顺序变化时，不会在输出端产生尖峰脉冲。因为每次输入状态变化时，任何一个与门的

4 个输入当中仅可能有一个改变状态，所以不存在竞争-冒险现象。

【题 4.32】 试分析图 P4.32 电路中当 A、B、C、D 单独一个改变状态时是否存在竞争-冒险现象？如果存在竞争-冒险现象，那么都发生在其他变量为何种取值的情况下？

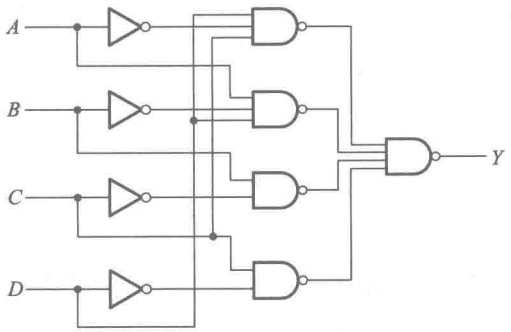


图 P4.32

解： 由图 P4.32 得到输出的逻辑式为

$$Y=A'CD+AB'D+BC'+CD'$$

（1）当 $B=\mathbf{0}$，$C=D=\mathbf{1}$ 时，输出逻辑式简化为

$$Y=A+A'$$

故 A 改变状态时存在竞争-冒险现象。

（2）当 $A=\mathbf{1}$，$C=\mathbf{0}$，$D=\mathbf{1}$ 时，输出逻辑式简化为

$$Y=B+B'$$

故 B 改变状态时存在竞争-冒险现象。

（3）当 $A=\mathbf{0}$，$B=D=\mathbf{1}$，或者当 $A=\times$，$B=\mathbf{1}$，$D=\mathbf{0}$ 时，输出的逻辑式简化为

$$Y=C+C'$$

故 C 改变状态时存在竞争-冒险现象。

（4）当 $A=\mathbf{1}$，$B=\mathbf{0}$，$C=\mathbf{1}$，或者为 $A=\mathbf{0}$，$B=\times$，$C=\mathbf{1}$ 时，输出逻辑式简化为

$$Y=D+D'$$

故 D 改变状态时存在竞争-冒险现象。

【题 4.33】 用 Verilog HDL 语言实现对【题 4.6】所要设计电路的逻辑功能描述。

解： 题 4.6 要求用门电路实现一个控制两台水泵的逻辑电路，而且应力求电路简单。根据设计要求得到的电路见图 P4.33。（参见【题 4.6】的解答。G_4 为同相输出的缓冲器，用于输出与输入间电路上的隔离。）

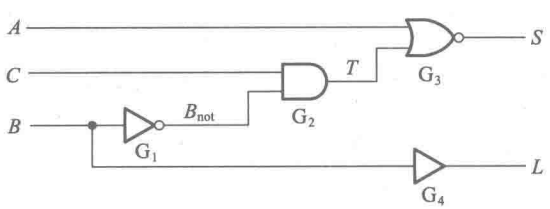


图 P4.33

```
module control(A,B,C,L,S);
    input A,B,C;
    output L,S;
    wire Bnot;
    wire T;
    not
    G1(Bnot,B);
    and
    G2(T,Bnot,C);
    or
    G3(S,A,T);
    buf
    G4(L,B);
    endmodule
```

【题 4.34】 用 Verilog HDL 语言描述一个 4 选 1 数据选择器。

解：4 选 1 数据选择器的功能如图 P4.34 所示。

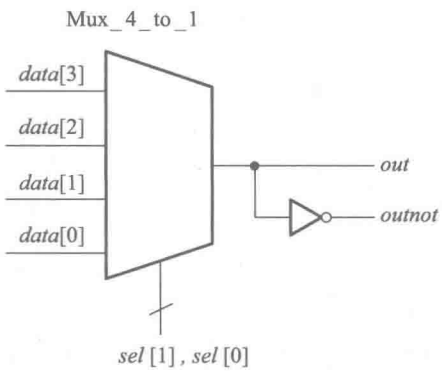


图 P4.34

$$out=(sel[1])'(sel[0])'\cdot data[0]+(sel[1])'(sel[0])\cdot data[1]+(sel[1])(sel[0])'\cdot data[2]+(sel[1])(sel[0])\cdot data[3]$$

```
module mux_4_to_1(data,out,outnot,sel);
                                        //这是一个 4 选 1 数据选择器,名为 mux_4_to_1
    input [3:0]data;                    //定义模块的数据输入端口为 date[0]~date[3]
    input [1:0]sel;                     //定义模块的数据选择输入端口 sel[1],sel[0]
    output out, outnot;                 //定义该模块的输出端口为 out 和 outnot
    reg out;
    always@ (data or sel)
    begin
        case(sel)                       //分支控制语句开始
```

```
            2'b00:out=data[0];
                //如果 sel[1]sel[0]=00,将 data[0]赋值给 out
            2'b01:out=data[1];
                //如果 sel[1]sel[0]=01,将 data[1]赋值给 out
            2'b10:out=data[2];
                //如果 sel[1]sel[0]=10,将 data[2]赋值给 out
            2'b11:out=data[3];
                //如果 sel[1]sel[0]=11,将 data[3]赋值给 out
        endcase                    //分支控制语句结束
        end
    assign outnot=~out;            //将 out 取反后赋值给 outnot
endmodule                          //模块描述结束
```

【题 4.35】 用 Verilog HDL 语言描述一个 4 位超前进位加法器。

解：4 位超前进位加法器的原理和实现见 4.4.4 节。其根本的解决思路是设法减小或消除由于进位信号逐级传递所耗费的时间，在相加运算开始的同时就知道高位的进位信号。因此每一位在计算本位结果的同时，还需要有一个模块根据低位的输入计算出该位所需要的进位信号。

电路大致可以分为两个部分：第一部分计算各位的相加结果，首先定义一个不进行进位运算的 1 位加法器 adder_1bit，各位的相加运算可以通过调用来实现。

$$\boldsymbol{S}_0=\boldsymbol{A}_0\oplus\boldsymbol{B}_0\oplus\boldsymbol{CI}$$

$$\boldsymbol{S}_1=\boldsymbol{A}_1\oplus\boldsymbol{B}_1\oplus\boldsymbol{C}_1$$

$$\boldsymbol{S}_2=\boldsymbol{A}_2\oplus\boldsymbol{B}_2\oplus\boldsymbol{C}_2$$

$$\boldsymbol{S}_3=\boldsymbol{A}_3\oplus\boldsymbol{B}_3\oplus\boldsymbol{C}_3$$

其中 A、B 和 CI 是整个加法器电路的输入，C_1、C_2 和 C_3 则需要第二部分电路来实现。第二部分电路根据 A、B 和 CI 计算出各位的进位信号，据分析可得各位的进位信号如下：

$$\boldsymbol{C}_1=\boldsymbol{A}_0\boldsymbol{B}_0+(\boldsymbol{A}_0+\boldsymbol{B}_0)\boldsymbol{CI}$$

$$\boldsymbol{C}_2=\boldsymbol{A}_1\boldsymbol{B}_1+(\boldsymbol{A}_1+\boldsymbol{B}_1)(\boldsymbol{A}_0\boldsymbol{B}_0+(\boldsymbol{A}_0+\boldsymbol{B}_0)\boldsymbol{CI})$$

$$\boldsymbol{C}_3=\boldsymbol{A}_2\boldsymbol{B}_2+(\boldsymbol{A}_2+\boldsymbol{B}_2)(\boldsymbol{A}_1\boldsymbol{B}_1+(\boldsymbol{A}_1+\boldsymbol{B}_1)(\boldsymbol{A}_0\boldsymbol{B}_0+(\boldsymbol{A}_0+\boldsymbol{B}_0)\boldsymbol{CI}))$$

C_1、C_2 和 C_3 都直接由输入信号 A、B 和 CI 唯一确定，因此可以通过逻辑运算求出每一位全加器所需的进位信号。根据以上的分析，可以得到如下的用 Verilog HDL 语言描述程序。

```
//主模块
module adder_4bit(A,B,S, CI, CO);
input CI;
input [3:0]A,B;
output CO;
output [3:0]S;
wire C1, C2, C3;
```

```
adder_1 bit   m0(S[0],A[0],B[0],CI);
                          //调用 adder_1bit 模块,生成模块 m0
              m1(S[1],A[1],B[1],C1);
                          //调用 adder_1bit 模块,生成模块 m1
              m2(S[2],A[2],B[2],C2);
                          //调用 adder_1bit 模块,生成模块 m2
              m3(S[3],A[3],B[3],C3);
                          //调用 adder_1bit 模块,生成模块 m3
Carry1        m4(A[0],B[0],CI,C1);
                    //调用 Carry1 模块,生成模块 m4
Carry2        m5(A[0],B[0],A[1],B[1],CI,C2);
                    //调用 Carry2 模块,生成模块 m5
Carry3        m6(A[0],B[0],A[1],B[1],A[2],B[2],CI,C3);
                    //调用 Carry3 模块,生成模块 m6
Carry4        m7(A[0],B[0],A[1],B[1],A[2],B[2],A[3],B[3],CI,CO);
                    //调用 Carry4 模块,生成模块 m7
endmodule

//1 位的全加器模块(不计算进位信号)
module adder_1bit(a,b,c,sum);
input a,b,c;
output sum;
wire d;
xor g1 (d,a,b);
xor g2 (sum,d,c);
endmodule

//通过 A0,B0,CI 计算 C1
module Carry1 (A0,B0,CI,C1);
input A0,B0,CI;
output C1;
assign C1=((A0&&B0)~^((A0~^B0)&&CI));
endmodule

//通过 A0,B0,A1,B1 和 CI 计算 C2
module Carry2(A0,B0,A1,B1,CI,C2);
input A0,B0,A1,B1,CI;
output C2;
```

```
wire C1temp;
Carry1 forc1 (A0,B0,CI,C1temp);
assign C2=(A1&&B1)~^((A1~^B1)&&C1temp);
endmodule

//通过 A0,B0,A1,B1,A2,B2 和 CI 计算 C3
module Carry3(A0,B0,A1,B1,A2,B2,CI,C3);
input A0,B0,A1,B1,A2,B2,CI;
output C3;
wire C2temp;
Carry2 forc2(A0,B0,A1,B1,CI,C2temp);
assign C3=(A2&&B2)~^((A2~^B2)&& C2temp);
endmodule

//通过 A0,B0,A1,B1,A2,B2,A3,B3 和 CI 计算 C4
module Carry4(A0,B0,A1,B1,A2,B2,A3,B3,CI,C4);
input A0,B0,A1,B1,A2,B2,A3,B3,CI;
output C4;
wire C3temp;
Carry3 forc3(A0,B0,A1,B1,A2,B2,CI,C3temp);
assign C4=(A3 && B3)~^((A3~^B3)&& C3temp);
endmodule
```

【题 4.36】 请根据下面所给的语言描述,画出对应的逻辑电路图。

```
module binary To ESeg;
    wire eSeg,p1,p2,p3,p4;
    reg A,B,C,D;
    nand
        g1(p1,C,~D),
        g2(p2,A,B),
        g3(p3,~B,~D),
        g4(p4,A,C),
        g5(eSeg,p1,p2,p3,p4);
endmodule
```

解: 见图 A4.36。

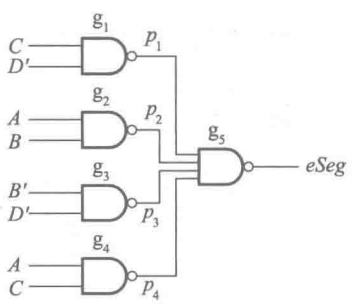


图 A4.36

第五章习题解答

【题 5.1】 画出图 P5.1 由与非门组成的 SR 锁存器输出端 Q、Q'的电压波形，输入端 S'_D、R'_D的电压波形如图中所示。

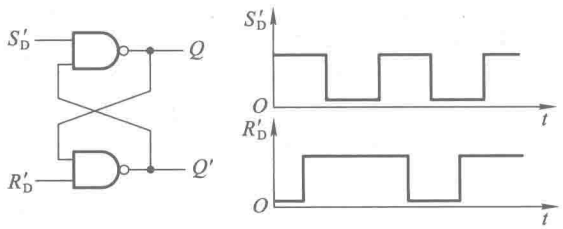


图 P5.1

解： 见图 A5.1。

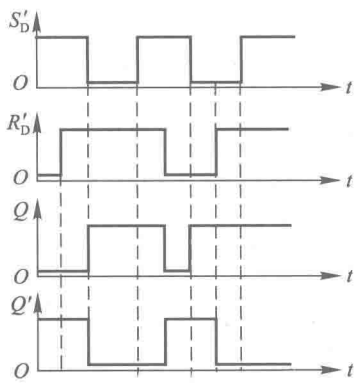


图 A5.1

【题 5.2】 画出图 P5.2 由或非门组成的 SR 锁存器输出端 Q、Q'的电压波形，输入端 S_D、R_D的电压波形如图中所示。

解： 见图 A5.2。

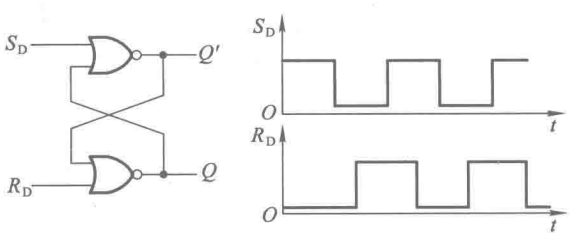


图 P5.2

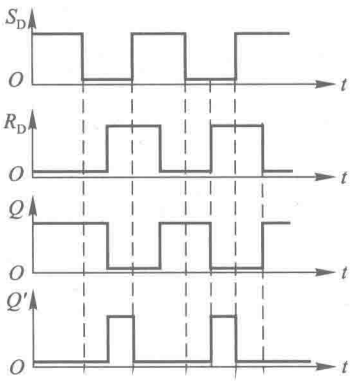


图 A5.2

【题 5.3】 图 P5.3 所示为一个防抖动输出的开关电路。当拨动开关 S 时，由于开关触点接通瞬间发生振颤，S'_D 和 R'_D 的电压波形如图中所示，试画出 Q、Q'端对应的电压波形。

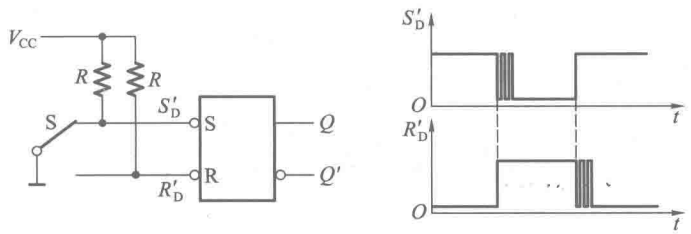


图 P5.3

解： 见图 A5.3。

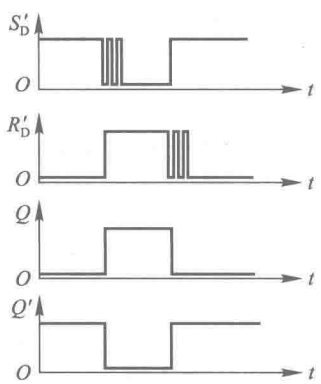


图 A5.3

【题 5.4】 在图 P5.4 电路中，若 CLK、S、R 的电压波形如图中所示，试画出 Q 和 Q'端与之对应的电压波形。假定触发器的初始状态为 $Q=0$。

解： 见图 A5.4。

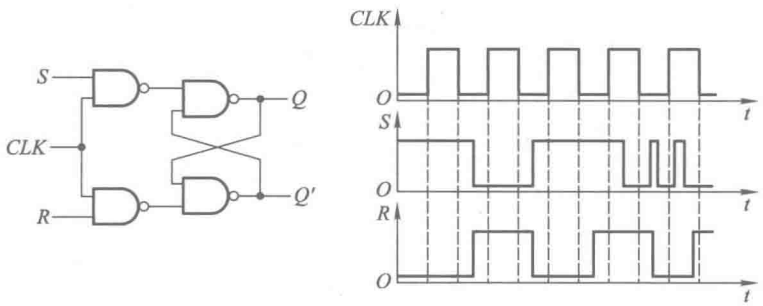


图 P5.4

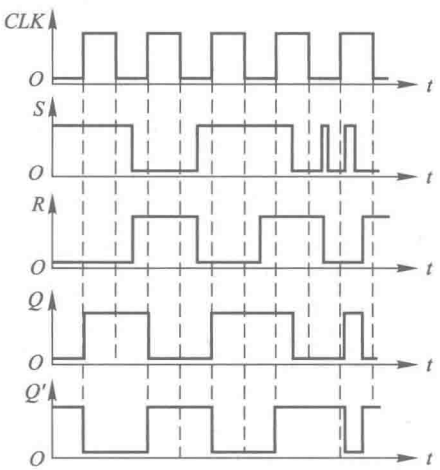


图 A5.4

【题 5.5】 在图 P5.5(a)所示的电平触发 D 触发器电路中,若 CLK 和 D 输入端的电压波形如图 P5.5(b)所示,试画出 Q 和 Q'端对应的电压波形。假定触发器的初始状态为 $Q=\mathbf{0}$。

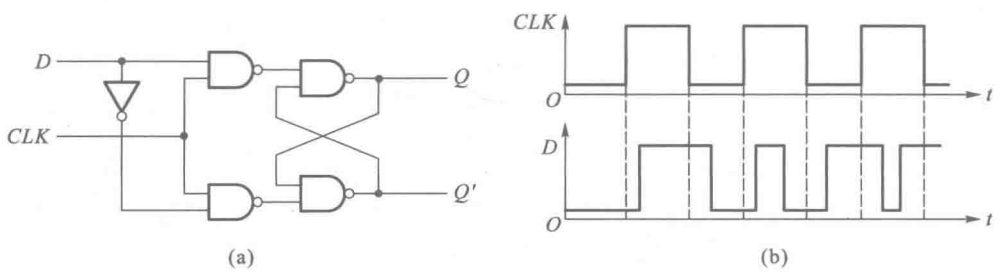


图 P5.5

解:见图 A5.5。

【题 5.6】 在图 P5.6(a)所示的电平触发 D 触发器电路中,若 CLK 和 D 输入端的电压波形如图 P5.6(b)所示,试画出 Q 和 Q'端对应的电压波形。假定触发器的初始状态为 $Q=\mathbf{0}$。

解:见图 A5.6。

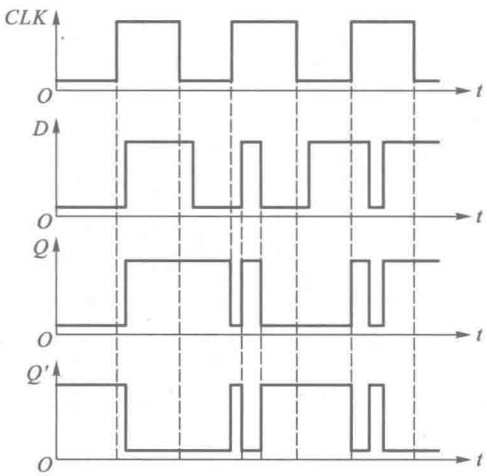


图 A5.5

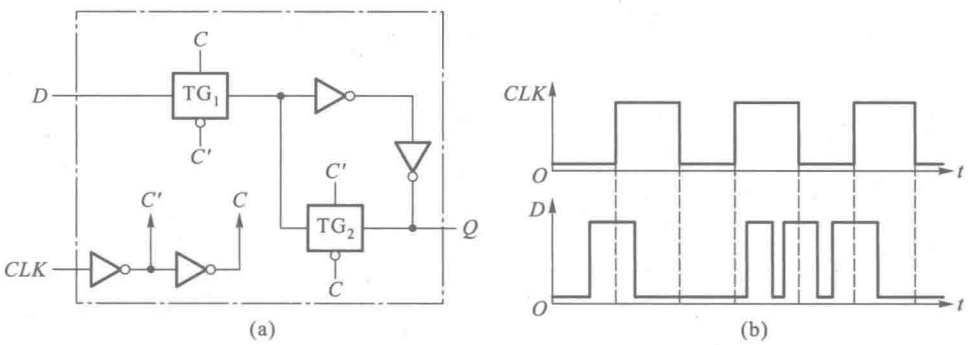


图 P5.6

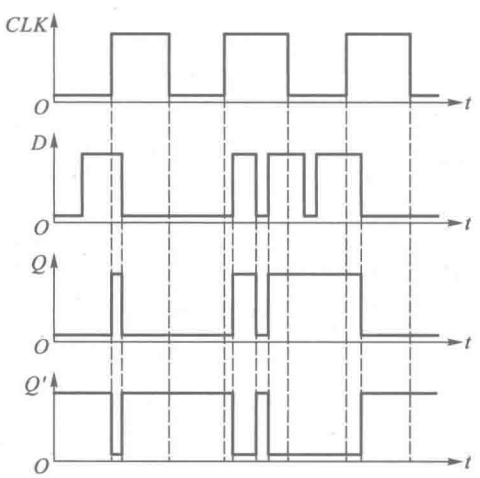


图 A5.6

【题 5.7】 已知边沿触发器输入端 D 和时钟信号 CLK 的电压波形如图 P5.7 所示,试画出 Q 和 Q'端对应的电压波形。假定触发器的初始状态为 $Q=0$。

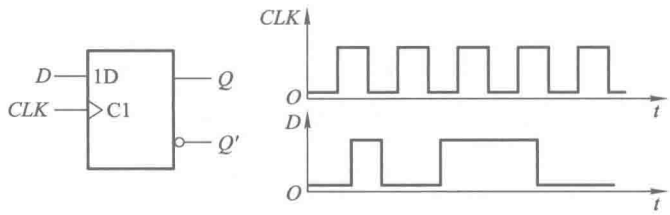


图 P5.7

解:根据 D 触发器逻辑功能的定义及边沿触发方式的动作特点,即可画出 Q、Q'端的电压波形如图 A5.7 所示。

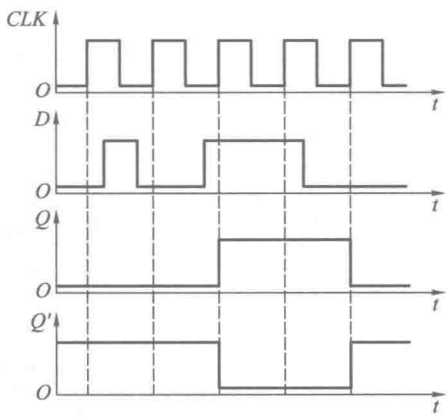


图 A5.7

【题 5.8】 已知边沿触发 D 触发器各输入端的电压波形如图 P5.8 所示,试画出 Q、Q'端对应的电压波形。

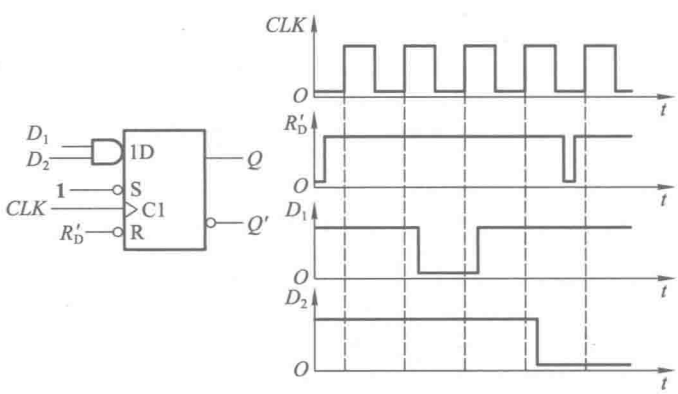


图 P5.8

解：根据 D 触发器逻辑功能的定义及边沿触发方式的动作特点，即可画出 Q 和 Q' 的电压波形如图 A5.8 所示。

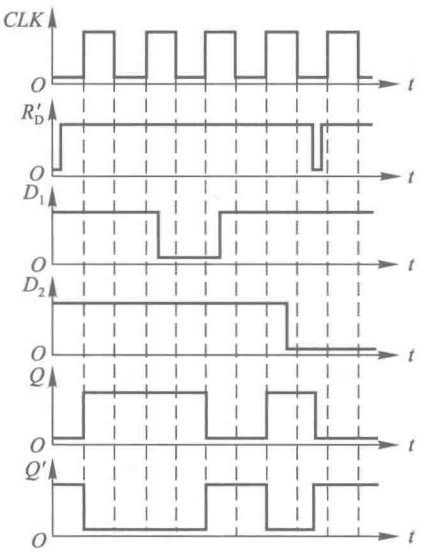


图 A5.8

【题 5.9】 已知边沿触发 JK 触发器各输入端的电压波形如图 P5.9 中所示，试画出 Q、Q' 端对应的电压波形。

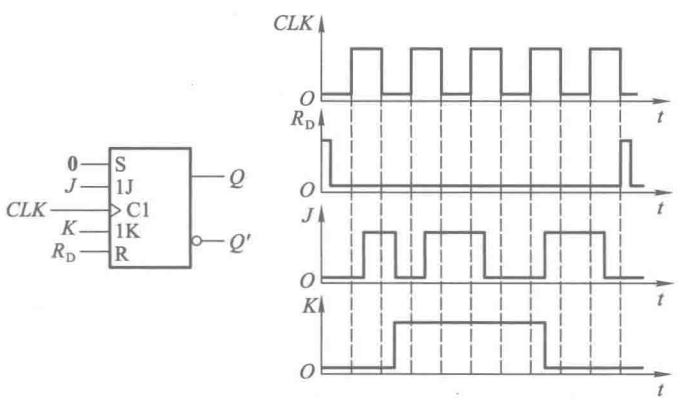


图 P5.9

解：根据 JK 触发器逻辑功能的定义和边沿触发方式的动作特点，画出的 Q、Q' 端电压波形如图 A5.9 所示。

【题 5.10】 若脉冲触发 SR 触发器各输入端的电压波形如图 P5.10 中所给出，试画出 Q、Q' 端对应的电压波形。设触发器的初始状态为 $Q=\mathbf{0}$。

解：根据 SR 触发器逻辑功能的定义和脉冲触发方式的动作特点，即可画出如图 A5.10 所示的输出电压波形图。

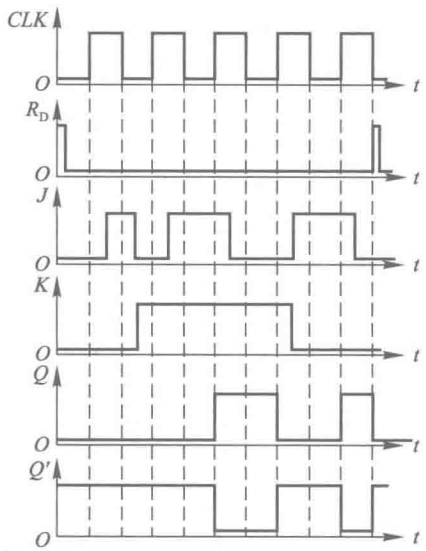


图 A5.9

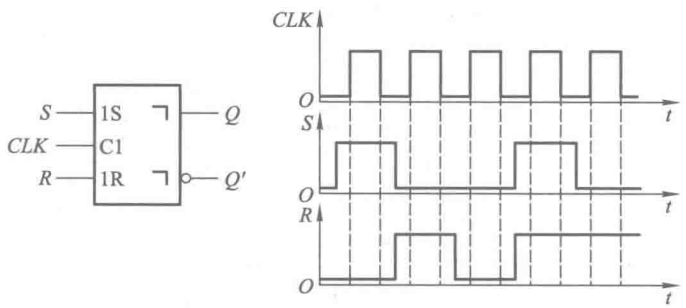


图 P5.10

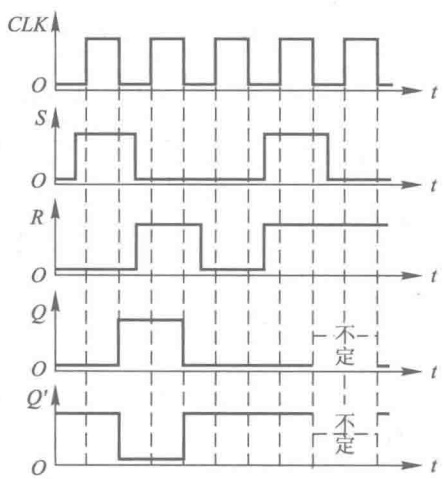


图 A5.10

【题 5.11】 在脉冲触发 *SR* 触发器电路中，若 *S*、*R*、*CLK* 端的电压波形如图 P5.11 中所示，试画出 *Q*、*Q'*端对应的电压波形。假定触发器的初始状态为 $Q=0$。

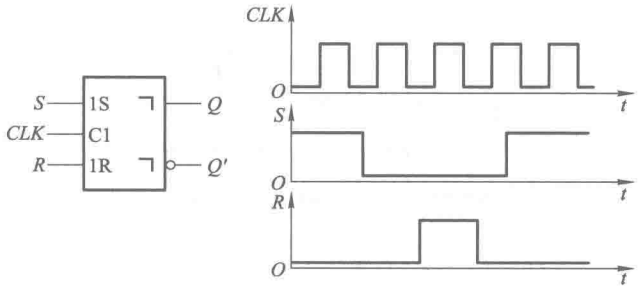


图 P5.11

解：根据 *SR* 触发器逻辑功能的定义及脉冲触发方式的动作特点，即可画出图 A5.11 中 *Q* 和 *Q'*的电压波形。

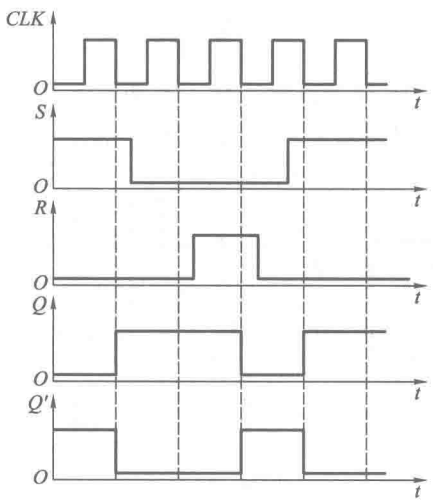


图 A5.11

【题 5.12】 在脉冲触发 *JK* 触发器中，已知 *J*、*K*、*CLK* 端的电压波形如图 P5.12 所示，试画出 *Q*、*Q'*端对应的电压波形。设触发器的初始状态为 $Q=0$。

解：根据 *JK* 触发器逻辑功能的定义及脉冲触发方式的动作特点，画得 *Q*、*Q'*端的电压波形如图 A5.12 所示。

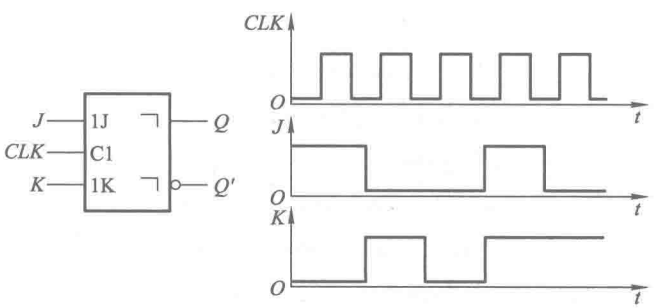


图 P5.12

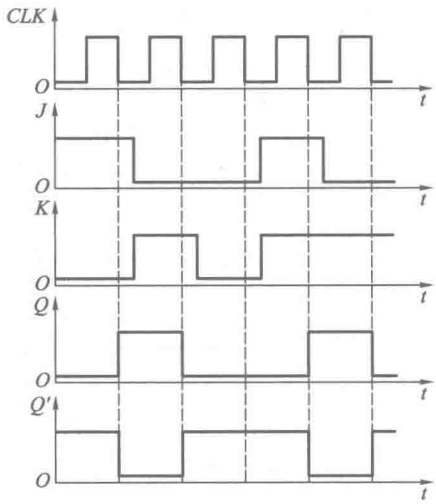


图 A5.12

【题 5.13】 已知脉冲触发 *JK* 触发器输入端 *J*、*K* 和 *CLK* 的电压波形如图P5.13中所示,试画出 *Q*、*Q'*端对应的电压波形。设触发器的初始状态为 $Q=0$。

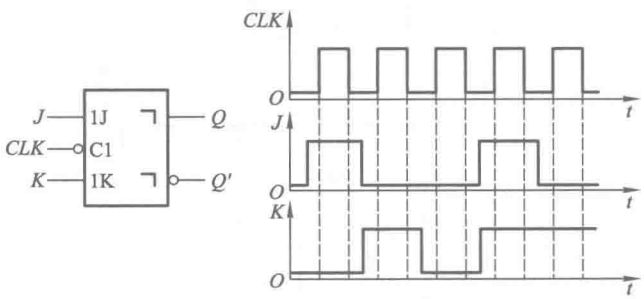


图 P5.13

解:根据 *JK* 触发器逻辑功能的定义及脉冲触发的动作特点,画出的 *Q*、*Q'*端电压波形如图 A5.13 所示。

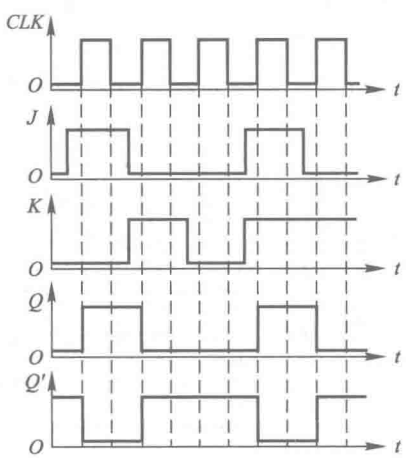


图 A5.13

【题 5.14】 若脉冲触发 *SR* 触发器的 *CLK*、*S*、*R*、R'_D 各输入端的电压波形如图 P5.14 所示，而 $S'_D=1$，试画出 *Q*、*Q'*端对应的电压波形。

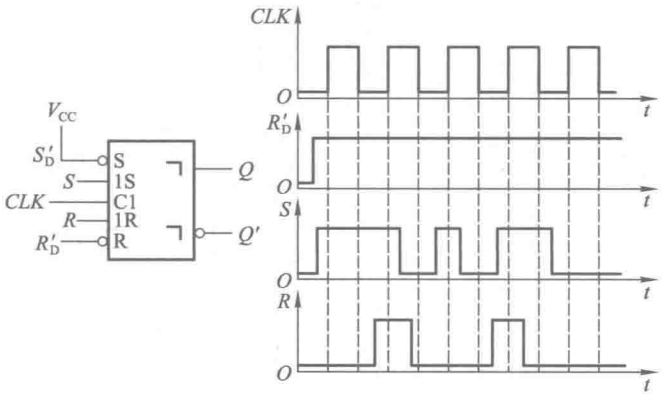


图 P5.14

解：根据 *SR* 触发器逻辑功能的定义及脉冲触发方式的动作特点，即可画出 *Q*、*Q'*的电压波形，如图 A5.14 所示。

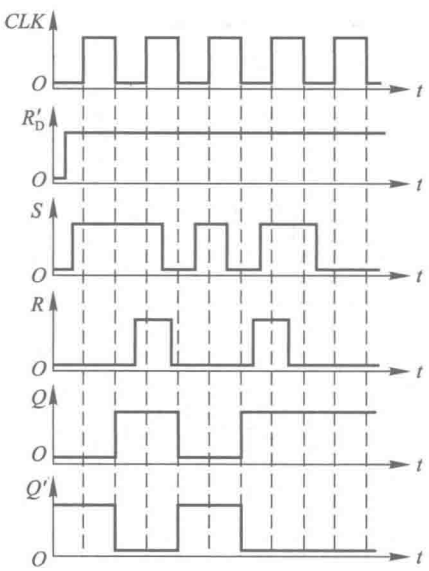


图 A5.14

【题 5.15】 若脉冲触发 *JK* 触发器 *CLK*、R'_D、S'_D、*J*、*K* 端的电压波形如图 P5.15 中所示，试画出 *Q*、*Q'*端对应的电压波形。

解：根据 *JK* 触发器逻辑功能的定义及脉冲触发方式的动作特点，画出的 *Q*、*Q'*端电压波形如图 A5.15 所示。

【题 5.16】 在脉冲触发 *T* 触发器中，已知 *T*、*CLK* 端的电压波形如图 P5.16 中所示，试画出 *Q*、*Q'*端对应的电压波形。设触发器的初始状态为 $Q=0$。

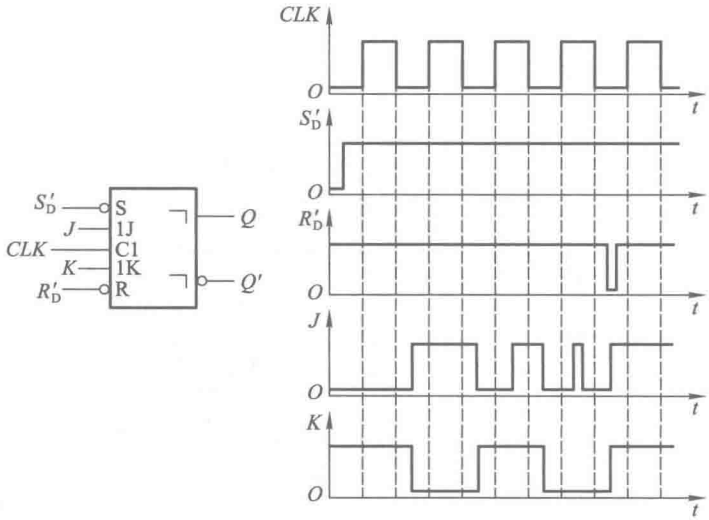


图 P5.15

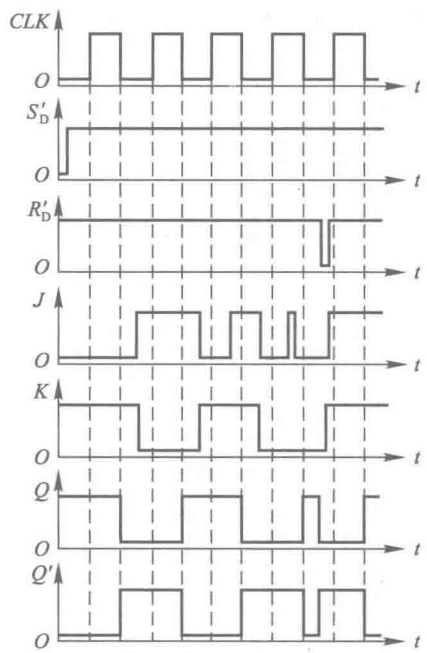


图 A5.15

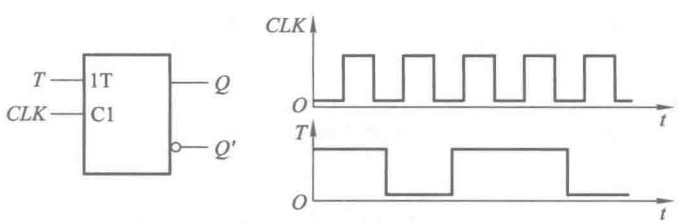


图 P5.16

解：根据 T 触发器逻辑功能的定义以及脉冲触发方式的动作特点，画出的 Q、Q'端电压波形如图 A5.16。

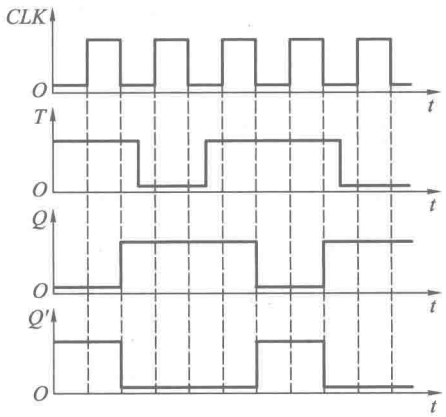


图 A5.16

【题 5.17】 在图 P5.17 的边沿触发 JK 触发器电路中，已知 CLK 和输入信号 T 的电压波形如图中所示，试画出触发器输出端 Q 和 Q'的电压波形。设触发器的起始状态为 $Q=\mathbf{0}$。

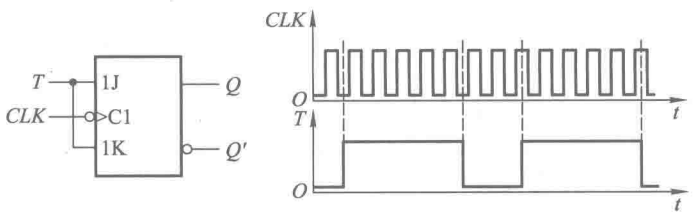


图 P5.17

解：将 JK 触发器的 J 和 K 接在一起作为输入端，就得到了 T 触发器。按照 T 触发器的逻辑功能和边沿触发方式的动作特点，就得到了图 A5.17 中 Q、Q'端的电压波形。

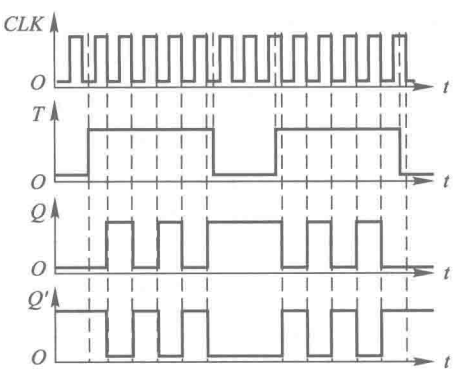


图 A5.17

【题 5.18】 设图 P5.18 中各触发器的初始状态皆为 $Q=\mathbf{0}$，试画出在 CLK 信号连续作用下各触发器输出端的电压波形。

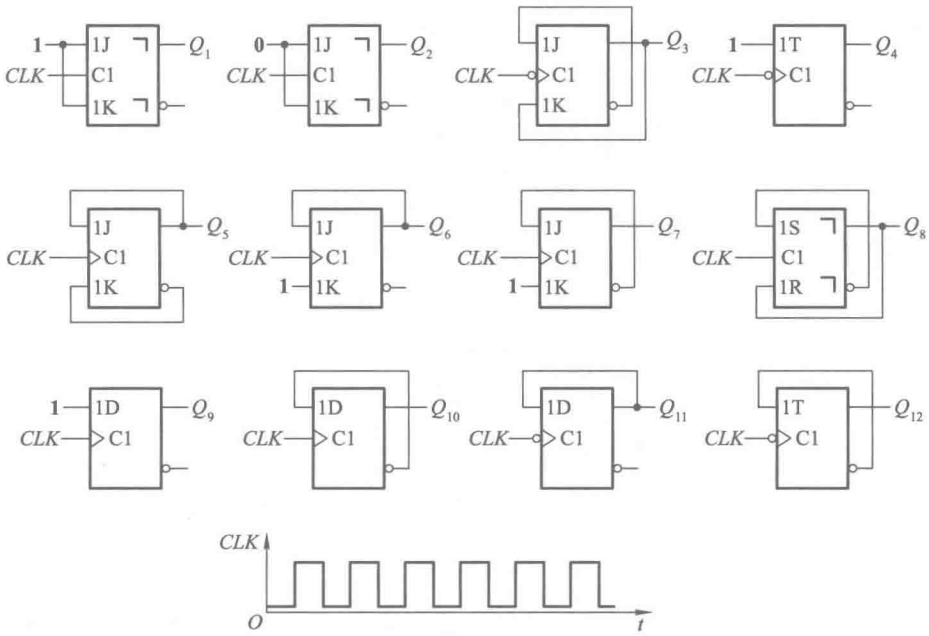


图 P5.18

解：根据每个触发器的逻辑功能和触发方式，画出输出端 Q 的电压波形，如图 A5.18。

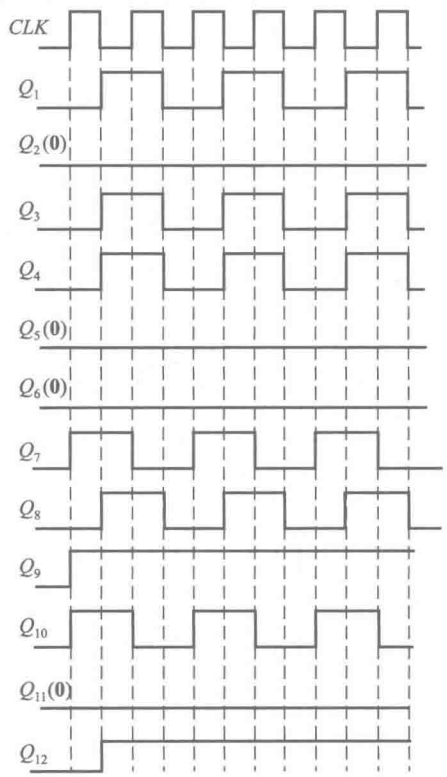


图 A5.18

【题 5.19】 试写出图 P5.19(a)中各电路的次态函数(即 Q_1^*、Q_2^*、Q_3^*、Q_4^* 与现态和输入变量之间的函数式),并画出在图 P5.19(b)给定信号的作用下 Q_1、Q_2、Q_3、Q_4 的电压波形。假定各触发器的初始状态均为 $Q=\mathbf{0}$。

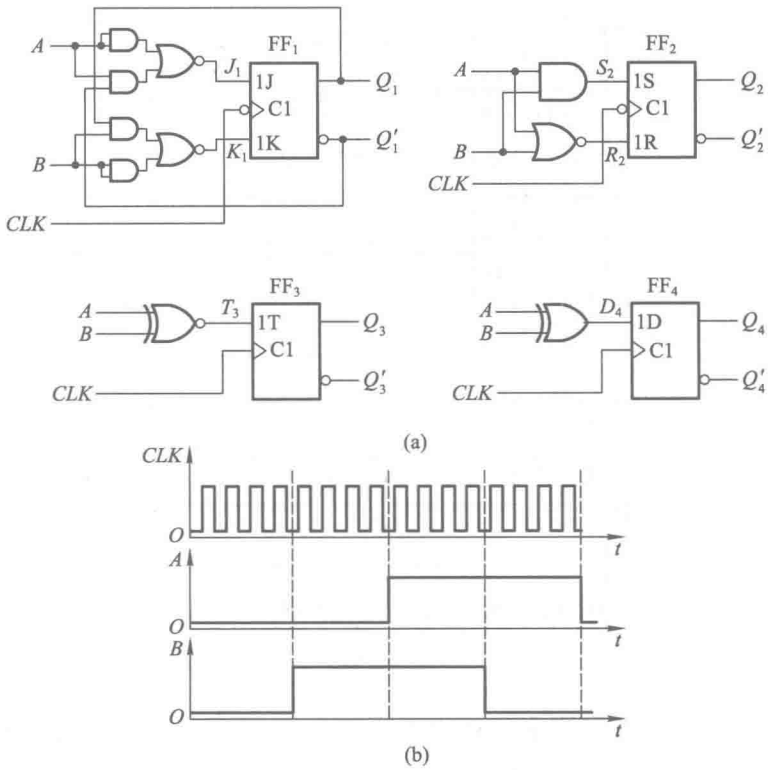


图 P5.19

解:由图中可写出触发器 FF_1 的驱动方程为

$$J_1=A';K_1=B'$$

将它们代入 *JK* 触发器的特性方程 $Q^*=JQ'+K'Q$,得到

$$Q_1^*=A'Q_1'+BQ_1$$

触发器 FF_2 的驱动方程为

$$S_2=AB;R_2=(A+B)'$$

将它们代入 *SR* 触发器的特性方程 $Q^*=S+R'Q$,得到

$$Q_2^*=AB+(A+B)Q_2$$

触发器 FF_3 的驱动方程为 $T_3=A\odot B$,将它代入 *T* 触发器的特性方程 $Q^*=TQ'+T'Q=T\oplus Q$,于是得到

$$Q_3^*=(A\odot B)\oplus Q_3$$

触发器 FF_4 的驱动方程为 $D_4=A\oplus B$,将它代入 *D* 触发器的特性方程 $Q^*=D$,得到

$$Q_4^*=A\oplus B$$

从 $t=0$ 开始依次根据每个触发器的状态方程求出它们在 *CLK* 信号作用后应有的次态,就可以画出 Q_1、Q_2、Q_3、Q_4 在一系列 *CLK* 信号作用下的电压波形了,如图 A5.19 所示。

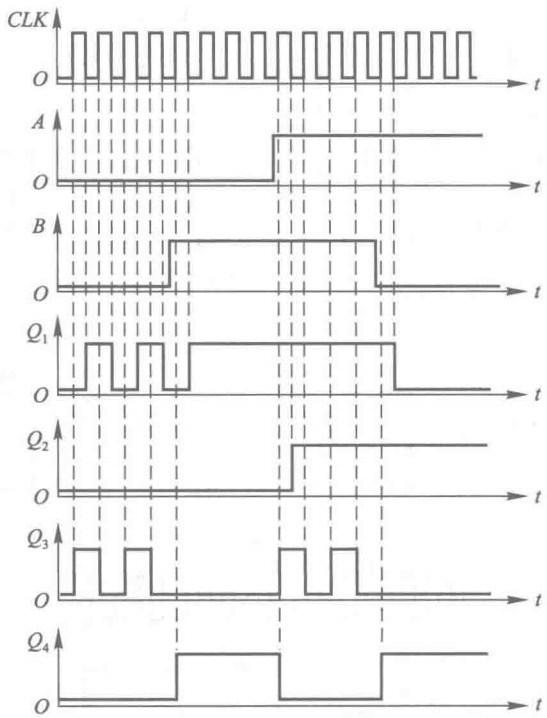


图 A5.19

【题 5.20】 试画出图 P5.20 电路在图中所示 CLK、R'_D 信号作用下 Q_1、Q_2、Q_3 的输出电压波形,并说明 Q_1、Q_2、Q_3 输出信号的频率与 CLK 信号频率之间的关系。

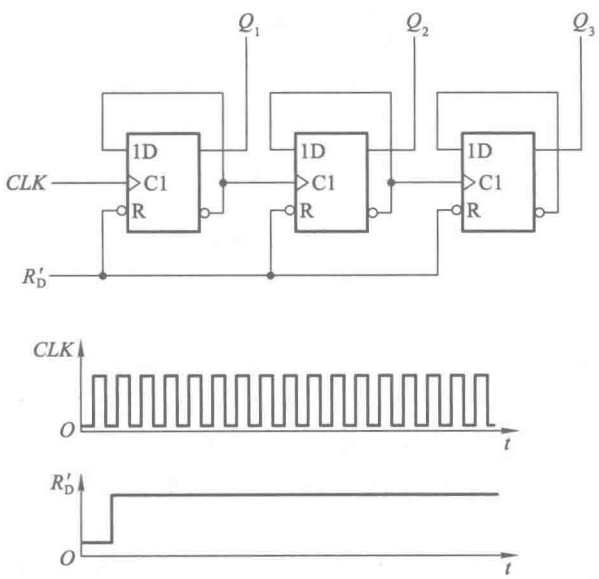


图 P5.20

解：由于每个触发器都接成了 $D=Q'$，所以 $Q^*=Q'$，即每次时钟到来后都要翻转，这样就得到了图 A5.20 的波形图。由图可见，若输入的 *CLK* 频率为 f_0，则 Q_1、Q_2、Q_3 输出脉冲的频率依次为 $\frac{1}{2}f_0$、$\frac{1}{4}f_0$、$\frac{1}{8}f_0$。

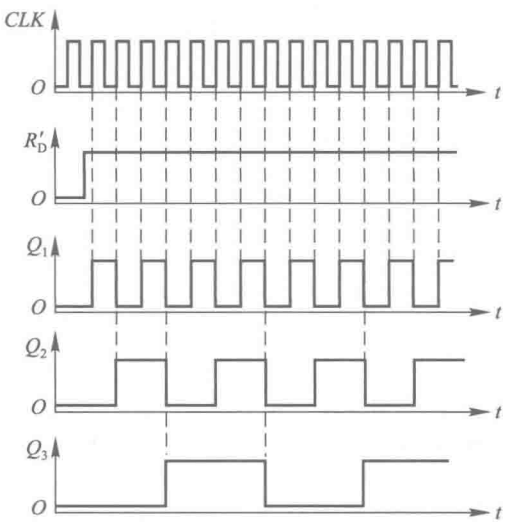


图 A5.20

【题 5.21】 试画出图 P5.21 所示电路在一系列 *CLK* 信号作用下 Q_1、Q_2、Q_3 端输出电压的波形，并说明 Q_1、Q_2、Q_3 输出脉冲的频率与 *CLK* 信号频率之间的关系。触发器均为边沿触发方式，初始状态为 $Q=\mathbf{0}$。

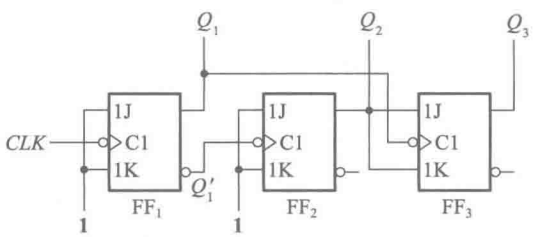


图 P5.21

解：因为 FF_1 和 FF_2 接成了 *T* 触发器的 $T=\mathbf{1}$ 状态，所以每当它们的时钟信号下降沿到来时都要翻转，即 $Q^*=Q'$。据此便可画出 Q_1、Q_2 的波形了。而 FF_3 的输入为 $J=K=Q_2$，所以当 $Q_2=\mathbf{1}$ 时，FF_3 有时钟信号到达则状态翻转；而 $Q_2=\mathbf{0}$ 时即使有时钟信号到来，FF_3 状态也不改变。FF_3 的时钟信号取自 Q_1，由此便可画出 Q_3 的电压波形了。Q_1、Q_2、Q_3 的电压波形如图 A5.21 所示。

CLK 信号频率与 Q_1、Q_2、Q_3 输出脉冲频率之比为 8∶4∶2∶1。

【题 5.22】 在图 P5.22 电路中已知输入信号 v_I 的电压波形如图所示，试画出与之对应的输出电压 v_O 的波形。初始状态为 $Q=\mathbf{0}$。（提示：应考虑触发器和**异或**门的传输延迟时间。）

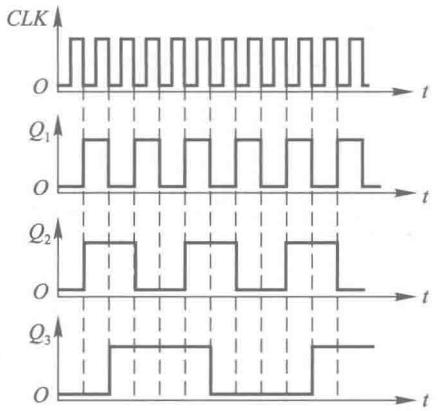


图 A5.21

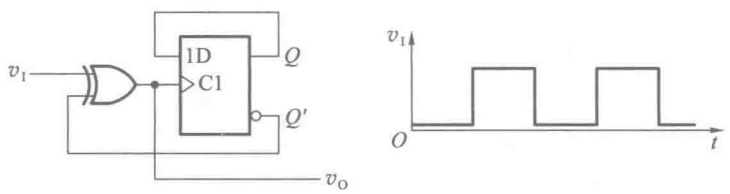


图 P5.22

解：当 $v_I=\mathbf{0}$、$Q=\mathbf{0}$ 时，**异或**门的输出 v_O 等于 **0**。v_I 变为高电平以后，v_O 也变成高电平。因为 v_O 也是触发器的时钟输入端，所以经过触发器的延迟时间后，Q 端被置成 **1** 状态；再经过**异或**门的传输延迟时间，v_O 回到低电平。因此，v_O 高电平持续时间等于触发器的传输延迟时间与**异或**门的传输延迟时间之和。

v_I 从高电平跳变至低电平以后电路的工作过程与上述过程类似。这样就得到了图 A5.22 所示的 v_O 电压波形。

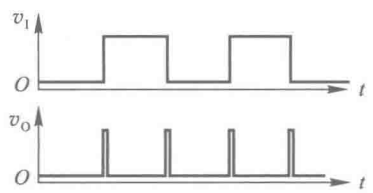


图 A5.22

【题 5.23】 图 P5.23 所示是用边沿触发 D 触发器组成的脉冲分频电路。试画出在一系列 CLK 脉冲作用下输出端 Y 对应的电压波形。设触发器的初始状态均为 $Q=\mathbf{0}$。

解：第 1 个 CLK 上升沿到达前 $D_1=\mathbf{1}$，所以 CLK 上升沿到达后 $Q_1=\mathbf{1}$。第 1 个 CLK 下降沿到达前 $D_2=\mathbf{0}$，所以 CLK 下降沿到达后 $Q_2=\mathbf{0}$。

第 2 个 CLK 上升沿到达前 $D_1=\mathbf{0}$，所以 CLK 上升沿到达后 $Q_1=\mathbf{0}$。第 2 个 CLK 下降沿到达前 $D_2=\mathbf{1}$，所以 CLK 下降沿到达后 $Q_2=\mathbf{1}$。

第 3 个 CLK 上升沿到达前 $D_1=\mathbf{0}$，所以 CLK 上升沿到达后 $Q_1=\mathbf{0}$。第 3 个 CLK 下降沿到达前 $D_2=\mathbf{0}$，所以 CLK 下降沿到达后 $Q_2=\mathbf{0}$，电路又回到了开始的状态。Q_1、Q_2 的电压波形如图 A5.23 所示。

因为 $Y=(Q_1+Q_2)'$，所以从 Q_1 和 Q_2 的波形就可以画出 Y 的波形了，如图 A5.23 所示。

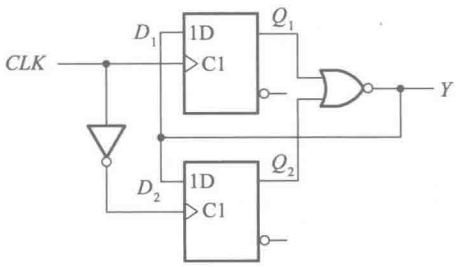


图 P5.23

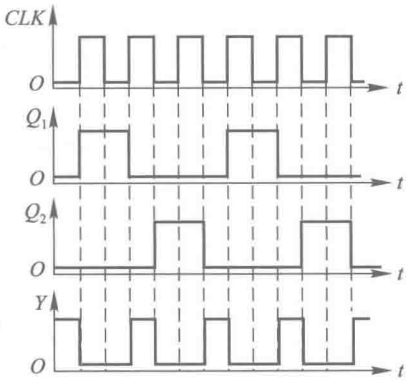


图 A5.23

【题 5.24】 在图 P5.24 所示的脉冲触发 *JK* 触发器电路中，*CLK* 和 *A* 的电压波形如图中所示，试画出 *Q* 端对应的电压波形。设触发器的初始状态为 $Q=\mathbf{0}$。

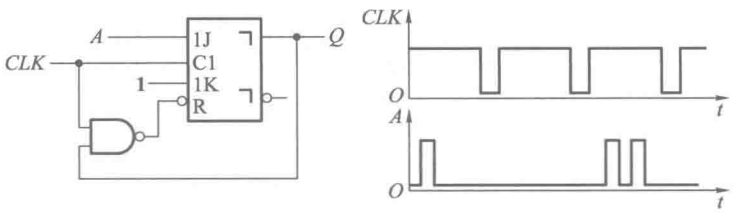


图 P5.24

解：在 $CLK=\mathbf{1}$ 期间 *JK* 触发器的主触发器接收输入信号。若此期间出现 $A=\mathbf{1}$ 的信号，则主触发器被置 **1**，在 *CLK* 变为低电平后，从触发器随之被置 **1**，使输出为 $Q=\mathbf{1}$。而当 *CLK* 回到高电平以后**与非**门的输出变为低电平，于是又通过异步置 **0** 端 *R* 将触发器置 **0**。这样我们就得到了图 A5.24 所示的波形图。

利用这个电路可以监视在 $CLK=\mathbf{1}$ 期间 *A* 端是否有高电平信号输入。如果 *A* 端有高电平输入信号，则 *Q* 端给出一个正脉冲；如果 *A* 端没有输入信号，则 *Q* 端始终为 **0**。

【题 5.25】 试画出图 P5.25 所示电路输出端 *Y*、*Z* 的电压波形。输入信号 *A* 和 *CLK* 的电压波形如图中所示。设触发器的初始状态均为 $Q=\mathbf{0}$。

解：根据给定的 *CLK* 和 *A* 的电压波形以及边沿触发 *D* 触发器的工作特性即可画出 Q_1 端的电压波形。因为两个触发器之间是按移位寄存器接法连接的，所以将 Q_1 的波形右移一个 *CLK* 时间，就是 Q_2 的电压波形。由图可知

$$Z=(Q_1Q_2')'; \quad Y=(Q_1'Q_2)'$$

从得到的 Q_1、Q_2 波形就得到了图 A5.25 中 *Z* 和 *Y* 的电压波形。

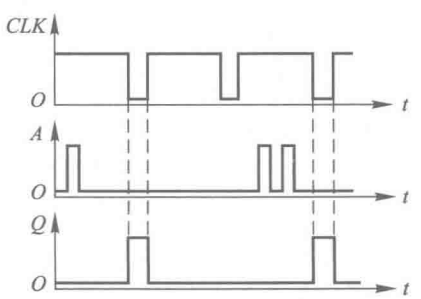


图 A5.24

【题 5.26】 设计一个 4 人抢答逻辑电路。具体要求如下：

（1）每个参赛者控制一个按钮，用按动按钮发出抢答信号。

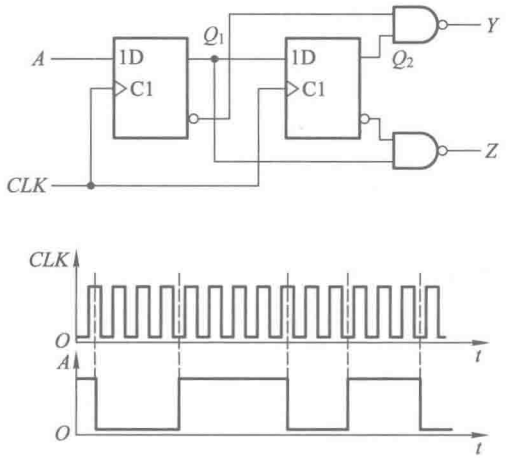


图 P5.25

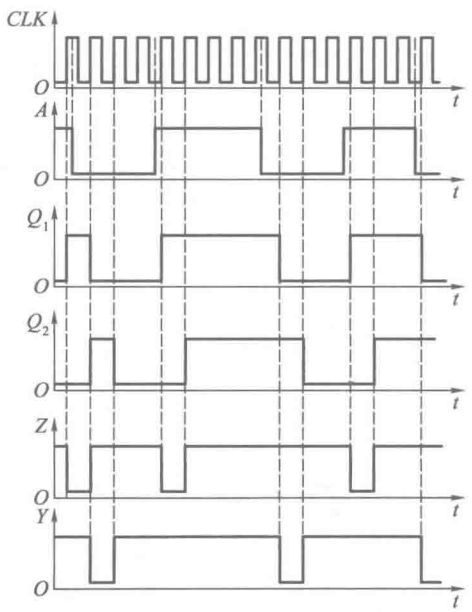


图 A5.25

(2) 竞赛主持人另有一个按钮,用于将电路复位。

(3) 竞赛开始后,先按动按钮者将对应的一个发光二极管点亮,此后其他 3 人再按动按钮对电路不起作用。

解:见图 A5.26。图中 A、B、C、D 四个按钮各由一名参赛者控制,按钮 J 由主持人控制。

当 A、B、C、D 任何一个按钮首先按下时,对应的触发器被置 **1**,这个触发器的 Q'端随之变为低电平,将**与非**门 G 封锁,其余的触发器不再有 CLK 信号输入,不可能置 **1** 了。

【题 5.27】 若存储器的容量为 512 K×8 位,则地址代码应取几位?

解:由于地址代码应当有 512×10^3 个,所以若取 n 位地址代码,则应满足 $2^n\geqslant512\times10^3>2^{n-1}$,故应取 $n=19$。

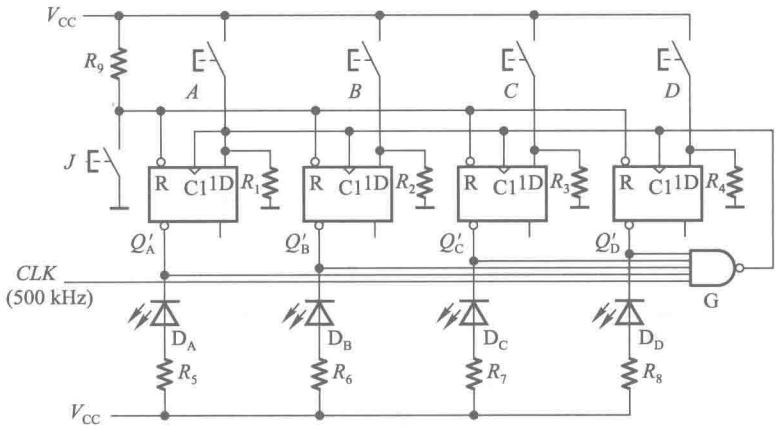


图 A5.26

【题 5.28】 某台计算机的内存储器设置有 32 位的地址线，16 位并行数据输入/输出端，试计算它的最大存储量是多少？

解： 存储器的最大存储量为 $2^{32}\times16$ 位 $=68.7\times10^9$ 位 $=68.7$G 位。

【题 5.29】 若采用地址分时输入的 DRAM 有 16 位地址输入、一位数据输入/输出，试计算它有多少个存储单元。

解： 采用地址分时输入结构以后，16 位地址代码分两次先后输入，总的地址代码还是 16 位。故存储单元的总数为 $1\times2^{16}=65\ 536$。

【题 5.30】 试用两片 1024×8 位的 ROM 组成 1024×16 位的存储器。

解： 见图 A5.30。

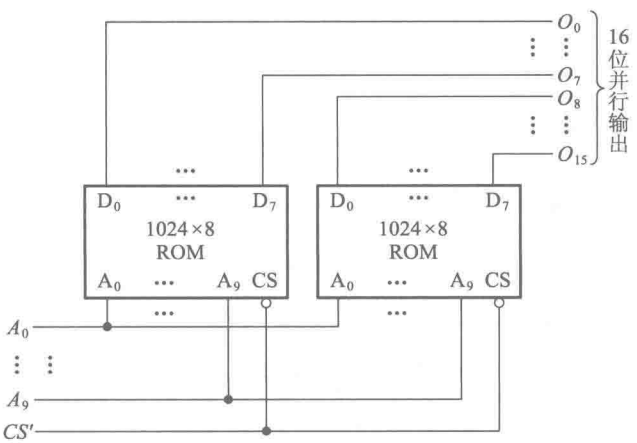


图 A5.30

【题 5.31】 试用 4 片 4 K×8 位的 RAM 接成 16 K×8 位的存储器。

解： 每一片 4 K×8 位的 RAM 本身有 12 位地址输入代码 $A_{11}\sim A_0$，可以区分其中的 4096 个地址。将 4 片的输出端和地址输入端并联后，还需要借用 CS' 端区分 4 片的地址。为此，又增加了两位地址代码 A_{12} 和 A_{13}，并通过 2 线-4 线译码器将 $A_{13}A_{12}$ 的四种取值译成 $Y'_3\sim Y'_0$ 四个低电平输出信号，分别控制 4 片的 CS' 端。电路接法见图 A5.31。

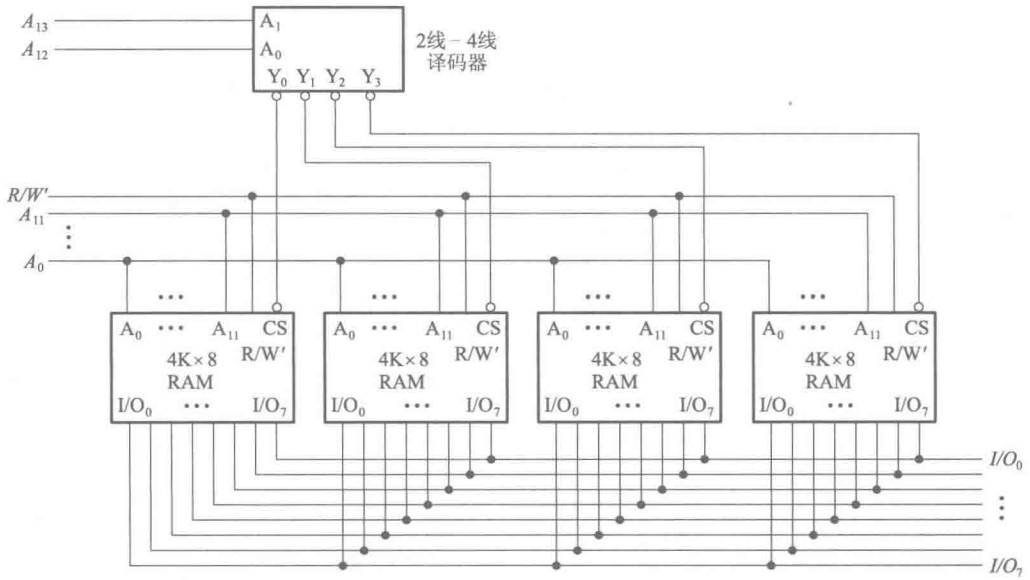


图 A5.31

【题 5.32】 试用 4 片 2114(1024×4 位的 RAM)和 3 线-8 线译码器 74HC138(见图 4.4.7)组成 4096×4 位的 RAM。

解： 为了区分 4 片 2114 需要增加两位地址代码 A_{10}和 A_{11}，并且用 $A_{11}A_{10}$的四种取值译成四个低电平信号分别接至四片 2114 的 CS'端。为此，可将 74HC138 的输入端 A_2 接地，同时将 A_{11}、A_{10}接至 74HC138 的输入端 A_1、A_0，再把 74HC138 的输出 Y_0'、Y_1'、Y_2'、Y_3' 依次接到第(1)、(2)、(3)、(4)片 2114 的 CS'，如图 A5.32 所示。然后再把四片 2114 的输出端并联，就得到一个 4096×4 位的 RAM。

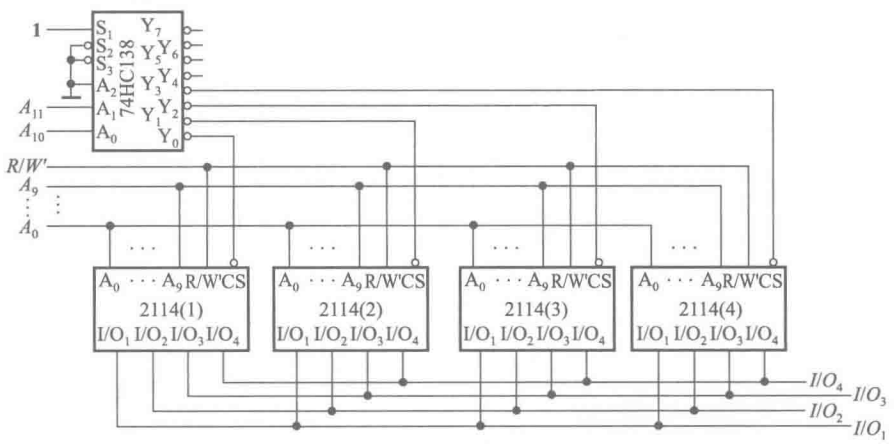


图 A5.32

【题 5.33】 试用 16 片 2114(1024×4 位的 RAM)和 3 线-8 线译码器 74HC138(见图 4.4.7)接成一个 8 K×8 位的 RAM。

解： 首先按位扩展方式将每两片 2114 接成 1 K×8 位的存储器。然后再按字扩展方式将 8 个 1 K×8 位的存储器接成 8 K×8 位的存储器。电路接法如图 A5.33 所示。

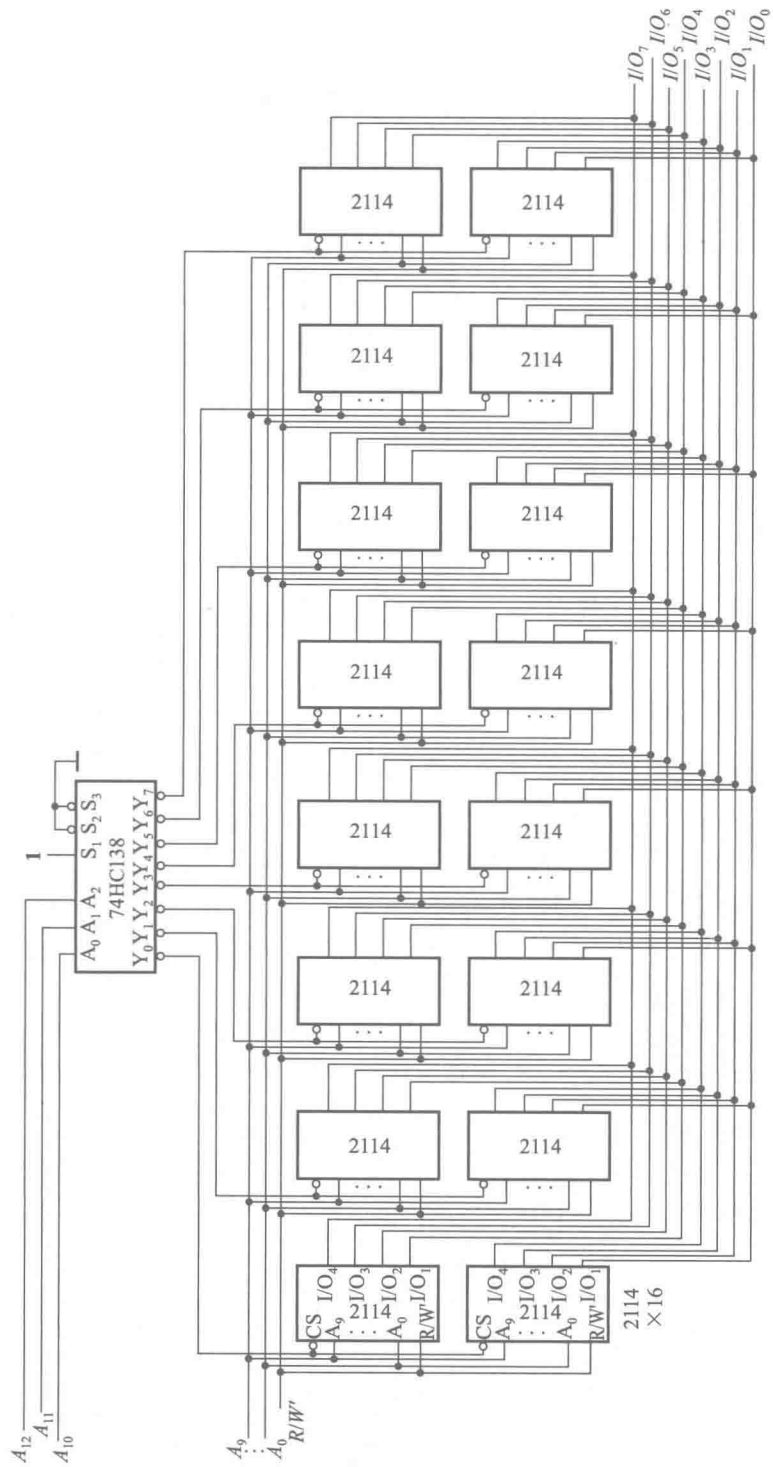

I/O_7 I/O_6 I/O_5 I/O_4 I/O_3 I/O_2 I/O_1 I/O_0
2114
1
74HC138
A_0 A_1 A_2 S_1 S_2 S_3
Y_0 Y_1 Y_2 Y_3 Y_4 Y_5 Y_6 Y_7
CS I/O_4
A_9 I/O_3
A_0 I/O_2
R/W I/O_1
2114 ×16
A_{12} A_{11} A_{10}
A_9 A_0 R/W

图 A5.33

【题 5.34】 已知 ROM 的数据表如表 P5.34 所示，若将地址输入 A_3、A_2、A_1、A_0 作为 4 个输入逻辑变量，将数据输出 D_3、D_2、D_1、D_0 作为函数输出，试写出输出与输入间的逻辑函数式，并化为最简**与或**形式。

表 P5.34

地址输入				数据输出			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	0
0	0	1	1	0	1	0	0
0	1	0	0	0	0	1	0
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	0
0	1	1	1	1	0	0	0
1	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
1	0	1	0	0	1	0	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	0	0	0
1	1	1	1	0	0	0	1

解： 按照从真值表写逻辑函数式的方法即可写出

$$D_3 = A_3'A_2A_1A_0 + A_3A_2'A_1A_0 + A_3A_2A_1'A_0 + A_3A_2A_1A_0'$$

$$D_2 = A_3'A_2'A_1A_0 + A_3'A_2A_1'A_0 + A_3'A_2A_1A_0' + A_3A_2'A_1'A_0 + A_3A_2'A_1A_0' + A_3A_2A_1'A_0'$$

$$D_1 = A_3'A_2'A_1'A_0 + A_3'A_2'A_1A_0' + A_3'A_2A_1'A_0' + A_3A_2'A_1'A_0'$$

$$D_4 = A_3'A_2'A_1'A_0' + A_3A_2A_1A_0$$

【题 5.35】 图 P5.35 是一个 16×4 位的 ROM，$A_3A_2A_1A_0$ 为地址输入，$D_3D_2D_1D_0$ 是数据输出。若将 D_3、D_2、D_1、D_0 视为 A_3、A_2、A_1、A_0 的逻辑函数，试写出 D_3、D_2、D_1、D_0 的逻辑函数式。



图 P5.35

解：

$$D_3=A_3'A_2'A_1'A_0'+A_3'A_2A_1'A_0+A_3A_2'A_1A_0'+A_3A_2A_1A_0$$

$$D_2=A_3'A_2A_1'A_0'+A_3A_2'A_1'A_0'+A_3A_2A_1'A_0'$$

$$D_1=A_3'A_2'A_1A_0+A_3'A_2A_1A_0'+A_3A_2'A_1'A_0+A_3A_2A_1'A_0'+A_3A_2A_1A_0$$

$$D_0=A_3'A_2'A_1A_0'+A_3'A_2A_1'A_0'+A_3'A_2A_1A_0'+A_3A_2'A_1'A_0'+A_3A_2'A_1A_0'$$
$$+A_3A_2A_1'A_0'+A_3A_2A_1A_0'$$

【题 5.36】 用16×4位的ROM设计一个将两个2位二进制数相乘的乘法器电路，列出ROM的数据表，画出存储矩阵的点阵图。

解： 设两个相乘的数为 C_1C_0 和 B_1B_0，乘积用 $P_3P_2P_1P_0$ 表示，则得到如表A5.36的真值表。将 $C_1C_0B_1B_0$ 加到ROM的地址输入端 $A_3A_2A_1A_0$，按图A5.36的点阵编程，则 D_3、D_2、D_1、D_0 即乘积的4位输出端 P_3、P_2、P_1、P_0。

表 A5.36　题 5.36 的真值表

乘数				乘积			
C_1	C_0	B_1	B_0	P_3	P_2	P_1	P_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0

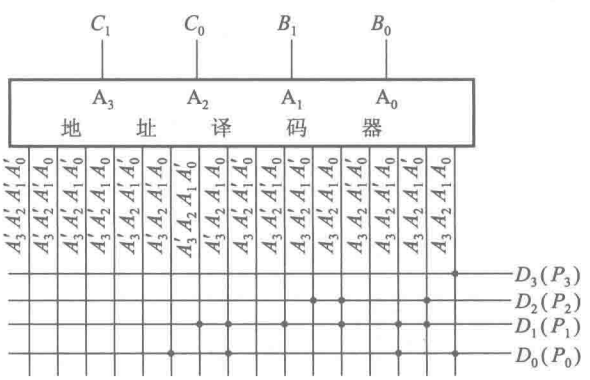


图 A5.36

【题 5.37】 用 ROM 产生下列一组逻辑函数,写出 ROM 中应存入的数据表

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = ABD' + A'CD + AB'C'D' \\ Y_1 = AB'CD' + BC'D \\ Y_0 = A'D' \end{cases}$$

解: 将上式化为最小项之和形式后得到

$$\begin{cases} Y_3 = A'B'CD' + AB'CD \\ Y_2 = A'B'CD + A'BCD + AB'C'D' + ABC'D' + ABCD' \\ Y_1 = A'BC'D + AB'CD' + ABC'D \\ Y_0 = A'B'C'D' + A'B'CD' + A'BC'D' + A'BCD' \end{cases}$$

若将 A、B、C、D 依次接至 ROM 的地址输入端 A_3、A_2、A_1、A_0,并按表 A5.37 的数据表给出的数据写入 ROM 中,则在 ROM 的数据输出端 D_3、D_2、D_1、D_0 就得到了函数 Y_3、Y_2、Y_1、Y_0,如图 A5.37 所示。

表 A5.37

A_3 (A	A_2 B	A_1 C	A_0 D)	D_3 (Y_3	D_2 Y_2	D_1 Y_1	D_0 Y_0)
0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	1	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	0
1	0	0	1	0	0	0	0
1	0	1	0	0	0	1	0
1	0	1	1	1	0	0	0
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	0
1	1	1	0	0	1	0	0
1	1	1	1	0	0	0	0

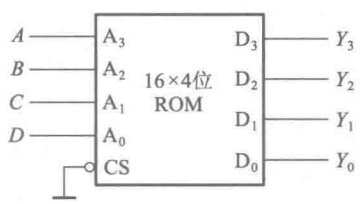


图 A5.37

【题 5.38】 用 ROM 设计一个组合逻辑电路，用来产生下列一组逻辑函数

$$\begin{cases} Y_1 = A'B'C'D' + A'BC'D + AB'CD' + ABCD \\ Y_2 = A'B'CD' + A'BCD + AB'C'D' + ABC'D \\ Y_3 = A'BD + B'CD' \\ Y_4 = BD + B'D' \end{cases}$$

列出 ROM 应有的数据表，画出存储矩阵的点阵图。

解： 将函数化为最小项之和形式后得到

$$\begin{cases} Y_1(A,B,C,D) = m_0 + m_5 + m_{10} + m_{15} \\ Y_2(A,B,C,D) = m_2 + m_7 + m_8 + m_{13} \\ Y_3(A,B,C,D) = m_2 + m_5 + m_7 + m_{10} \\ Y_4(A,B,C,D) = m_0 + m_2 + m_5 + m_7 + m_8 + m_{10} + m_{13} + m_{15} \end{cases}$$

根据上式得到 ROM 中的数据表如表 A5.38。存储矩阵的点阵图如图A5.38 所示。

表 A5.38　题 5.38 中 ROM 的数据表

地址				数据				地址				数据			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
(A	B	C	D)	(Y_1	Y_2	Y_3	Y_4)	(A	B	C	D)	(Y_1	Y_2	Y_3	Y_4)
0	0	0	0	1	0	0	1	1	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	1	1	1	1	0	1	0	1	0	1	1
0	0	1	1	0	0	0	0	1	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	1	0	1
0	1	1	0	0	0	0	0	1	1	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1	1	1	1	1	0	0	1

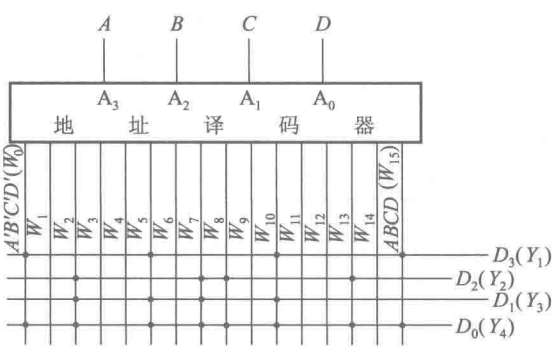


图 A5.38

【题 5.39】 用一片 256×8 位的 ROM 产生如下一组组合逻辑函数

$$\begin{cases} Y_1 = AB+BC+CD+DA \\ Y_2 = A'B'+B'C'+C'D'+D'A' \\ Y_3 = ABC+BCD+ABD+ACD \\ Y_4 = A'B'C'+B'C'D'+A'B'D'+A'C'D' \\ Y_5 = ABCD \\ Y_6 = A'B'C'D' \end{cases}$$

列出 ROM 的数据表,画出电路的连接图,标明各输入变量与输出函数的接线端。

解: 将函数化为最小项之和形式后得到

$Y_1(A,B,C,D) = m_3+m_6+m_7+m_9+m_{11}+m_{12}+m_{13}+m_{14}+m_{15}$

$Y_2(A,B,C,D) = m_0+m_1+m_2+m_3+m_4+m_6+m_8+m_9+m_{12}$

$Y_3(A,B,C,D) = m_7+m_{11}+m_{13}+m_{14}+m_{15}$

$Y_4(A,B,C,D) = m_0+m_1+m_2+m_4+m_8$

$Y_5(A,B,C,D) = m_{15}$

$Y_6(A,B,C,D) = m_0$

将 ROM 地址的高 4 位接 **0**,将 A、B、C、D 接至低 4 位地址输入端,取 $D_5 \sim D_0$ 作为 $Y_1 \sim Y_6$ 输出。电路连接如图 A5.39 所示。

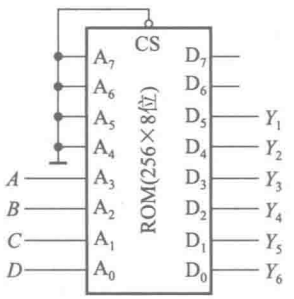


图 A5.39

表 A5.39 是 ROM 的数据表。因为将高 4 位地址接 **0**,同时输出 $Y_1 \sim Y_6$ 只用了 $D_0 \sim D_5$ 这六个输出端,所以在数据表中只列出了低 4 位地址和对应存储单元中低 6 位的数据。

表 A5.39 题 5.39ROM 的数据表

低四位地址				数据输出端						低四位地址				数据输出端					
A_3	A_2	A_1	A_0	D_5	D_4	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_5	D_4	D_3	D_2	D_1	D_0
(A	B	C	D)	(Y_1	Y_2	Y_3	Y_4	Y_5	Y_6)	(A	B	C	D)	(Y_1	Y_2	Y_3	Y_4	Y_5	Y_6)
0	0	0	0	0	1	0	1	0	1	1	0	0	0	0	1	0	1	0	0
0	0	0	1	0	1	0	1	0	0	1	0	0	1	1	1	0	0	0	0
0	0	1	0	0	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0
0	0	1	1	1	1	0	0	0	0	1	0	1	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0	0	1	1	0	0	1	1	0	0	0	0
0	1	0	1	0	0	0	0	0	0	1	1	0	1	1	0	1	0	0	0
0	1	1	0	1	1	0	0	0	0	1	1	1	0	1	0	1	0	0	0
0	1	1	1	1	0	1	0	0	0	1	1	1	1	1	0	1	0	1	0

【题 5.40】 用两片 1024×8 位的 EPROM 接成一个数码转换器,将 10 位二进制数转换成等值的 4 位二-十进制数。

(1) 试画出电路接线图,标明输入和输出。

(2) 当地址输入 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0$ 分别为 **0000000000**、**1000000000**、**1111111111** 时,两

片 EPROM 中对应地址中的数据各为何值？

解：

（1）电路接法如图 A5.40。

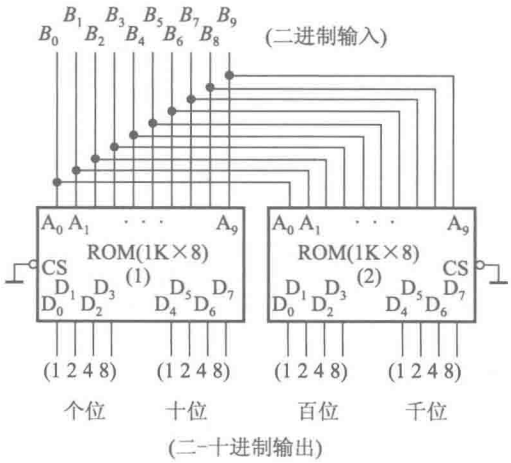


图 A5.40

（2）EPROM 中对应的数据如表 A5.40。

表 A5.40　题 5.40 中 ROM 的数据表

地址（二进制输入）										数据（二-十进制输出）																	
										ROM(2)								ROM(1)									
A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	1	0
1	1	1	1	1	1	1	1	1	1	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1

第六章习题解答

【题 6.1】 分析图 P6.1 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图和时序图。

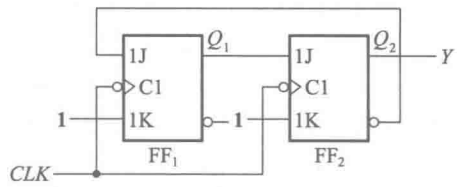


图 P6.1

解： 从给定的电路写出它的驱动方程为

$$\begin{cases} J_1 = Q_2' & K_1 = 1 \\ J_2 = Q_1 & K_2 = 1 \end{cases}$$

将上述驱动方程代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$，得到电路的状态方程

$$\begin{cases} Q_1^* = Q_1'Q_2' \\ Q_2^* = Q_1Q_2' \end{cases}$$

输出方程为

$$Y = Q_2$$

根据状态方程和输出方程画得的状态转换图和时序图如图 A6.1 所示。

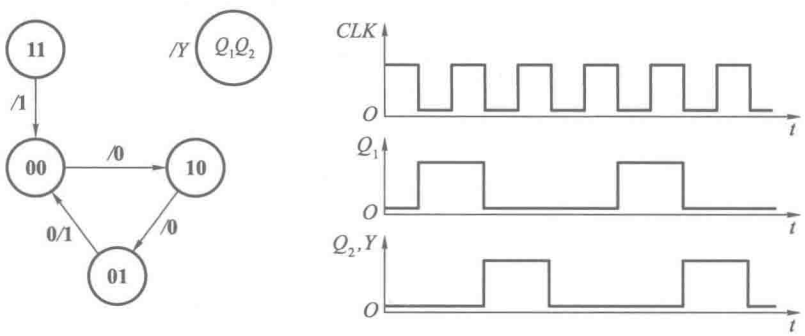


图 A6.1

【题 6.2】 分析图 P6.2 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，并说明该电路能否自启动。

解： 由给定的电路图写出驱动方程为

$$\begin{cases} D_1 = Q_3' \\ D_2 = Q_1 \\ D_3 = Q_1Q_2 \end{cases}$$

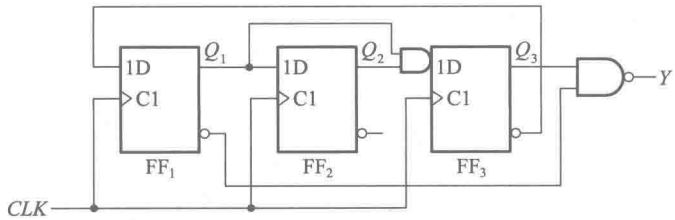


图 P6.2

将驱动方程代入 D 触发器的特性方程 $Q^* = D$，得到电路的状态方程

$$\begin{cases} Q_1^* = Q_3' \\ Q_2^* = Q_1 \\ Q_3^* = Q_1 Q_2 \end{cases}$$

电路的输出方程为

$$Y = (Q_1' Q_3)' = Q_1 + Q_3'$$

电路的状态转换图如图 A6.2 所示，电路能够自启动。

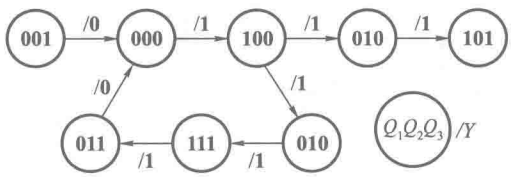


图 A6.2

【题 6.3】 分析图 P6.3 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。

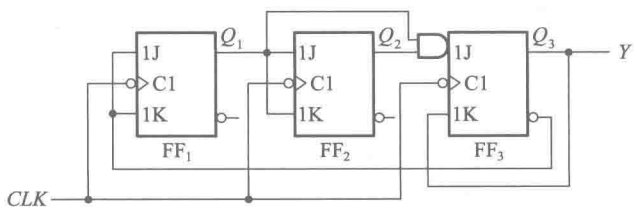


图 P6.3

解：从给定的电路图写出驱动方程为

$$\begin{cases} J_1 = K_1 = Q_3' \\ J_2 = K_2 = Q_1 \\ J_3 = Q_1 Q_2 ; K_3 = Q_3 \end{cases}$$

将上面的驱动方程代入 JK 触发器的特性方程后得到状态方程为

$$\begin{cases} Q_1^* = Q_3' Q_1' + Q_3 Q_1 = Q_3 \odot Q_1 \\ Q_2^* = Q_1 Q_2' + Q_1' Q_2 = Q_2 \oplus Q_1 \\ Q_3^* = Q_1 Q_2 Q_3' \end{cases}$$

由电路图上可知,输出方程为

$$Y=Q_3$$

根据状态方程和输出方程画出的状态转换图如图 A6.3 所示。电路能够自启动。

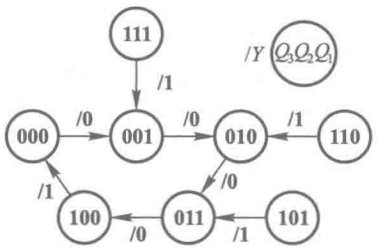


图 A6.3

【题 6.4】 试分析图 P6.4 所示时序电路的逻辑功能,写出电路的驱动方程、状态方程和输出方程,画出电路的状态转换图,检查电路能否自启动。

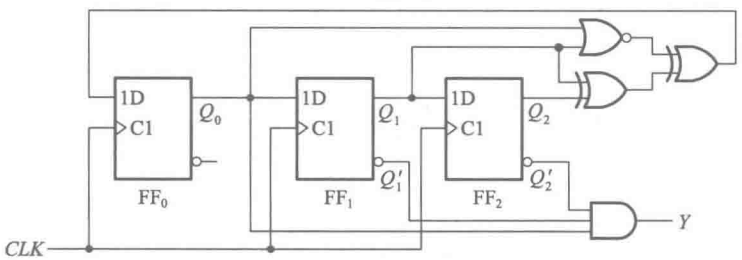


图 P6.4

解:从电路图写出驱动方程为

$$\begin{cases} D_0=(Q_0+Q_1)'\oplus(Q_1\oplus Q_2)=Q_0'Q_2'+Q_0Q_1'Q_2+Q_1Q_2' \\ D_1=Q_0 \\ D_2=Q_1 \end{cases}$$

将上述驱动方程代入 D 触发器的特性方程,得到状态方程

$$\begin{cases} Q_0^*=Q_0'Q_2'+Q_0Q_1'Q_2+Q_1Q_2' \\ Q_1^*=Q_0 \\ Q_2^*=Q_1 \end{cases}$$

输出方程为

$$Y=Q_0Q_1'Q_2'$$

根据得到的状态方程和输出方程,即可画出电路的状态转换图,如图 A6.4 所示。当电路进入无效状态($Q_0Q_1Q_2=\mathbf{111}$)后,在时钟信号作用下能自行进入有效循环,所以电路能自启动。

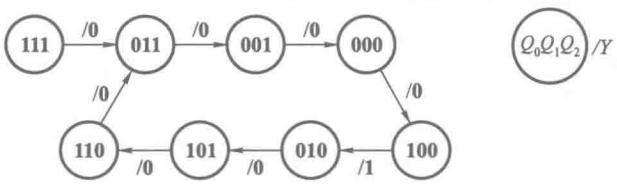


图 A6.4

【题 6.5】 试分析图 P6.5 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。A 为输入逻辑变量。

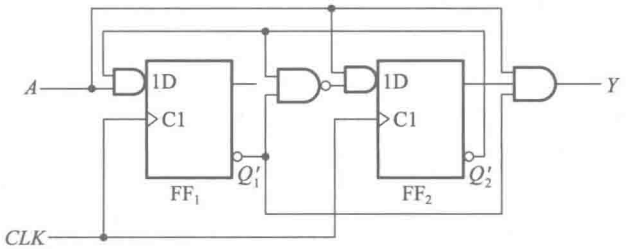


图 P6.5

解： 首先从电路图写出它的驱动方程

$$\begin{cases} D_1 = AQ_2' \\ D_2 = A(Q_1'Q_2')' = A(Q_1 + Q_2) \end{cases}$$

将上式代入 D 触发器的特性方程后得到电路的状态方程

$$\begin{cases} Q_1^* = AQ_2' \\ Q_2^* = A(Q_1 + Q_2) \end{cases}$$

电路的输出方程为

$$Y = AQ_1'Q_2$$

根据状态方程和输出方程画出的状态转换图如图 A6.5 所示。

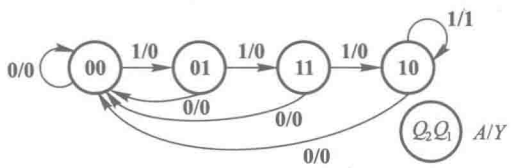


图 A6.5

【题 6.6】 分析图 P6.6 给出的时序电路，画出电路的状态转换图，检查电路能否自启动，说明电路实现的功能。A 为输入变量。

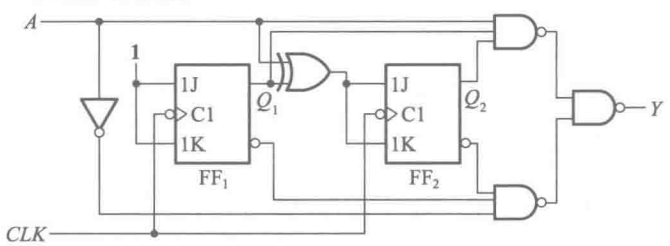


图 P6.6

解： 由电路图写出驱动方程为

$$\begin{cases} J_1 = K_1 = \mathbf{1} \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

将上述驱动方程代入 JK 触发器的特性方程，得到状态方程

$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

输出方程为

$$Y = AQ_1Q_2 + A'Q_1'Q_2'$$

根据状态方程和输出方程画出的状态转换图如图 A6.6 所示。因为不存在无效状态，所以电路不存在自启动与否的问题。

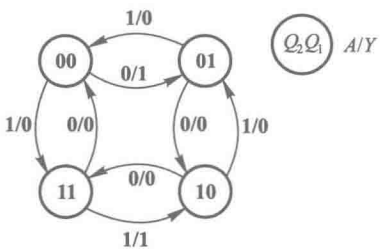


图 A6.6

当 $A=0$ 时电路对 CLK 脉冲作二进制加法计数，$A=1$ 时作二进制减法计数。

【题 6.7】 分析图 P6.7 的时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自启动。

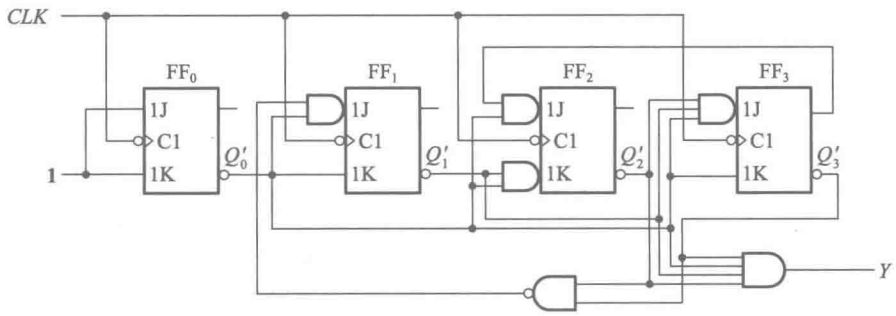


图 P6.7

解： 由电路图写出驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_0'(Q_2'Q_3')'; K_1 = Q_0' \\ J_2 = Q_0'Q_3; \qquad K_2 = Q_0'Q_1' \\ J_3 = Q_0'Q_1'Q_2'; \qquad K_3 = Q_0' \end{cases}$$

将上述驱动方程代入 JK 触发器的特性方程，得到状态方程为

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0'Q_1'(Q_2+Q_3) + Q_0Q_1 \\ Q_2^* = Q_0'Q_2'Q_3 + (Q_0+Q_1)Q_2 \\ Q_3^* = Q_0'Q_1'Q_2'Q_3' + Q_0Q_3 \end{cases}$$

输出方程为

$$Y = Q_0'Q_1'Q_2'Q_3'$$

根据状态方程和输出方程画出的状态转换图如图 A6.7 所示。电路能自启动。

【题 6.8】 分析图 P6.8 电路，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。图中的 X、Y 分别表示输入逻辑变量和输出逻辑变量。

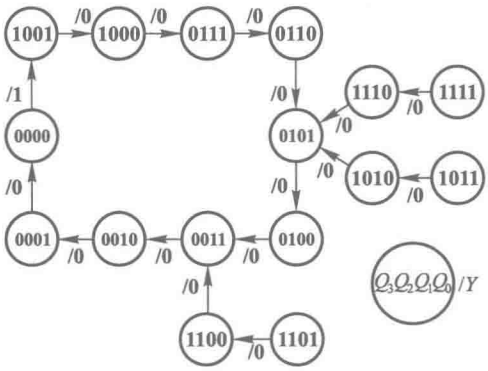


图 A6.7

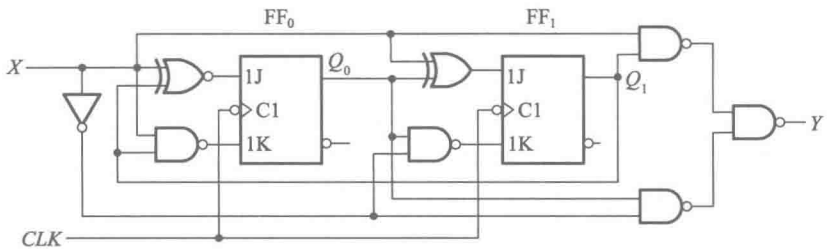


图 P6.8

解：首先从给定电路图写出它的驱动方程

$$\begin{cases} J_0=(X\oplus Q_1)';K_0=(XQ_1)' \\ J_1=X\oplus Q_0; \quad K_1=(X'Q_0)' \end{cases}$$

将上面的驱动方程代入 *JK* 触发器的特性方程，得到电路的状态方程

$$\begin{cases} Q_0^*=(X\oplus Q_1)'Q_0'+(XQ_1)Q_0=X'Q_1'Q_0'+XQ_1 \\ Q_1^*=(X\oplus Q_0)Q_1'+(X'Q_0)Q_1=XQ_1'Q_0'+X'Q_0 \end{cases}$$

输出方程为

$$Y=XQ_1+X'Q_0$$

根据状态方程和输出方程画出的状态转换图如图 A6.8 所示。

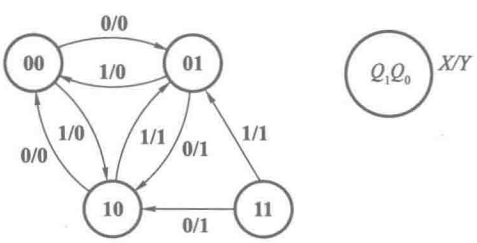


图 A6.8

【题 6.9】 试画出用 4 片 74LS194A 组成 16 位双向移位寄存器的逻辑图。74LS194A 的功能表与表 6.3.2 相同。

解：见图 A6.9。

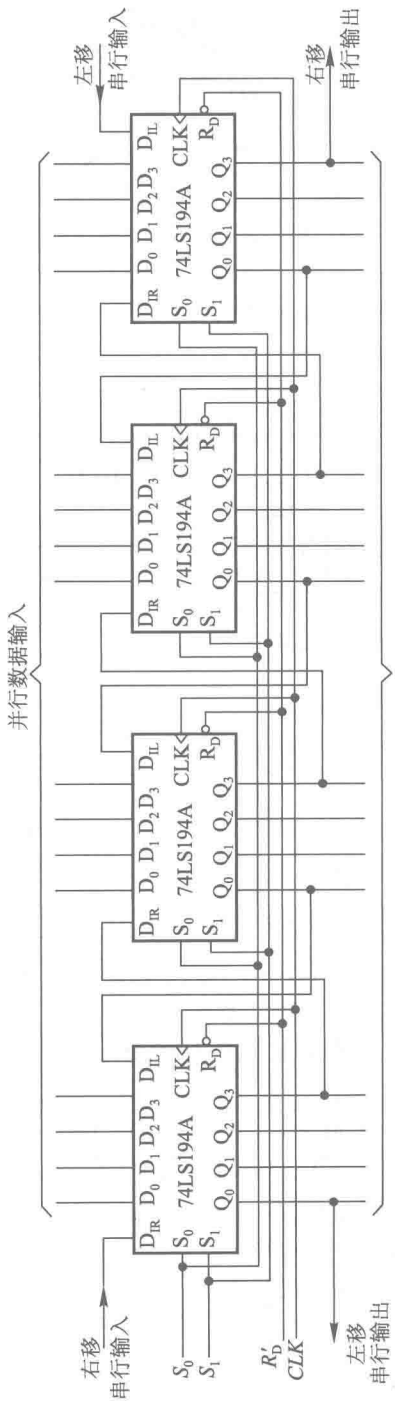

并行数据输入
并行数据输出
右移
串行输入
左移
串行输出
左移
串行输入
右移
串行输出
S_0
S_1
R'_D
CLK
74LS194A

图 A6.9

【题 6.10】 在图 P6.10 电路中，若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0=\mathbf{1001}$，$B_3B_2B_1B_0=\mathbf{0011}$，$CI$ 的初始值为 0，试问经过 4 个 CLK 信号作用以后两个寄存器中的数据如何？这个电路完成什么功能？

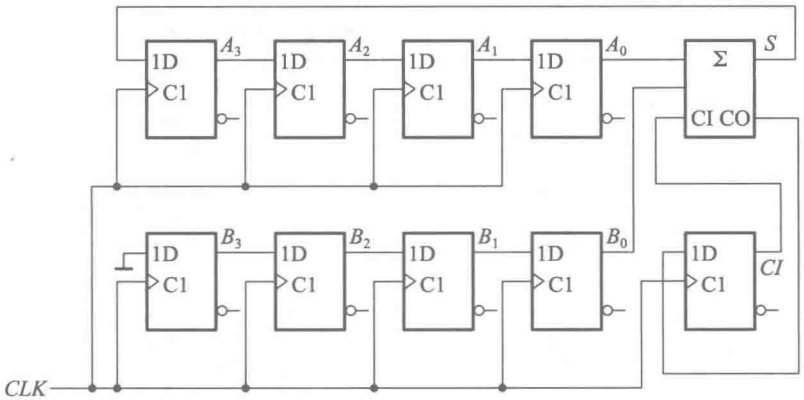


图 P6.10

解： 经过 4 个时钟信号作用以后，两个寄存器里的数据分别为 $A_3A_2A_1A_0=\mathbf{1100}$，$B_3B_2B_1B_0=\mathbf{0000}$。这是一个 4 位串行加法器电路。

【题 6.11】 分析图 P6.11 的计数器电路，说明这是多少进制的计数器。十进制计数器 74160 的功能表与表 6.3.4 相同。

解： 图 P6.11 是采用同步置数法接成的七进制计数器。当计数器计成 1001(9)状态时，LD' 变成低电位。待下一个 CLK 脉冲到来时，将电路置成 $Q_3Q_2Q_1Q_0=0011(3)$，然后再从 3 开始作加法计数。在 CLK 连续作用下，电路将在 0011～1001 这七个状态间循环，故电路为七进制计数器。

【题 6.12】 分析图 P6.12 的计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。十六进制计数器 74LS161 的功能表如表 6.3.4 所示。

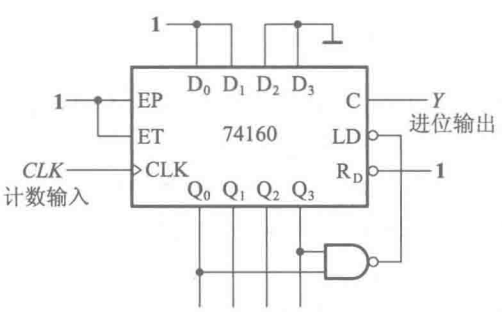


图 P6.11

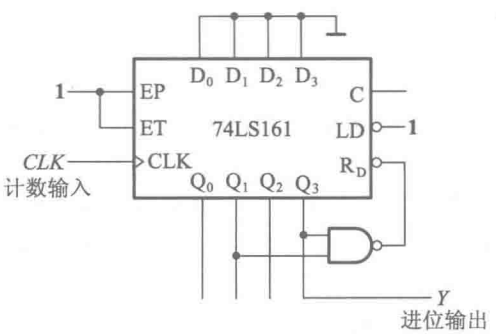


图 P6.12

解： 图 P6.12 电路是采用异步置零法用 74LS161 接成的十进制计数器。当计数器进入 $Q_3Q_2Q_1Q_0=\mathbf{1010}$ 状态后，与非门输出低电平置零信号，立刻将计数器置成 $Q_3Q_2Q_1Q_0=\mathbf{0000}$ 状

态。由于 $Q_3Q_2Q_1Q_0=1010$ 是一个过渡状态,不存在于稳定状态的循环中,所以电路按 **0000**~**1001** 这十个状态顺序循环,是十进制计数器。电路的状态转换图如图 A6.12 所示。

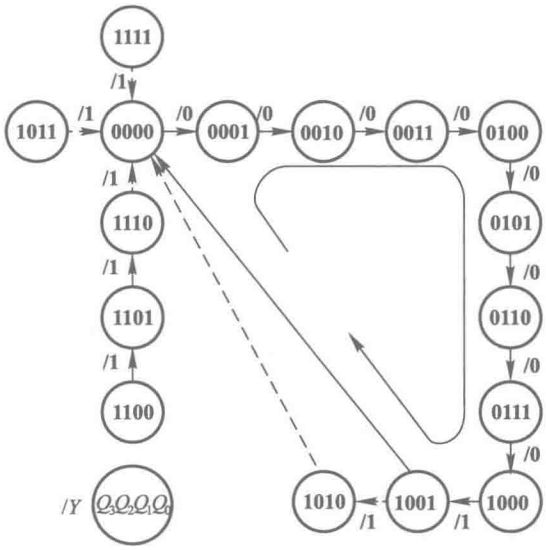


图 A6.12

【题 6.13】 试分析图 P6.13 的计数器在 $M=1$ 和 $M=0$ 时各为几进制。74160 的功能表与表 6.3.4 相同。

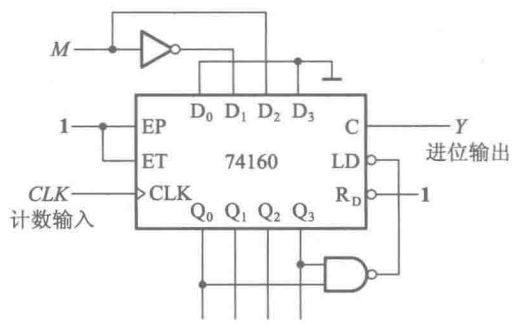


图 P6.13

解:图 P6.13 电路是采用同步置数法用 74160 接成的可变进制计数器。在 $M=1$ 的状态下,当电路进入 $Q_3Q_2Q_1Q_0=1001$(九)以后,$LD'=0$。下一个 CLK 到达时将 $D_3D_2D_1D_0=0100$(四)置入电路中,使 $Q_3Q_2Q_1Q_0=0100$,再从 **0100** 继续作加法计数。因此,电路在 **0100** 到 **1001** 这六个状态间循环,构成六进制计数器。同理,在 $M=0$ 的情况下,电路计到 **1001** 后置入 **0010**(二),故形成八进制计数器。

【题 6.14】 试用 4 位同步二进制计数器 74LS161 接成十二进制计数器,标出输入、输出端。可以附加必要的门电路。74LS161 的功能表见表 6.3.4。

解:此题有多种可行的方案。例如可采用同步置数法,在电路计成 $Q_3Q_2Q_1Q_0=1011$(十一)后译出 $LD'=0$ 信号,并在下一个 CLK 信号到达时置入 **0000** 就得到了十二进制计数器。电路接法见图 A6.14。

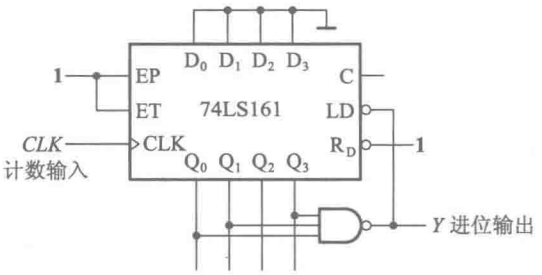


图 A6.14

【题 6.15】 图 P6.15 电路是可变进制计数器。试分析当控制变量 A 为 **1** 和 **0** 时电路各为几进制计数器。74LS161 的功能表见表 6.3.4。

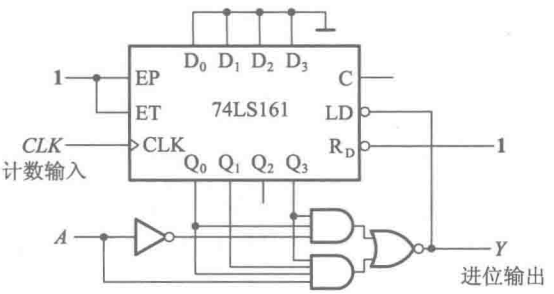


图 P6.15

解：这是用同步置数法接成的可控进制计数器。在 $A=1$ 的情况下，计数器计为 $Q_3Q_2Q_1Q_0=$ **1011**（十一）后给出 $LD'=0$ 信号，下一个 CLK 脉冲到来时计数器被置成 $Q_3Q_2Q_1Q_0=$ **0000** 状态，所以是十二进制计数器。在 $A=0$ 的情况下，计数器计为 **1001** 时给出 $LD'=0$ 信号，下一个 CLK 脉冲到来时计数器被置零，所以是十进制计数器。

【题 6.16】 设计一个可控进制的计数器，当输入控制变量 $M=0$ 时工作在五进制，$M=1$ 时工作在十五进制。请标出计数输入端和进位输出端。

解：此题可有多种答案。图 A6.16 是采用同步置数法接成的可控进制计数器。因为每次置数时置入的是 $D_3D_2D_1D_0=$ **0000**，所以 $M=1$ 时应从 $Q_3Q_2Q_1Q_0=$ **1110**（十四）状态译出 $LD'=0$ 信号；而在 $M=0$ 时应从 $Q_3Q_2Q_1Q_0=$ **0100**（四）状态译出 $LD'=0$ 信号。

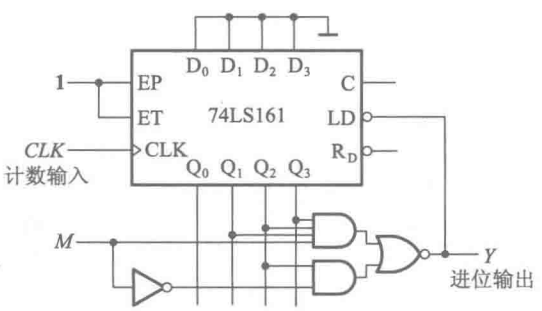


图 A6.16

【题 6.17】 分析图 P6.17 给出的计数器电路,画出电路的状态转换图,说明这是几进制计数器。74LS290 的电路见图 6.3.29。

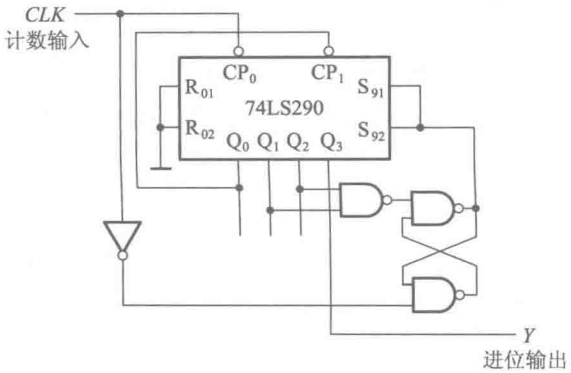


图 P6.17

解:图 P6.17 电路是采用异步置数法接成的七进制计数器。每当计数器计成 $Q_3Q_2Q_1Q_0$ **=0110**(六)时,立即产生"置 9"信号,使 $S_{91}=S_{92}=$ **1**,将电路置成 $Q_3Q_2Q_1Q_0=$ **1001**,于是电路便在 9-0-1……5-9 这七个状态间循环,形成七进制计数器。**0110** 是过渡状态,不包括在稳定状态循环之内。此外,$Q_3Q_2Q_1Q_0$ 的 **0110**、**0111**、**1110** 和 **1111** 这 4 个状态是过渡状态。状态转换图如图 A6.17。

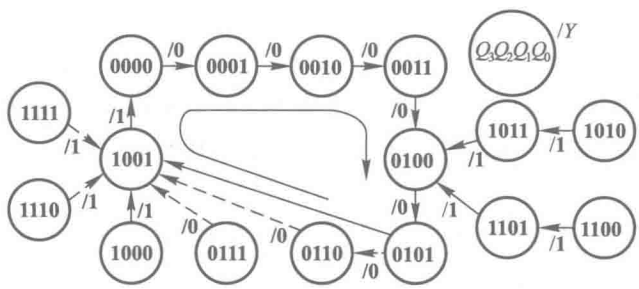


图 A6.17

【题 6.18】 试分析图 P6.18 计数器电路的分频比(即 Y 与 CLK 的频率之比)。74LS161 的功能表见表 6.3.4。

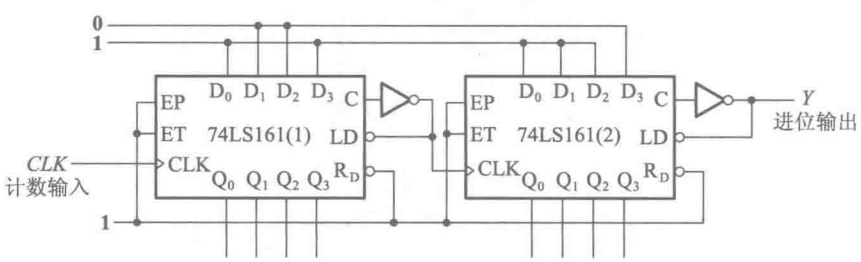


图 P6.18

解：第(1)片 74LS161 是采用置数法接成的七进制计数器。每当计数器状态进入 $Q_3Q_2Q_1Q_0=\mathbf{1111}$(十五)时译出 $LD'=\mathbf{0}$ 信号，置入 $D_3D_2D_1D_0=\mathbf{1001}$(九)，所以是七进制计数器。

第(2)片 74LS161 是采用置数法接成的九进制计数器。当计数器状态进入 $Q_3Q_2Q_1Q_0=\mathbf{1111}$(十五)时译出 $LD'=\mathbf{0}$ 信号，置入 $D_3D_2D_1D_0=\mathbf{0111}$(七)，所以是九进制计数器。

两片 74LS161 之间采用了串行连接方式，构成 7×9=63 进制计数器，故 Y 与 CLK 的频率之比为 1∶63。

【题 6.19】 图 P6.19 电路是由两片同步十进制计数器 74160 组成的计数器，试分析这是多少进制的计数器，两片之间是几进制。74160 的功能表与表 6.3.4 相同。

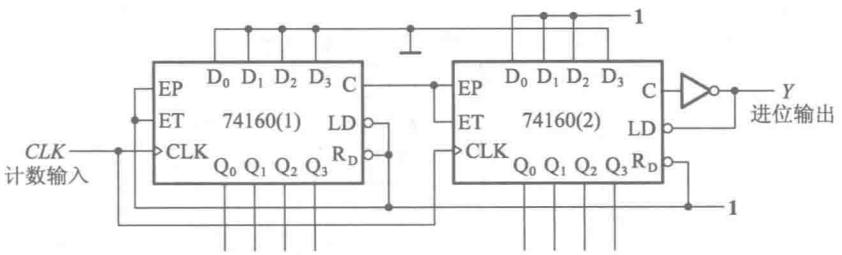


图 P6.19

解：第(1)片 74160 工作在十进制计数状态。第(2)片 74160 采用置数法接成三进制计数器。两片之间是十进制。

若起始状态第(1)片和第(2)片 74160 的 $Q_3Q_2Q_1Q_0$ 分别为 **0001** 和 **0111**，则输入 19 个 CLK 信号以后第(1)片变为 **0000** 状态，第(2)片接收了两个进位信号以后变为 **1001** 状态，并使第(2)片的 $LD'=\mathbf{0}$。第 20 个 CLK 信号到达以后，第(1)片计成 **0001**，第(2)片被置为 **0111**，于是返回到了起始状态，所以这是二十进制计数器。

【题 6.20】 分析图 P6.20 给出的电路，说明这是多少进制的计数器，两片之间是多少进制。74LS161 的功能表见表 6.3.4。

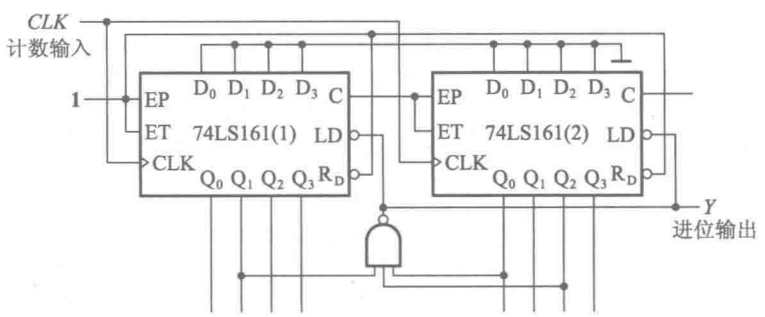


图 P6.20

解：这是采用整体置数法接成的计数器。

在出现 $LD'=\mathbf{0}$ 信号以前，两片 74LS161 均按十六进制计数。即第(1)片到第(2)片为十六进制。当第(1)片计为 2，第(2)片计为 5 时产生 $LD'=\mathbf{0}$ 信号，待下一个 CLK 信号到达后两片

74LS161 同时被置零,总的进制为

$$5\times16+2+1=83$$

故为八十三进制计数器。

【题 6.21】 画出用两片同步十进制计数器 74160 接成同步三十一进制计数器的接线图。可以附加必要的门电路。74160 的逻辑图和功能表见图 6.3.19 和表 6.3.4。

解: 由于 31 是一个不能分解的素数,所以必须采用整体置数或整体置零的连接方式。若采用整体置数法,则应先将两片按同步连接方式接成 10×10 = 100 进制计数器,然后用电路计为 30 的状态译出 $LD'=0$ 信号,如图 A6.21 所示。这样在电路从全零状态开始计数,计入 31 个脉冲后将返回全零状态,形成三十一进制计数器。

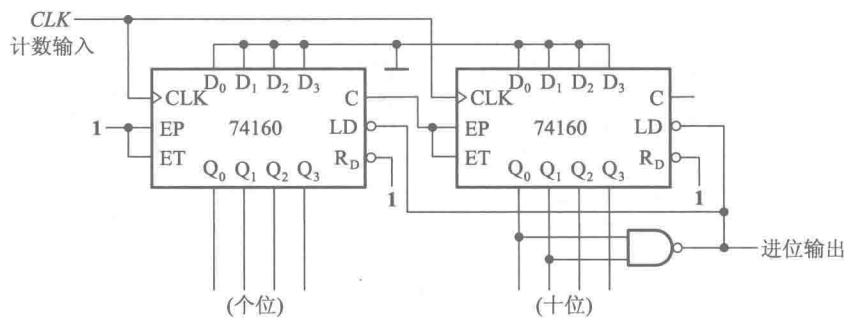


图 A6.21

【题 6.22】 用同步十进制计数器芯片 74160 设计一个三百六十五进制的计数器。要求各位间为十进制关系。允许附加必要的门电路。74160 的功能表与表 6.3.4 相同。

解: 因为要求各位之间是十进制关系,所以需令每一位的 74160 接成十进制计数状态,并以低位的进位输出作高位的 *EP* 和 *ET* 的控制信号(或进位脉冲),接成三位十进制计数器。然后用整体置数(或置零)法再改接成三百六十五进制计数器。

图 A6.22 是采用同步置数法的接线图。当计数器计成 364 状态时译出 $LD'=0$ 信号,下一个 *CLK* 脉冲到来时将计数器置为全零状态,从而得到三百六十五进制计数器。

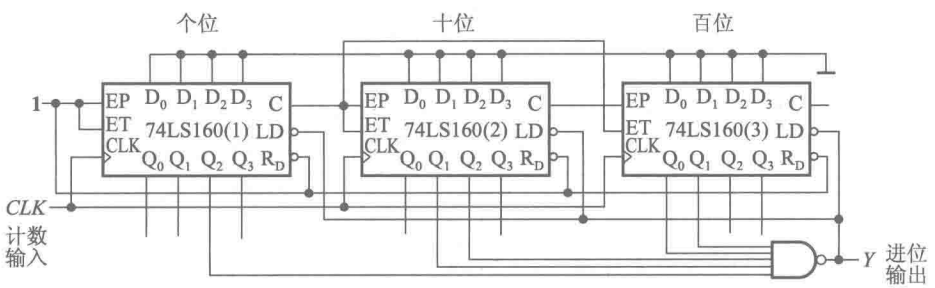


图 A6.22

【题 6.23】 设计一个数字钟电路,要求能用七段数码管显示从 0 时 0 分 0 秒到 23 时 59 分 59 秒之间的任一时刻。

解: 电路接法可如图 A6.23 所示。计数器由六片 74160 组成。第(1)、(2)两片接成六十进

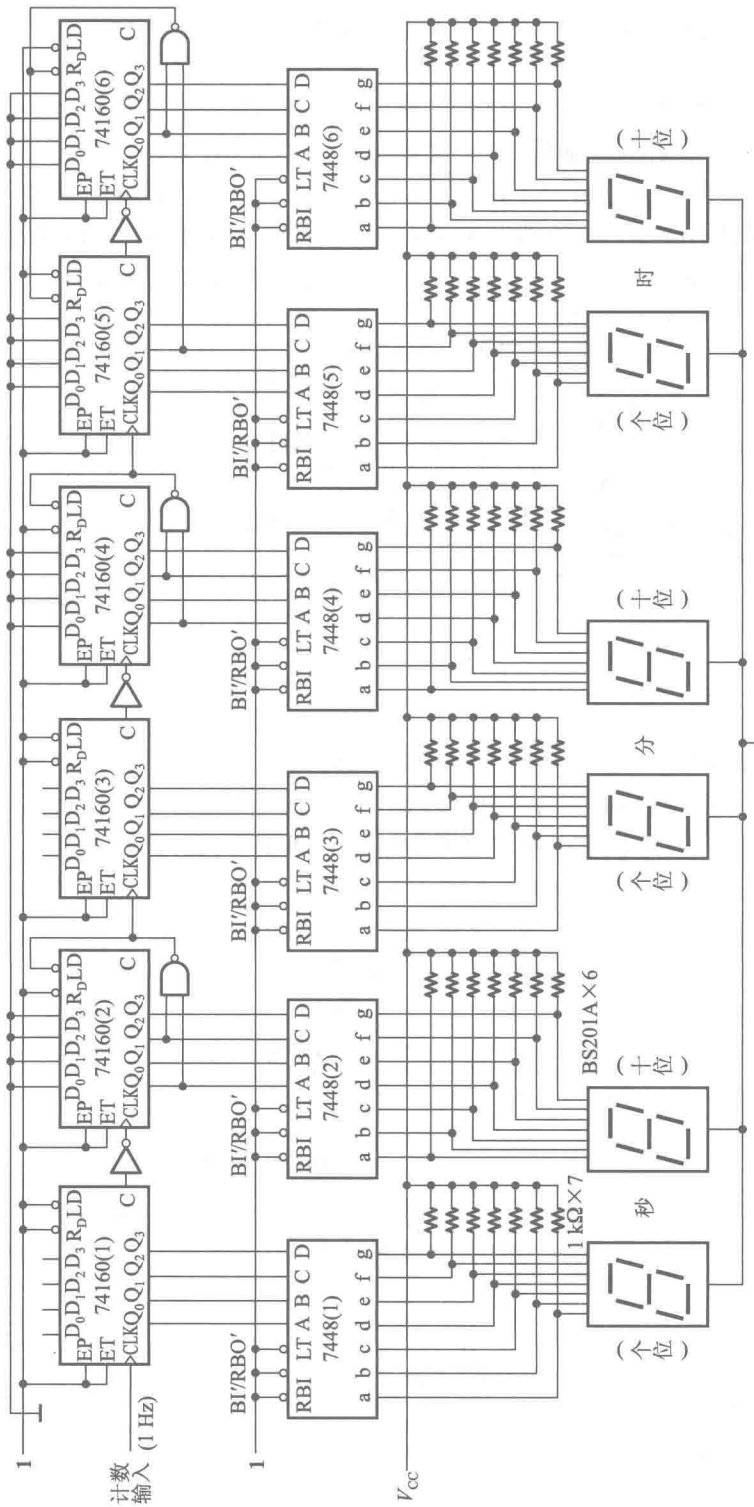

1
计数输入 (1 Hz)
74160(1)
74160(2)
74160(3)
74160(4)
74160(5)
74160(6)
7448(1)
7448(2)
7448(3)
7448(4)
7448(5)
7448(6)
BI′/RBO′
BS201A×6
1 kΩ×7
秒
分
时
(个位)
(十位)
V_{CC}

图 A6.23

制的“秒计数器”,第(1)片为十进制,第(2)片为六进制。第(3)、(4)片接成六十进制的“分计数器”,接法与“秒计数器”相同。第(5)、(6)片用整体复位法接成二十四进制计数器,作为“时计数器”。

显示译码器由六片 7448 组成,每片 7448 用于驱动一只共阴极的数码管 BS201A。

【题 6.24】 图 P6.24 所示电路是用二-十进制优先编码器 74LS147 和同步十进制计数器 74160 组成的可控分频器,试说明当输入控制信号 A'、B'、C'、D'、E'、F'、G'、H'、I'分别为低电平时由 Y 端输出的脉冲频率各为多少。已知 CLK 端输入脉冲的频率为 10 kHz。74LS147 的功能表如表 4.3.3 所示(74LS147 与 74HC147 的功能表一致),74160 的功能表参见表 6.3.4。

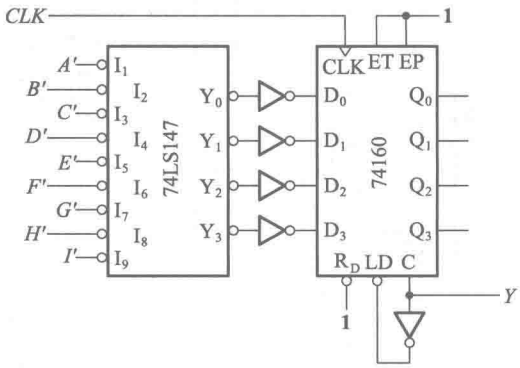


图 P6.24

解:由图可见,计数器 74160 工作在同步预置数状态,每当计数器的进位输出 $C=\mathbf{1}$ 时(即 $Q_3Q_2Q_1Q_0=\mathbf{1001}$ 时),在下一个 CLK 上升沿到达时置入编码器 74LS147 的输出状态 $Y_3Y_2Y_1Y_0$。

再从图 A6.24 给出的 74160 的状态转换图可知,当 $A=\mathbf{0}$ 时 74LS147 的输出为 $Y_3'Y_2'Y_1'Y_0'=\mathbf{1110}$,74160 的数据输入端 $D_3D_2D_1D_0=\mathbf{0001}$,则状态转换顺序将如图中所示,即成为九进制计数器。输出脉冲 Y 的频率为 CLK 频率的 1/9。依此类推便可得到表 A6.24。

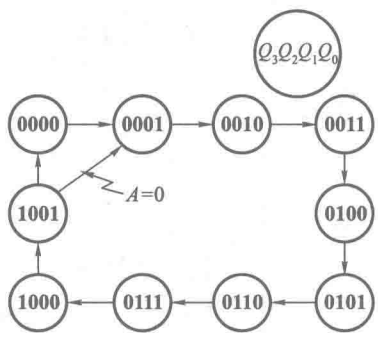


图 A6.24

表 A6.24

接低电平的输入端	A'	B'	C'	D'	E'	F'	G'	H'	I'
f_y/f_{CLK}	1/9	1/8	1/7	1/6	1/5	1/4	1/3	1/2	0
f_y(kHz)	1.11	1.25	1.43	1.67	2	2.5	3.33	5	0

【题 6.25】 试用同步十进制可逆计数器 74LS190 和二-十进制优先编码器 74LS147 设计一个工作在减法计数状态的可控分频器。要求在控制信号 A、B、C、D、E、F、G、H 分别为 **1** 时分频比对应为 1/2、1/3、1/4、1/5、1/6、1/7、1/8、1/9。74LS190 的逻辑图见图 6.3.22，它的功能表与表 6.3.5 相同。可以附加必要的门电路。

解：可用 CLK_0 作为 LD' 信号。因为在 CLK 上升沿使 $Q_3Q_2Q_1Q_0 = \mathbf{0000}$ 以后，在这个 CLK 的低电平期间 CLK_0 将给出一个负脉冲。74LS147 的功能表与表 4.3.3 相同。

但由于 74LS190 的 $LD' = \mathbf{0}$ 信号是异步置数信号，所以 **0000** 状态在计数过程中是作为暂态出现的。如果为提高置数的可靠性，并产生足够宽度的进位输出脉冲，可以增设由 G_1、G_2 组成的锁存器，由 Q' 端给出与 CLK 脉冲的低电平等宽的 $LD' = \mathbf{0}$ 信号，并可由 Q' 端给出进位输出脉冲。

由图 A6.25(a)中 74LS190 减法计数时的状态转换图可知，若 $LD' = \mathbf{0}$ 时置入 $Q_3Q_2Q_1Q_0 = \mathbf{0100}$，则得到四进制减法计数器，输出进位信号与 CLK 频率之比为 1/4。又由 74LS147 的功能表(表 4.4.3)可知，为使 74LS147 的输出反相后为 **0100**，I'_4 需接入低电平信号，故 I'_4 应接输入信号 C。依此类推即可得到下表：

分频比(f_y/f_{CLK})	1/2	1/3	1/4	1/5	1/6	1/7	1/8	1/9
低电平信号输入端	$I'_2(A')$	$I'_3(B')$	$I'_4(C')$	$I'_5(D')$	$I'_6(E')$	$I'_7(F')$	$I'_8(G')$	$I'_9(H')$

于是得到如图 A6.25(b)所示的电路图。

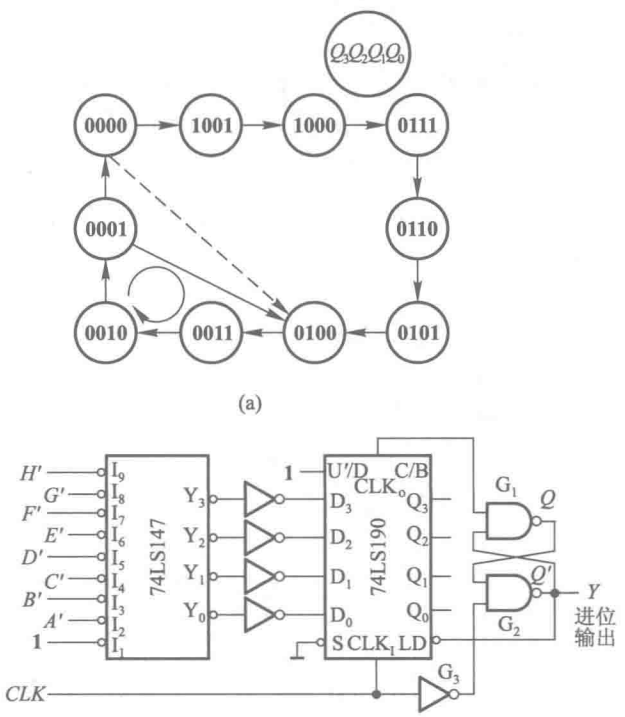


图 A6.25

【题 6.26】 图 P6.26 是一个移位寄存器型计数器,试画出它的状态转换图,说明这是几进制计数器,能否自启动。

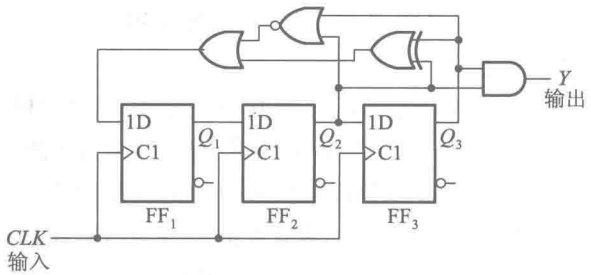


图 P6.26

解:从图 P6.26 所示的电路图可写出它的状态方程和输出方程分别为

$$\begin{cases} Q_1^* = D_1 = Q_2Q_3' + Q_2'Q_3 + Q_2'Q_3' \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

$$Y = Q_2Q_3$$

状态转换图如图 A6.26 所示,电路能自启动。这是一个五进制计数器。

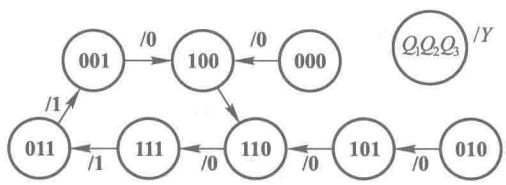


图 A6.26

【题 6.27】 图 P6.27 是一个移位寄存器型计数器。试画出电路的状态转换图,并说明这是几进制计数器,能否自启动。

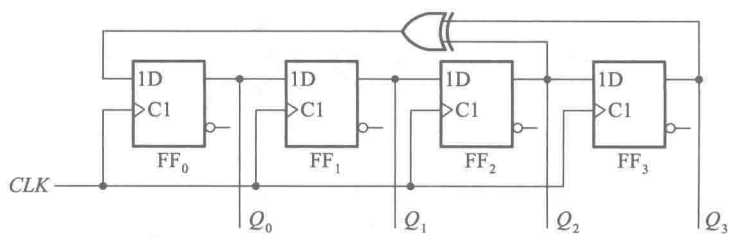


图 P6.27

解:从图 P6.27 给出的电路可写出该电路的状态方程

$$\begin{cases} Q_0^* = D_0 = Q_2 \oplus Q_3 \\ Q_1^* = D_1 = Q_0 \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_2 \end{cases}$$

根据状态方程画出的状态转换图如图 A6.27 所示。可见这是一个十五进制计数器。电路若进入 **0000** 状态，则不能在 *CLK* 信号作用下进入有效循环，所以电路不能自启动。

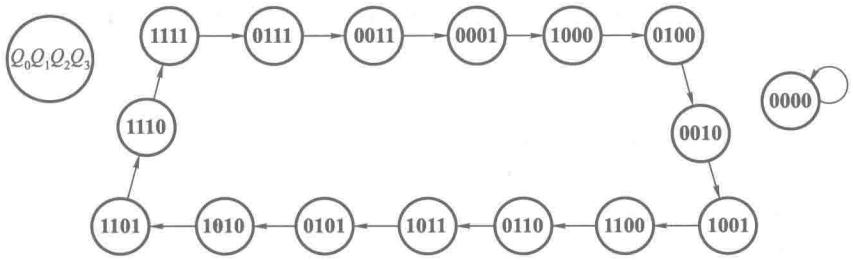


图 A6.27

【题 6.28】 试利用同步十六进制计数器 74LS161 和 4 线-16 线译码器 74LS154 设计节拍脉冲发生器，要求从 12 个输出端顺序、循环地输出等宽的负脉冲。74LS154 的逻辑框图及说明见[题 4.11]。74LS161 的功能表见表 6.3.4。

解：此题的设计方案不是唯一的。例如可以采用同步置数法将 74LS161 接成十二进制计数器，并把它的 Q_3、Q_2、Q_1、Q_0 接至 74LS154 的 A_3、A_2、A_1、A_0 输入端，在连续输入 *CLK* 脉冲后，在 74LS154 的 $Y'_0 \sim Y'_{11}$ 输出端就得到了 12 个等宽的顺序脉冲 $P_0 \sim P_{11}$。

电路接法如图 A6.28 所示。

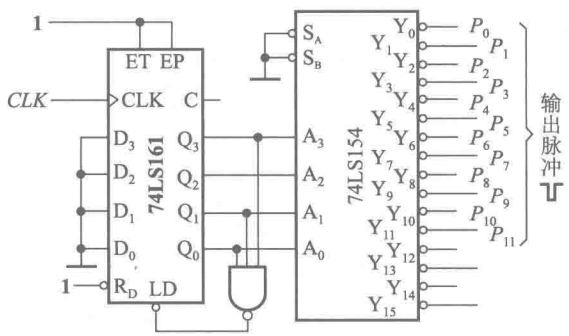


图 A6.28

【题 6.29】 设计一个序列信号发生器电路，使之在一系列 *CLK* 信号作用下能周期性地输出“**0010110111**”的序列信号。

解：此题的一种设计方案是用十进制计数器和 8 选 1 数据选择器组成这个序列信号发生器电路。

若十进制计数器选用 74160，则可列出在 *CLK* 连续作用下计数器状态 $Q_3Q_2Q_1Q_0$ 与要求产生的输出 Z 之间关系的真值表，如表 A6.29 所示。

若取用 8 选 1 数据选择器 74HC151（见图 4.5.5），则它的输出逻辑式可写为

$$Y = D_0(A'_2A'_1A'_0) + D_1(A'_2A'A_0) + D_2(A'_2A_1A'_0) + D_3(A'_2A_1A_0)$$
$$+ D_4(A_2A'_1A'_0) + D_5(A_2A'A_0) + D_6(A_2A_1A'_0) + D_7(A_2A_1A_0)$$

由真值表写出 Z 的逻辑式，并化成与上式对应的形式则得到

$$Z=Q_3(Q_2'Q_1'Q_0')+Q_3(Q_2'Q_1'Q_0)+Q_3'(Q_2'Q_1Q_0')+\mathbf{0}\cdot(Q_2'Q_1Q_0)$$
$$+Q_3'(Q_2Q_1'Q_0')+Q_3'(Q_2Q_1'Q_0)+\mathbf{0}\cdot(Q_2Q_1Q_0')+Q_3'(Q_2Q_1Q_0)$$

令 $A_2=Q_2, A_1=Q_1, A_0=Q_0, D_0=D_1=Q_3, D_2=D_4=D_5=D_7=Q_3', D_3=D_6=\mathbf{0}$，则数据选择器的输出 Y 即所求之 Z。所得到的电路如图 A6.29 所示。

表 A6.29　题 6.29 的真值表

CLK 顺序	Q_3	Q_2	Q_1	Q_0	Z
0	**0**	**0**	**0**	**0**	**0**
1	**0**	**0**	**0**	**1**	**0**
2	**0**	**0**	**1**	**0**	**1**
3	**0**	**0**	**1**	**1**	**0**
4	**0**	**1**	**0**	**0**	**1**
5	**0**	**1**	**0**	**1**	**1**
6	**0**	**1**	**1**	**0**	**0**
7	**0**	**1**	**1**	**1**	**1**
8	**1**	**0**	**0**	**0**	**1**
9	**1**	**0**	**0**	**1**	**1**

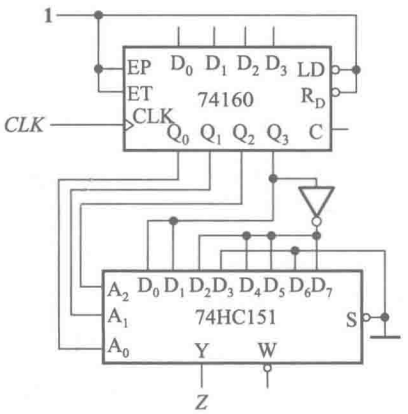


图 A6.29

【题 6.30】 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表 P6.30 规定的顺序转换状态。表中的 **1** 表示“亮”，**0** 表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

解： 因为输出为八个状态循环，所以用 74LS161 的低 3 位作为八进制计数器。若以 R、Y、G 分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2Q_1Q_0$ 与 R、Y、G 关系的真值表，如表 A6.30。

选两片双 4 选 1 数据选择器 74HC153 作通用函数发生器使用，产生 R、Y、G。

表 P6.30

CLK 顺序	红	黄	绿
0	**0**	**0**	**0**
1	**1**	**0**	**0**
2	**0**	**1**	**0**
3	**0**	**0**	**1**
4	**1**	**1**	**1**
5	**0**	**0**	**1**
6	**0**	**1**	**0**
7	**1**	**0**	**0**
8	**0**	**0**	**0**

表 A6.30　题 6.30 的真值表

Q_2	Q_1	Q_0	R	Y	G
0	**0**	**0**	**0**	**0**	**0**
0	**0**	**1**	**1**	**0**	**0**
0	**1**	**0**	**0**	**1**	**0**
0	**1**	**1**	**0**	**0**	**1**
1	**0**	**0**	**1**	**1**	**1**
1	**0**	**1**	**0**	**0**	**1**
1	**1**	**0**	**0**	**1**	**0**
1	**1**	**1**	**1**	**0**	**0**

已知 74HC153 在 $S'=0$ 的条件下输出的逻辑式为 $Y=D_0(A_1'A_0')+D_1(A_1'A_0)+D_2(A_1A_0')+D_3(A_1A_0)$

由真值表写出 R、Y、G 的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式

$$R=Q_2(Q_1'Q_0')+Q_2'(Q_1'Q_0)+\mathbf{0}\cdot(Q_1Q_0')+Q_2(Q_1Q_0)$$

$$Y=Q_2(Q_1'Q_0')+\mathbf{0}\cdot(Q_1'Q_0)+\mathbf{1}\cdot(Q_1Q_0')+\mathbf{0}\cdot(Q_1Q_0)$$

$$G=Q_2(Q_1'Q_0')+Q_2(Q_1'Q_0)+\mathbf{0}\cdot(Q_1Q_0')+Q_2'(Q_1Q_0)$$

电路图如图 A6.30 所示。

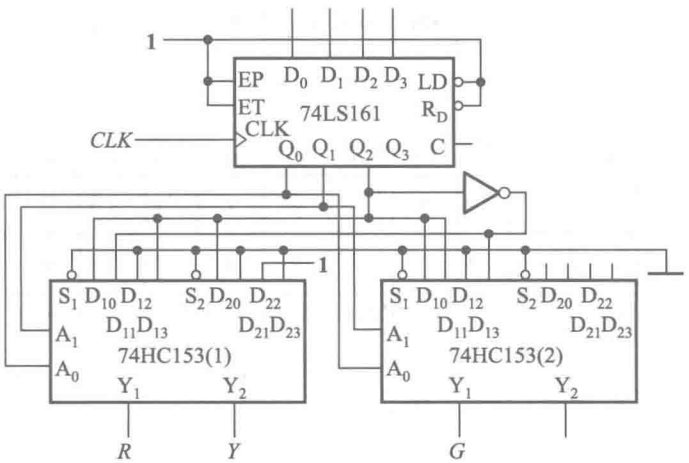


图 A6.30

【题 6.31】 试用 *JK* 触发器和门电路设计一个同步七进制计数器。

解： 因为七进制计数器必须有七个不同的电路状态，所以需要用三个触发器组成。如果对电路的状态编码没有提出要求，则取哪七个状态以及如何安排顺序可自行确定。如果选用图 A6.31(a)状态转换图所示的状态编码和循环顺序，即可画出电路次状($Q_3^*\,Q_2^*\,Q_1^*$)的卡诺图，如图 A6.31(b)所示。

从卡诺图写出电路的状态方程得到

$$\begin{cases} Q_3^*=Q_3Q_2'+Q_2Q_1=(Q_2Q_1)Q_3'+(Q_2')Q_3 \\ Q_2^*=Q_2'Q_1+Q_3'Q_2Q_1'=(Q_1)Q_2'+(Q_3'Q_1')Q_2 \\ Q_1^*=Q_2'Q_1'+Q_3'Q_1'=(Q_2Q_3)'Q_1'+(\mathbf{1}')Q_1 \end{cases}$$

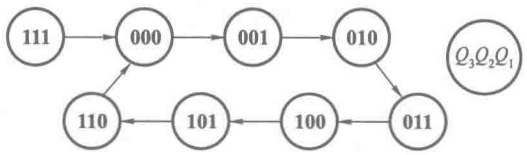
将上式与 *JK* 触发器特性方程的标准形 $Q^*=JQ'+K'Q$ 对照，即可得出驱动方程为

$$\begin{cases} J_3=Q_2Q_1; & K_3=Q_2 \\ J_2=Q_1; & K_2=(Q_3'Q_1')' \\ J_1=(Q_3Q_2)'; & K_1=\mathbf{1} \end{cases}$$

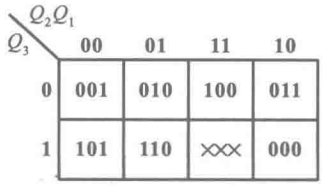
根据驱动方程画出的电路图如图 A6.31(c)所示。

将无效状态 **111** 代入状态方程计算，得次态为 **000**，说明该电路能自启动。

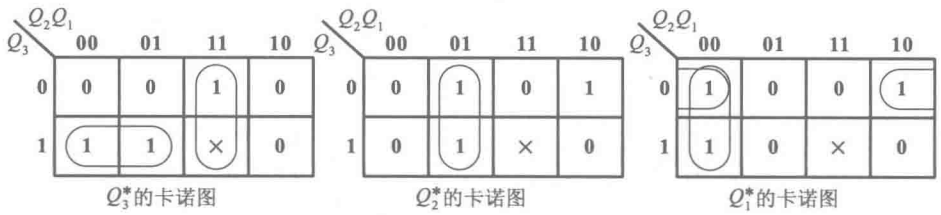
【题 6.32】 用 *JK* 触发器和门电路设计一个 4 位格雷码计数器，它的状态转换表如表 P6.32 所示。



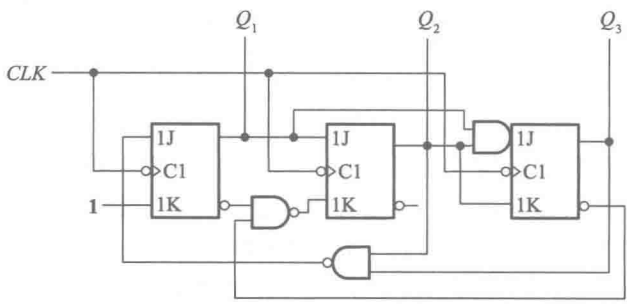
(a)



$Q_3^*Q_2^*Q_1^*$ 的卡诺图



(b)



(c)

图 A6.31

解：按照表 P6.32 中给出的计数顺序，得到图 A6.32(a)所示的 $Q_3^*\,Q_2^*\,Q_1^*\,Q_0^*$ 的卡诺图。从卡诺图写出状态方程，经化简后得到

$$
\begin{aligned}
Q_3^* &= Q_3Q_1+Q_3Q_0+Q_2Q_1'Q_0' \\
&= Q_3Q_1+Q_3Q_0+Q_2Q_1'Q_0'(Q_3+Q_3') \\
&= (Q_2Q_1'Q_0')Q_3'+(Q_2'Q_1'Q_0')'Q_3 \\
Q_2^* &= Q_2Q_1'+Q_2Q_0+Q_3'Q_1Q_0' \\
&= Q_2Q_1'+Q_2Q_0+Q_3'Q_1Q_0'(Q_2+Q_2') \\
&= (Q_3'Q_1Q_0')Q_2'+(Q_3Q_1Q_0')'Q_2 \\
Q_1^* &= Q_1Q_0'+Q_3'Q_2'Q_0+Q_3Q_2Q_0 \\
&= Q_1Q_0'+(Q_3'Q_2'Q_0+Q_3Q_2Q_0)(Q_1+Q_1') \\
&= ((Q_2\oplus Q_3)'Q_0)Q_1'+(Q_0(Q_3\oplus Q_2))'Q_1
\end{aligned}
$$

表 P6.32

计数顺序	电路状态				进位输出 C
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

$$
\begin{aligned}
Q_0^* &= Q_3'Q_2'Q_1' + Q_3'Q_2Q_1 + Q_3Q_2Q_1' + Q_3Q_2'Q_1 \\
&= (Q_3 \oplus Q_2 \oplus Q_1)' \\
&= (Q_3 \oplus Q_2 \oplus Q_1)'(Q_0 + Q_0') \\
&= (Q_3 \oplus Q_2 \oplus Q_1)'Q_0' + (Q_3 \oplus Q_2 \oplus Q_1)'Q_0
\end{aligned}
$$

从以上各式得到

$$
\begin{aligned}
&J_3 = Q_2Q_1'Q_0';\ K_3 = Q_2'Q_1'Q_0' \\
&J_2 = Q_3'Q_1Q_0';\ K_2 = Q_3Q_1Q_0' \\
&J_1 = (Q_3 \oplus Q_2)'Q_0;\ K_1 = (Q_3 \oplus Q_2)Q_0 \\
&J_0 = (Q_3 \oplus Q_2 \oplus Q_1)';\ K_0 = Q_3 \oplus Q_2 \oplus Q_1
\end{aligned}
$$

进位输出信号为 $C = Q_3Q_2'Q_1'Q_0'$

得到的逻辑图如图 A6.32(b)所示。

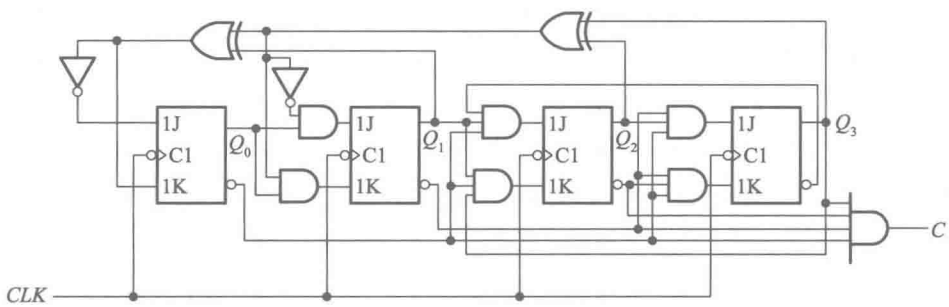
【题 6.33】 用 D 触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

解：因为电路必须有 11 个不同的状态，所以需要用四个触发器组成这个电路。如果按表 A6.33取电路的 11 个状态和循环顺序，则可画出表示电路次态的卡诺图，如图 A6.33(a)所示。

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0001	0011	0010	0110
01	1100	0100	0101	0111
11	1101	1111	1110	1010
10	0000	1000	1001	1011

($Q_3^*Q_2^*Q_1^*Q_0^*$)

(a)



(b)

图 A6.32

表 A6.33 题 6.33 中计数器的状态循环表

计数顺序	电路状态				进位	计数顺序	电路状态				进位
	Q_3	Q_2	Q_1	Q_0	C		Q_3	Q_2	Q_1	Q_0	C
0	0	0	0	0	0	6	0	1	1	0	0
1	0	0	0	1	0	7	0	1	1	1	0
2	0	0	1	0	0	8	1	0	0	0	0
3	0	0	1	1	0	9	1	0	0	1	0
4	0	1	0	0	0	10	1	0	1	0	1
5	0	1	0	1	0	11	0	0	0	0	0

由卡诺图得到四个触发器的状态方程为

$$\begin{cases} Q_3^* = Q_3Q_1' + Q_2Q_1Q_0 \\ Q_2^* = Q_2Q_1' + Q_2Q_0' + Q_2'Q_1Q_0 \\ Q_1^* = Q_1'Q_0 + Q_3'Q_1Q_0' \\ Q_0^* = Q_3'Q_0' + Q_1'Q_0' \end{cases}$$

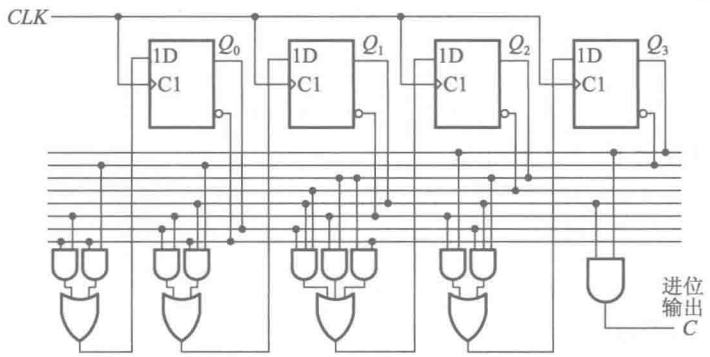
输出方程为

$$C = Q_3Q_1$$

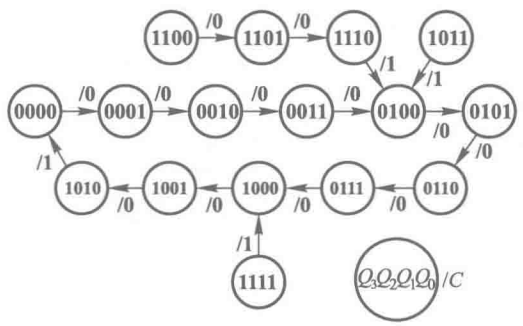
由于 D 触发器的 $Q^* = D$,于是得到图 A6.33(b)的电路图。从状态方程和输出方程画出电路的状态转换图如图 A6.33(c),可见电路能够自启动。

Q_3Q_2 \ Q_1Q_0	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	××××	××××	××××	××××
10	1001	1010	××××	0000

(a)



(b)



(c)

图 A6.33

【题 6.34】 设计一个控制步进电动机三相六状态工作的逻辑电路，并用 VerilogHDL 语言对设计进行描述。如果用 **1** 表示电机绕组导通，**0** 表示电机绕组截止，则 3 个绕组 *ABC* 的状态转换图应如图 P6.34 所示。*M* 为输入控制变量，当 $M=1$ 时为正转，$M=0$ 时为反转。

解：取 Q_1、Q_2、Q_3 三个触发器的状态分别表示 *A*、*B*、*C* 的状态。由图 P6.34 可见，输出的状态与 *A*、*B*、*C* 的状态相同，故可直接得到 $y_a=Q_1$、$y_b=Q_2$、$y_c=Q_3$。

根据图 P6.34 的状态转换图画出 Q_1^*、Q_2^*、Q_3^* 作为 Q_1、Q_2、Q_3 和 *M* 的逻辑函数的卡诺图，如图 A6.34(a)。由卡诺图写出状态方程为

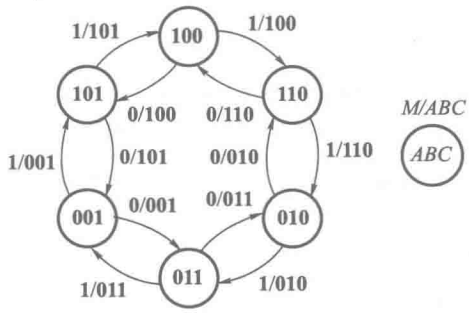


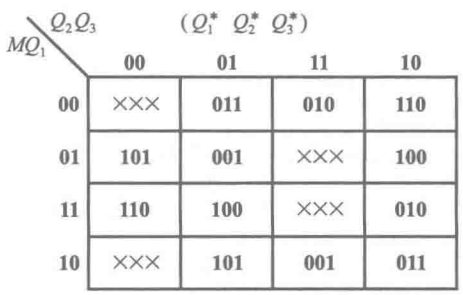
图 P6.34

$$\begin{cases} Q_1^* = MQ_2' + M'Q_3' \\ Q_2^* = MQ_3' + M'Q_1' \\ Q_3^* = MQ_1' + M'Q_2' \end{cases}$$

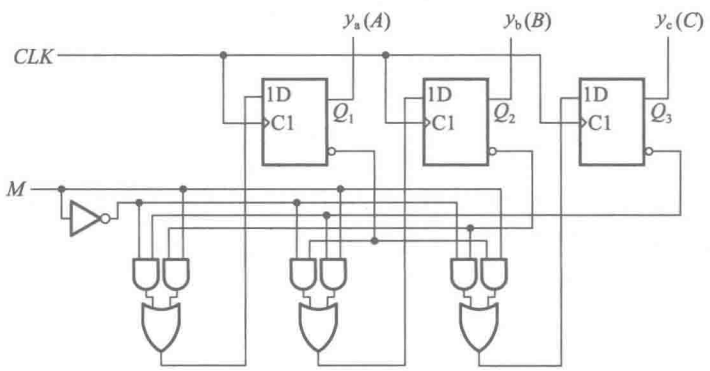
若采用 D 触发器,则根据 $Q^* = D$,即得到

$$\begin{cases} D_1 = MQ_2' + M'Q_3' \\ D_2 = MQ_3' + M'Q_1' \\ D_3 = MQ_1' + M'Q_2' \end{cases}$$

据此画出的电路图如图 A6.34(b)所示。



(a)



(b)

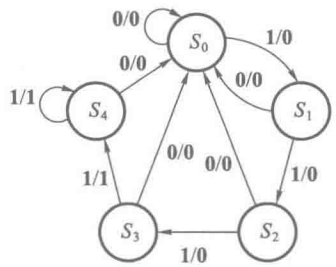
图 A6.34

```
//<<Fundamentals of digital electronic technology>>
//P354 Exercise6.34
'timescale 1 ns/ 1 ps
module Exercises6_34(CLK,RESET,M,A,B,C);
input CLK;  //clock 50MHz
input M;  //input control variable
input RESET;  //reset
output reg A,B,C;  //A B C three phase
//Frequency divide
//To be observed LED change in the experimental board
reg [22 : 0] cnt1;  //division reg
reg CLK_c;
always @ (posedge CLK or negedge RESET)
  if(! RESET)
    begin
      cnt1  <= 1'b0;
        CLK_c <= 1'b0;
    end
  else
    begin
      if(cnt1==8000000)  //8000000 obtain 6.25Hz  **** when  simulation cnt1==80 ****
        begin
        CLK_c <= ~CLK_c;
          cnt1  <= 0;
        end
      else
        cnt1 <= cnt1 + 1'b1;
    end
// 6-State Mealy state machine
reg [2 : 0] reg_out;  //output reg
reg [2 : 0] state;  //reg state = {A,B,C}
parameter S1 = 3'b001, S2 = 3'b010, S3= 3'b011, S4 = 3'b100, S5 = 3'b101,S6=3'b110;
always @ (posedge CLK_c or negedge RESET)
  if(! RESET)
    state <= S1;
  else
    case(state)
      S1:
```

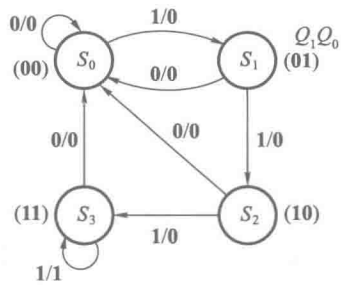
```
        if(M)
          state <= S5;
        else
          state <= S3;
      S2:
        if(M)
          state <= S3;
        else
          state <= S6;
      S3:
        if(M)
          state <= S1;
        else
          state <= S2;
      S4:
        if(M)
          state <= S6;
        else
          state <= S5;
      S5:
        if(M)
          state <= S4;
        else
          state <= S1;
      S6:
        if(M)
          state <= S2;
        else
          state <= S4;
        default:
          state <= S1;
        endcase
    always @(posedge CLK_c or negedge RESET)
      if(! RESET)
        {A,B,C} <= 3'b000;
      else
        {A,B,C} <= state;
    endmodule
```

【题 6.35】 设计一个串行数据检测电路，并用 Verilog HDL 语言对设计进行描述。当连续出现四个和四个以上的 **1** 时，检测输出信号为 **1**，其余情况下的输出信号为 **0**

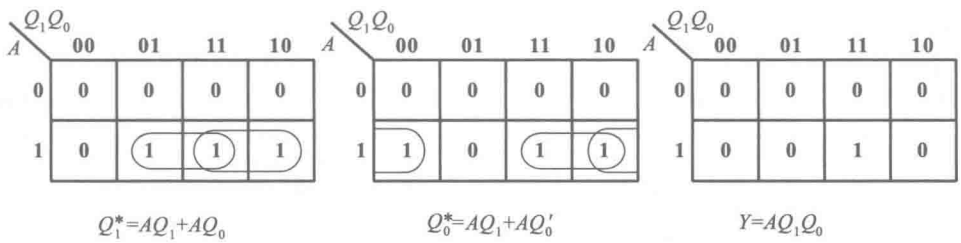
解： 设未输入 **1** 以前电路的初始状态为 S_0，输入一个 **1** 以后电路的状态为 S_1，连续输入两个 **1** 以后电路的状态为 S_2，连续输入三个 **1** 以后电路的状态为 S_3，连续输入四个和四个以上的 **1** 以后电路的状态为 S_4，则可根据题意画出图 A6.35(a)的状态转换图。



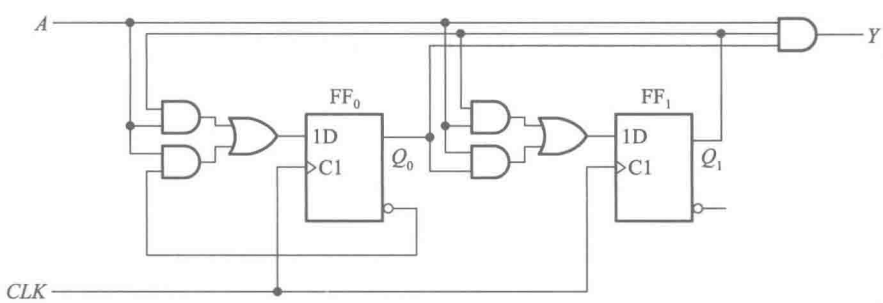
(a)



(b)



(c)



(d)

图 A6.35

由图 A 6.35(a)中可见，S_4 和 S_3 在同样的输入下有同样的输出，而且转向同样的次态，因而 S_4 和 S_3 为等价状态可以合并，将状态转换图化简为图 A 6.35(b)形式。

需要强调的一点是每当电路转换到次态时，输入也必须同时转换为下一个输入状态，否则将会把原来的输入状态当作下一个输入状态了。而且，只有在这种条件下，才能将 S_4 和 S_3 两个状态合并化简。

因为电路工作过程中有四个状态，所以需要用两个触发器的四种状态组合表示。若以两个

触发器状态的**00**、**01**、**10**、**11**分别表示S_0、S_1、S_2、S_3,并以A表示输入,以Y表示输出,即可根据图A 6.35(b)的状态转换图列出电路的状态转换表,如表A 6.35所示。

从表A 6.35可画出Q_1^*、Q_0^*、Y的卡诺图,如图A 6.35(c)所示。从卡诺图得到电路的状态方程和输出方程

$$\begin{cases} Q_1^* = AQ_1 + AQ_0 \\ Q_0^* = AQ_1 + AQ_0' \end{cases}$$

$$Y = AQ_1Q_0$$

若选用D触发器组成该电路,则根据D触发器的特性方程$Q^* = D$,得到电路的驱动方程

$$\begin{cases} D_1 = AQ_1 + AQ_0 \\ D_0 = AQ_1 + AQ_0' \end{cases}$$

根据驱动方程和输出方程画出的电路图如图A 6.35(d)。

表A 6.35

$Q_1^*Q_0^*/Y$ 与 A \ Q_1Q_0	00	01	11	10
0	00/0	00/0	00/0	00/0
1	01/0	10/0	11/1	11/0

下面是根据状态转换图写出的用Verilog语言对这个电路进行描述的程序。

```
//<<Fundamentals of digital electronic technology>>
//P354 Exercise6.35
'timescale 1 ns/1 ps
module Exercises6_35(CLK,RESET,M1,M2,Y,state);
input CLK; //clock 50MHz
input RESET; //reset
input M1,M2; //input variable
output[1:0]state;
output Y; //output Y(1 or 0)
//Frequency divide
reg[22:0]cnt1; //division reg
reg CLK_c;
always@(posedge CLK or negedge RESET)
  if(! RESET)
    begin
      cnt1 <= 1'b0;
      CLK_c <= 1'b0;
    end
```

```
  else
    if(cnt1==10000) //10000 obtain 5000Hz **** when simulation cnt1==10 ****
      begin
      CLK_c <=~CLK_c;
      cnt1 <=0;
      end
    else
      cnt1<=cnt1+1'b1;
//M1 M2 key eliminate jitter
reg M1_en,M2_en,pos;
reg[8:0]cnt2;
always @(posedge CLK_c or negedge RESET)
  if(! RESET)
    begin
      pos <=0;
      M1_en<=0;
      M2_en <=0;
      cnt2 <=0;
      end
else
    begin
      cnt2<=cnt2+1'b1;
      if(! M1)  begin
        if(cnt2==10 && pos==0)  begin
          M1_en<=1;  end
        else if(cnt2==200)  begin
          pos<=1;  end
        else if(cnt2==202)  begin
          M1_en<=0;  end
      end
    else if(! M2)  begin
        if(cnt2==10 && pos==0)  begin
          M2_en<=1;  end
        else if(cnt2==200)  begin
          pos<=1;  end
        else if(cnt2==202)  begin
          M2_en<=0;  end
      end
```

```
        else
          begin
          pos   <=0;
          M1_en<=0;
          M2_en<=0;
          cnt2  <=0;
          end
        end
    //4-State Mealy state machine
    reg reg_out;   //output reg
    reg[1:0]state;   //reg state={Q1,Q0}
    parameter S0=2'b00,S1=2'b01,S2=2'b10,S3=2'b11;
    always @(posedge pos or negedge RESET)
      if(! RESET)
        begin
        state<=S0;
         end
      else
        case(state)
          S0:
            if(M1_en)
              state<=S1;
            else
              state<=S0;
        S1:
          if(M1_en)
            state<=S2;
          else if(M2_en)
            state<=S0;
          else
            state<=S1;
        S2:
          if(M1_en)
            state<=S3;
          else if(M2_en)
            state<=S0;
          else
            state<=S2;
```

```
        S3:
          if(M2_en)
            state<=S0;
          else
            state<=S3;
      endcase
always @(state or M1_en or pos)
        begin
        case(state)
          S3:
            if(M1_en && ! pos)   begin
              reg_out<=1'b1;   end
          default:   begin
            reg_out<=1'b0;   end
          endcase
        end
assign Y=reg_out;
endmodule
```

第七章习题解答

【题 7.1】 若反相输出的施密特触发电路输入信号波形如图 P7.1 所示，试画出输出信号的波形。施密特触发电路的转换电平 V_{T+}、V_{T-} 已在输入信号波形图上标出。

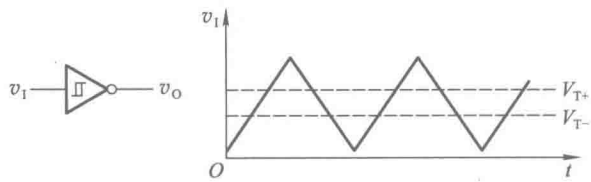


图 P7.1

解： 根据给定的 v_I 波形画出的 v_O 波形见图 A7.1。

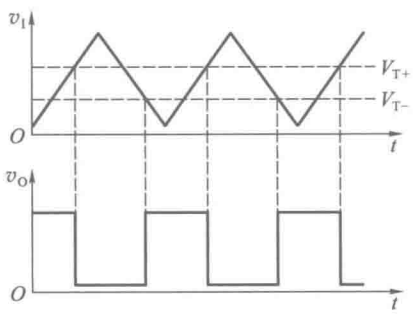


图 A7.1

【题 7.2】 在图 P7.2 用 CMOS 反相器组成的施密特触发电路中，若 $R_1 = 50\ \text{k}\Omega$，$R_2 = 100\ \text{k}\Omega$，$V_{DD} = 5\ \text{V}$，$V_{TH} = \frac{1}{2}V_{DD}$，试求电路的输入转换电平 V_{T+}、V_{T-} 以及回差电压 ΔV_T。

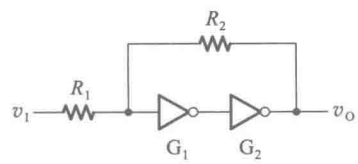


图 P7.2

解： 根据《数字电子技术基础(第六版)》中的式(7.2.5)、(7.2.6)和(7.2.7)可得

$$V_{T+} = \left(1+\frac{R_1}{R_2}\right)V_{TH} = \left(1+\frac{50}{100}\right)\times 2.5\ \text{V} = 3.75\ \text{V}$$

$$V_{T-} = \left(1-\frac{R_1}{R_2}\right)V_{TH} = \left(1-\frac{50}{100}\right)\times 2.5\ \text{V} = 1.25\ \text{V}$$

$$\Delta V_T = V_{T+} - V_{T-} = (3.75-1.25)\ \text{V} = 2.5\ \text{V}$$

【题 7.3】 在图 P7.3(a)所示的施密特触发电路中，已知 $R_1 = 10\ \text{k}\Omega$，$R_2 = 30\ \text{k}\Omega$。G_1 和 G_2 为 CMOS 反相器，$V_{DD} = 15\ \text{V}$。

(1) 试计算电路的正向阈值电压 V_{T+}、负向阈值电压 V_{T-} 和回差电压 ΔV_T。

(2) 若将图 P7.3(b)给出的电压信号加到图 P7.3(a)电路的输入端,试画出输出电压的波形。

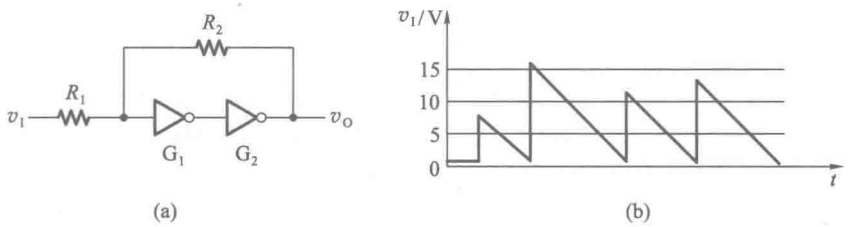


图 P7.3

解:

(1) 根据《数字电子技术基础(第六版)》中的式(7.2.5)、(7.2.6)、(7.2.7)可知

$$V_{T+}=\left(1+\frac{R_1}{R_2}\right)V_{TH}=\left(1+\frac{10}{30}\right)\times\frac{15}{2}\ \text{V}=10\ \text{V}$$

$$V_{T-}=\left(1-\frac{R_1}{R_2}\right)V_{TH}=\left(1-\frac{10}{30}\right)\times\frac{15}{2}\ \text{V}=5\ \text{V}$$

$$\Delta V_T=V_{T+}-V_{T-}=5\ \text{V}$$

(2) 见图 A7.3。

【题 7.4】 图 P7.4 是用 CMOS 反相器接成的压控施密特触发电路,试分析它的转换电平 V_{T+}、V_{T-}以及回差电压 ΔV_T与控制电压 V_{CO}的关系。

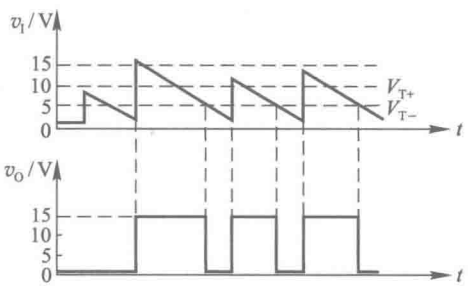


图 A7.3

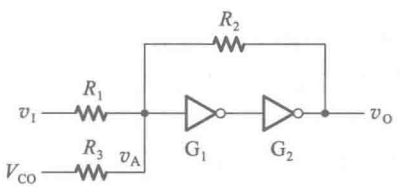


图 P7.4

解: 设反相器 G_1 输入端电压为 v_A,则根据叠加定理得到

$$v_A=v_I\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}+v_O\frac{R_1/\!/R_3}{R_2+R_1/\!/R_3}$$

(1) 在 v_I 升高过程中 $v_O=0$。当升至 $v_A=V_{TH}$时,$v_I=V_{T+}$,因而得到

$$V_{TH}=V_{T+}\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}$$

$$V_{T+}=\left(V_{TH}-V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}\right)\frac{R_1+R_2/\!/R_3}{R_2/\!/R_3}$$

$$=V_{TH}\left(1+\frac{R_1}{R_3}+\frac{R_1}{R_2}\right)-\frac{R_1}{R_3}V_{CO}$$

(2) 在 v_I 降低过程中 $v_O=V_{DD}$。当 $v_A=V_{TH}$ 时，$v_I=V_{T-}$，于是可得

$$V_{TH}=V_{T-}\frac{R_2/\!/R_3}{R_1+R_2/\!/R_3}+V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}+V_{DD}\frac{R_1/\!/R_3}{R_2+R_1/\!/R_3}$$

$$V_{T-}=\left(V_{TH}-V_{CO}\frac{R_1/\!/R_2}{R_3+R_1/\!/R_2}-V_{DD}\frac{R_1/\!/R_3}{R_2+R_1/\!/R_3}\right)\frac{R_1+R_2/\!/R_3}{R_2/\!/R_3}$$

$$=V_{TH}\left(1+\frac{R_1}{R_3}-\frac{R_1}{R_2}\right)-\frac{R_1}{R_3}V_{CO}$$

(3) $\Delta V_T=V_{T+}-V_{T-}=2\dfrac{R_1}{R_2}V_{TH}=\dfrac{R_1}{R_2}V_{DD}$（与 V_{CO} 无关）

【题 7.5】 在图 P7.2 的施密特触发电路中，已知电源电压 $V_{DD}=5$ V。若要求回差电压 $\Delta V_T=2$ V，试为 R_1 和 R_2 选定合适的电阻阻值，并说明 R_1 和 R_2 取值的允许范围。反相器高电平输出电流的最大允许值为 4 mA，这时输出的高电平为 4.85 V。

解：由《数字电子技术基础(第六版)》第七章中的式(7.2.7)可知，回差电压的计算公式为

$$\Delta V_T=2(R_1/R_2)V_{TH}$$

将 $\Delta V_T=2$ V，$V_{TH}=V_{DD}/2=2.5$ V 代入上式得到　$R_2=2.5R_1$。

又从式(7.2.8)可知，为保证反相器 G_2 输出高电平时的负责电流不超过最大允许值，应满足

$$(V_{OH}-V_{TH})/R_2<|I_{OH(max)}|$$

于是得到

$$R_2>(V_{OH}-V_{TH})/|I_{OH(max)}|=(4.85-2.5)/4\times10^{-3}\ \Omega$$
$$=587.5\ \Omega$$

故 R_2 的取值范围为大于 587.5 Ω。若取 $R_2=25$ kΩ，则 $R_1=10$ kΩ。

【题 7.6】 在图 P7.6 所示的整形电路中，输入电压 v_I 的波形如图中所示，假定它的低电平持续时间比 R、C 电路的时间常数大得多。

(1) 试画出输出电压 v_O 的波形。

(2) 能否用图 P7.6 中的电路作单稳态电路使用？试说明理由。

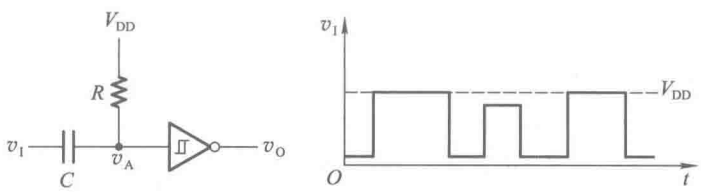


图 P7.6

解：

(1) 因为 RC 电路时间常数远小于 v_I 低电平持续时间，所以 RC 电路在这里是微分电路。据此即可画出 v_A 的波形，并进而从 v_A 的波形画出 v_O 的波形，如图 A7.6 所示。

（2）由于 v_A 的脉冲幅度和输入信号 v_I 的幅度、下降沿的好坏有关，所以 v_O 输出脉冲的宽度也与 v_I 有关，而不仅仅取决于电路内部的参数。因此，这个电路不能作单稳态电路使用。

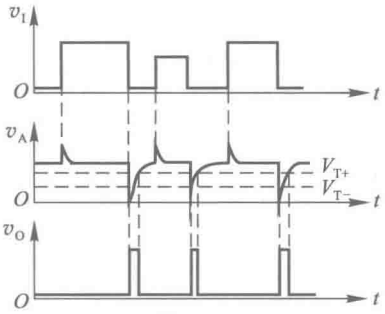


图 A7.6

【题 7.7】 在图 7.3.1 给出的微分型单稳态电路中，已知 $R=51\ \text{k}\Omega$，$C=0.01\ \mu\text{F}$，电源电压 $V_{DD}=10\ \text{V}$，试求在触发信号作用下输出脉冲的宽度和幅度。

解：根据《数字电子技术基础（第六版）》中给出的式（7.3.2）得到，输出脉冲宽度为

$$t_W = RC\ln 2 = 51\times10^3\times0.01\times10^{-6}\times0.69\ \text{s} = 0.35\ \text{ms}$$

由式（7.3.3）得到输出脉冲幅度为

$$V_m = V_{OH} - V_{OL} \approx V_{DD} = 10\ \text{V}$$

【题 7.8】 在图 7.3.5 的积分型单稳态电路中，若 G_1 和 G_2 为 74LS 系列门电路，它们的 $V_{OH}=3.4\ \text{V}$，$V_{OL}\approx0$，$V_{TH}=1.1\ \text{V}$，$R=1\ \text{k}\Omega$，$C=0.01\ \mu\text{F}$，试求在触发信号作用下输出负脉冲的宽度。设触发脉冲的宽度大于输出脉冲的宽度。

解：设门电路输出低电平 $V_{OL}\approx0$，输出电阻 R_o 很小，可以忽略，则根据《数字电子技术基础（第六版）》给出的式（7.3.6）得到

$$t_W = RC\ln\frac{V_{OH}}{V_{TH}} = 1\times10^3\times0.01\times10^{-6}\ln\frac{3.4}{1.1}\ \text{s}$$

$$= 11.3\ \mu\text{s}$$

【题 7.9】 图 P7.9 是用 TTL 门电路接成的微分型单稳态电路，其中 R_d 阻值足够大，保证稳态时 v_A 为高电平。R 的阻值很小，保证稳态时 v_{I2} 为低电平。试分析该电路在给定触发信号 v_I 作用下的工作过程，画出 v_A、v_{O1}、v_{I2} 和 v_O 的电压波形。C_d 的电容量很小，它与 R_d 组成微分电路。

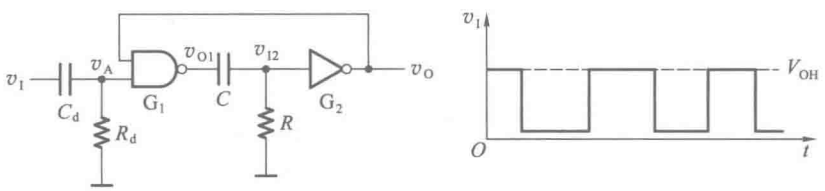


图 P7.9

解：由图 P7.9 可知，因 R 的阻值很小，所以 $v_{I2}<V_{TH}$；而 R_d 阻值很大，使 $v_A\geqslant V_{TH}$。故稳态下 $v_{O1}=V_{OL}$，$v_O=v_{OH}$。

当 v_I 端有负的触发脉冲时，v_A 处出现负向的微分脉冲，v_{O1} 和 v_{I2} 产生正的电压跳变，v_O 跳变为低电平。由于 v_O 的低电平反馈到门 G_1 的输入，所以在 v_A 的低电平信号消失后 v_{O1} 的高电平和 v_O 的低电平仍继续维持。而且这种正反馈使 v_O 波形的边沿很陡。

v_{O1} 跳变成高电平以后电容 C 开始充电，随着充电的进行 v_{I2} 逐渐下降，当降至 $v_{I2}=V_{TH}$ 时 v_O 跳变为高电平、v_{O1} 跳变为低电平，电容 C 放电，电路恢复到触发前的稳定状态。

电路中各点电压的波形如图 A7.9 所示。从 v_A 的波形上可见，因为 v_O 的低电平反馈到了门 G_1 的输入端，所以在 v_O 低电平期间 v_A 一直被钳在低电平上。

【题 7.10】 在图 P7.9 的微分型单稳态电路中,若 G_1 和 G_2 为 74 系列 TTL 门电路,它们的 $V_{OH}=3.2\ V$,$V_{OL}\approx 0$,$V_{TH}=1.3\ V$,$R=0.3\ k\Omega$,$C=0.01\ \mu F$,试计算电路输出负脉冲的宽度。

解:由图 A7.9 可见,输出脉冲宽度等于 v_{I2} 从电容开始充电到降至 V_{TH} 的一段时间。电容充电的回路如图 A7.10 所示。忽略门 G_2 的输出电阻 R_o 及门 G_1 高电平输入电流,则充电回路可简化为 R 和 C 串联的简单回路。v_{I2} 从 V_{OH}(电容开始充电瞬时的 v_{I2} 值)下降至 V_{TH} 的时间(也就是输出脉冲的宽度)为

$$t_W = RC\ln\frac{V_{OH}}{V_{TH}} = 0.3\times10^3\times0.01\times10^{-6}\ln\frac{3.2}{1.3}\ s$$
$$= 2.7\ \mu s$$

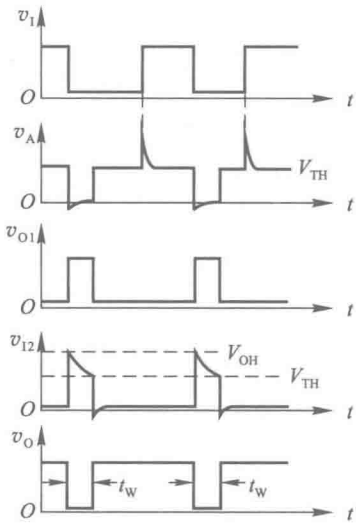


图 A7.9

【题 7.11】 图 P7.11 是用两个集成单稳态电路 74121 所组成的脉冲变换电路,外接电阻和外接电容的参数如图中所示。试计算在输入触发信号 v_I 作用下 v_{O1}、v_{O2} 输出脉冲的宽度,并画出与 v_I 波形相对应的 v_{O1}、v_{O2} 的电压波形。v_I 的波形如图中所示。

解:v_{O1}、v_{O2} 的波形图如图 A7.11 所示。

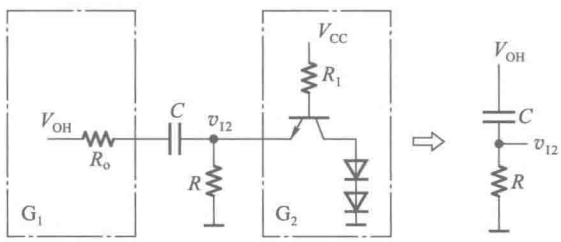


图 A7.10

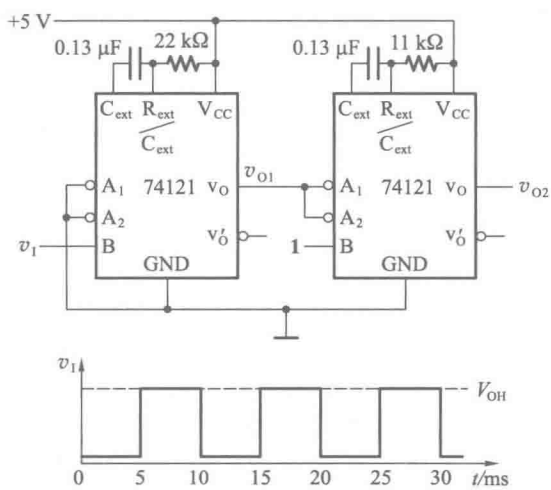


图 P7.11

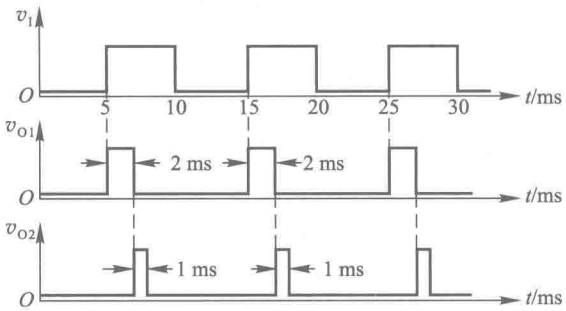


图 A7.11

根据《数字电子技术基础(第六版)》给出的式(7.3.10)得到 v_{O1}、v_{O2}输出脉冲的宽度分别为

$$t_{W1}=0.69\times22\times10^{3}\times0.13\times10^{-6}\ \text{s}\approx2\ \text{ms}$$

$$t_{W2}=0.69\times11\times10^{3}\times0.13\times10^{-6}\ \text{s}\approx1\ \text{ms}$$

【题 7.12】 在图 7.4.1 所示的对称式多谐振荡电路中,若 $R_{F1}=R_{F2}=1\ \text{k}\Omega$,$C_1=C_2=0.1\ \mu\text{F}$,$G_1$ 和 G_2 为 74LS04(六反相器)中的两个反相器,G_1 和 G_2 的 $V_{OH}=3.4\ \text{V}$,$V_{TH}=1.1\ \text{V}$,$V_{IK}=-1.5\ \text{V}$,$R_1=20\ \text{k}\Omega$,求电路的振荡频率。

解: 根据《数字电子技术基础(第六版)》中给出的式(7.4.5)可知,振荡周期为

$$T=2R_E C\ln\frac{V_E-V_{IK}}{V_E-V_{TH}}$$

其中

$$R_E=\frac{R_1R_F}{R_1+R_F}=\frac{20\times1}{20+1}\ \text{k}\Omega=0.95\ \text{k}\Omega$$

$$V_E=V_{OH}+\frac{R_F}{R_1+R_F}(V_{CC}-V_{OH}-V_{BE})$$

$$=3.4\ \text{V}+\frac{1}{20+1}(5-3.4-0.7)\ \text{V}=3.44\ \text{V}$$

故得到

$$T=2\times0.95\times10^{3}\times0.1\times10^{-6}\ln\frac{3.44+1.5}{3.44-1.1}$$

$$=1.42\times10^{-4}\ \text{s}$$

振荡频率为

$$f=\frac{1}{T}=7.04\ \text{kHz}$$

【题 7.13】 图 P7.13 是用 CMOS 反相器组成的对称式多谐振荡电路。若 $R_{F1}=R_{F2}=10\ \text{k}\Omega$,$C_1=C_2=0.01\ \mu\text{F}$,$R_{P1}=R_{P2}=33\ \text{k}\Omega$,试求电路的振荡频率,并画出 v_{I1}、v_{O1}、v_{I2}、v_{O2}各点的电压波形。

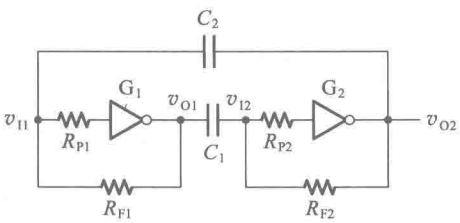


图 P7.13

解: 在 R_{P1}、R_{P2}足够大的条件下,反相器的输入电流可以忽略不计。在电路参数对称的情况下,电容的

充电时间和放电时间相等,据此画出的各点电压波形如图 A7.13(a)所示。图 A7.13(b)是电容充、放电的等效电路。

由等效电路求得振荡周期为

$$T=2(R_F+R_{ON(N)}+R_{ON(P)})C\ln\frac{V_{DD}-(V_{TH}-V_{DD})}{V_{DD}-V_{TH}}$$

在 $R_F \gg R_{ON(N)}$、$R_F \gg R_{ON(P)}$、$V_{TH}=\frac{1}{2}V_{DD}$ 的条件下,可将上式写成

$$T=2R_FC\ln 3$$

将给定的 R_F、C 值代入上式后得到

$$T=2\times10\times10^3\times0.01\times10^{-6}\times1.1\ \text{s}=2.2\times10^{-4}\ \text{s}$$

故得到振荡频率为

$$f=\frac{1}{T}=4.55\ \text{kHz}$$

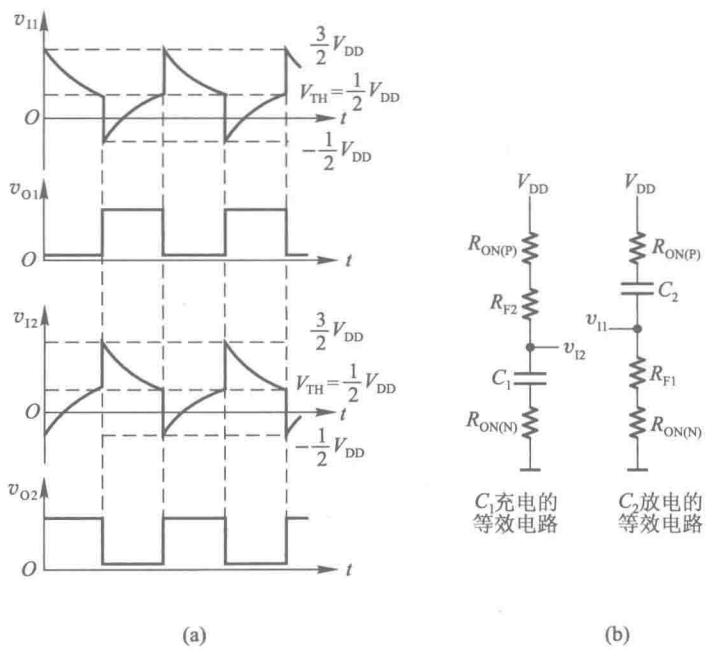


图 A7.13

【题 7.14】 在图 7.4.6 非对称式多谐振荡电路中,若 G_1、G_2 为 CMOS 反相器,$R_F=9.1\ \text{k}\Omega$,$C=0.001\ \mu\text{F}$,$R_P=100\ \text{k}\Omega$,$V_{DD}=5\ \text{V}$,$V_{TH}=2.5\ \text{V}$,试计算电路的振荡频率。

解: 根据《数字电子技术基础(第六版)》中给出的式(7.4.10)可得

$$f=\frac{1}{T}=\frac{1}{2.2R_FC}=\frac{1}{2.2\times9.1\times10^3\times10^{-9}}\ \text{Hz}\approx50\ \text{kHz}$$

【题 7.15】 如果将图 7.4.6 非对称式多谐振荡电路中的 G_1 和 G_2 改用 TTL 反相器,并将 R_P 短路,试画出电容 C 充、放电时的等效电路,并求出计算电路振荡频率的公式。

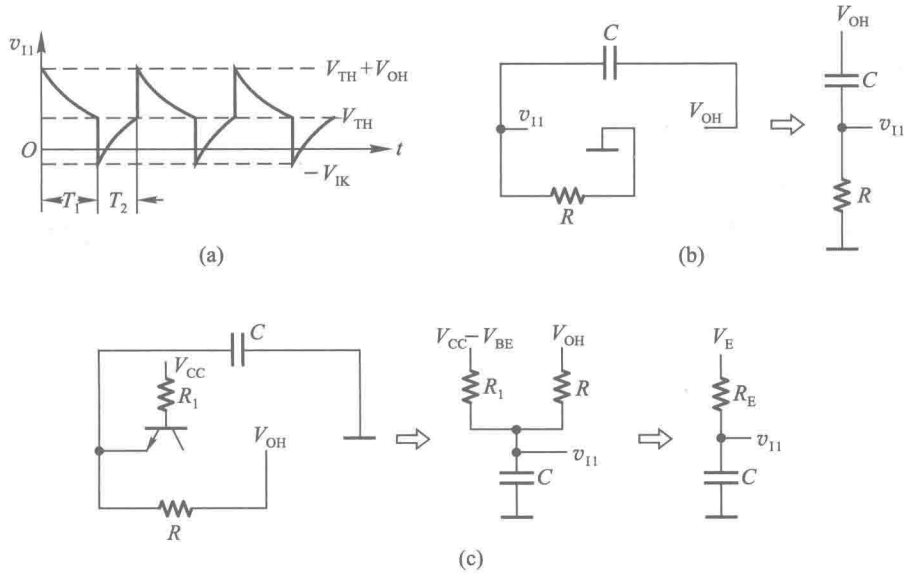


图 A7.15

解：根据电路工作原理得到 v_{I1} 的波形图如图 A7.15(a)所示。电容 C 放电(指 v_{I1} 下降的过程)的回路如图 A7.15(b)，电容充电(指 v_{I1} 上升的过程)的回路如图 A7.15(c)。由此求得电容放电时间 T_1 和充电时间 T_2 分别为

$$T_1 = RC\ln\frac{V_{TH}+V_{OH}}{V_{TH}}$$

$$T_2 = R_E C\ln\frac{V_E-(-V_{IK})}{V_E-V_{TH}}$$

其中

$$R_E = \frac{RR_1}{R+R_1}$$

$$V_E = V_{OH}+\frac{R}{R+R_1}(V_{CC}-V_{BE}-V_{OH})$$

在 $R_1 \gg R$ 的条件下，$R_E \approx R$，$V_E \approx V_{OH}$，这时可得到周期的近似计算公式

$$T = T_1+T_2 = RC\ln\frac{V_{TH}+V_{OH}}{V_{TH}}\cdot\frac{V_{OH}+V_{IK}}{V_{OH}-V_{TH}}$$

【题 7.16】 图 P7.16 是由五个同样的**与非**门接成的环形振荡电路。今测得输出信号的重复频率为 10 MHz，试求每个门的平均传输延迟时间。假定所有**与非**门的传输延迟时间相同，而且 $t_{PHL}=t_{PLH}=t_{pd}$。

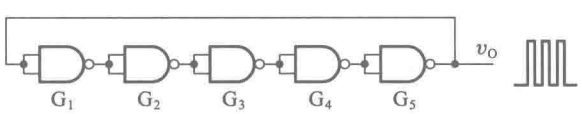


图 P7.16

解：根据《数字电子技术基础(第六版)》给出的式(7.4.11)可知，将 n 个反相器首尾相接组成的环形振荡电路的振荡周期为 $T=2nt_{pd}$，故得到

$$t_{pd}=\frac{T}{2n}=\frac{1}{2nf}=\frac{1}{2\times5\times10\times10^{6}}\ \text{s}=10^{-8}\ \text{s}=10\ \text{ns}$$

【题 7.17】 在图 7.4.12(b)所示的环形振荡电路中，若给定 $R=200\ \Omega$，$R_S=100\ \Omega$，$C=0.01\ \mu\text{F}$，G_1、G_2 和 G_3 为 74 系列 TTL 门电路($V_{OH}=3\ \text{V}$，$V_{OL}\approx0$，$V_{TH}=1.3\ \text{V}$)，试计算电路的振荡频率。

解：根据《数字电子技术基础(第六版)》中的式(7.4.18)得到

$$\begin{aligned}T&=RC\ln\frac{2V_{OH}-V_{TH}}{V_{OH}-V_{TH}}\cdot\frac{V_{OH}+V_{TH}}{V_{TH}}\\&=200\times0.01\times10^{-6}\ln\frac{6-1.3}{3-1.3}\times\frac{3+1.3}{1.3}\ \text{s}\\&=4.4\ \mu\text{s}\end{aligned}$$

振荡频率为

$$f=\frac{1}{T}=227\ \text{kHz}$$

【题 7.18】 在图 7.4.17 电路中，已知 CMOS 集成施密特触发电路的电源电压 $V_{DD}=15\ \text{V}$，$V_{T+}=9\ \text{V}$，$V_{T-}=4\ \text{V}$，试问：

(1) 为了得到占空比为 $q=50\%$ 的输出脉冲，R_1 与 R_2 的比值应取多少？

(2) 若给定 $R_1=3\ \text{k}\Omega$，$R_2=8.2\ \text{k}\Omega$，$C=0.05\ \mu\text{F}$，电路的振荡频率为多少？输出脉冲的占空比又是多少？

解：

(1) 由《数字电子技术基础(第六版)》中给出的式(7.4.20)可知，为使 $q=50\%$，应取 T_1 与 T_2 相等，即

$$R_2C\ln\frac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}}=R_1C\ln\frac{V_{T+}}{V_{T-}}$$

故

$$\frac{R_2}{R_1}=\frac{\ln\dfrac{V_{T+}}{V_{T-}}}{\ln\dfrac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}}}=\frac{\ln\dfrac{11}{6}}{\ln\dfrac{9}{4}}=\frac{3}{4}$$

(2) $T=T_1+T_2=R_2C\ln\dfrac{V_{DD}-V_{T-}}{V_{DD}-V_{T+}}+R_1C\ln\dfrac{V_{T+}}{V_{T-}}$

$$=8.2\times10^{3}\times0.05\times10^{-6}\ln\frac{11}{6}\ \text{s}+3\times10^{3}\times0.05\times10^{-6}\ln\frac{9}{4}\ \text{s}$$

$$=(0.25+0.12)\ \text{ms}=0.37\ \text{ms}$$

$$f=\frac{1}{T}=2.7\ \text{kHz}$$

输出脉冲的占空比

$$q=\frac{T_1}{T}=\frac{0.25}{0.37}=0.68$$

【题 7.19】 在图 7.5.2 所示用 555 定时器接成的施密特触发电路中，试求：

（1）当 $V_{CC}=12$ V，而且没有外接控制电压时，V_{T+}、V_{T-}及 ΔV_T值。

（2）当 $V_{CC}=9$ V、外接控制电压 $V_{CO}=5$ V 时，V_{T+}、V_{T-}、ΔV_T各为多少。

解：

（1）当 $V_{CC}=12$ V 时，$V_{T+}=\frac{2}{3}V_{CC}=8$ V，$V_{T-}=\frac{1}{3}V_{CC}=4$ V，$\Delta V_T=V_{T+}-V_{T-}=4$ V。

（2）当外接控制电压 $V_{CO}=5$ V 时，$V_{T+}=V_{CO}=5$ V，$V_{T-}=\frac{1}{2}V_{CO}=2.5$ V，$\Delta V_T=V_{T+}-V_{T-}=2.5$ V。

【题 7.20】 图 P7.20 是用 555 定时器组成的开机延时电路。若给定 $C=25$ μF，$R=91$ kΩ，$V_{CC}=12$ V，试计算常闭开关 S 断开以后经过多长的延迟时间 v_O 才跳变为高电平。

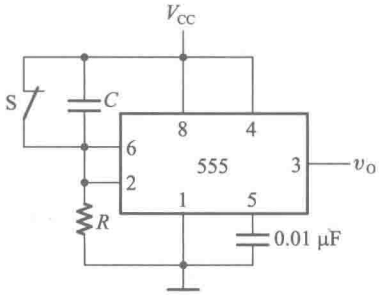


图 P7.20

解： 延迟时间等于从 S 断开瞬间到电阻 R 上的电压降至 $V_{T-}=\frac{1}{3}V_{CC}$的时间，即

$$T_D=RC\ln\frac{0-V_{CC}}{0-\frac{1}{3}V_{CC}}=RC\ln 3$$

$$=1.1\times91\times10^{3}\times25\times10^{-6}\ \text{s}$$

$$=2.5\ \text{s}$$

【题 7.21】 试用 555 定时器设计一个单稳态电路，要求输出脉冲宽度在 1～10 s 的范围内可手动调节。给定 555 定时器的电源为 15 V。触发信号来自 TTL 电路，高低电平分别为 3.4 V 和 0.1 V。

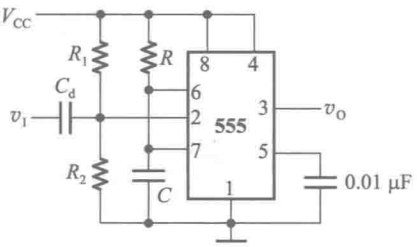


图 A7.21

解：

（1）若使图 A7.21 的单稳态电路正常工作，触发信号必须能将触发输入端电压（2 端）拉到 V_{T-}以下，而在触发信号到来之前，2 端电压应高于 V_{T-}。由于 $V_{T-}=5$ V，而触发脉冲最高电平仅为 3.4 V，所以需要在输入端加分压电阻，使 2 端电压在没有触发脉冲时略高于 5 V。可取 $R_1=22$ kΩ、$R_2=18$ kΩ，分压后 2 端电压为 6.75 V。触发脉冲经微分电容 C_d 加到2 端。

（2）取 $C=100$ μF，为使 $t_W=1\sim10$ s，可求出 R 的阻值变化范围

$$R_{(\min)}=\frac{t_{W(\min)}}{1.1C}=\frac{1}{1.1\times100\times10^{-6}}\ \Omega=9.1\ \text{k}\Omega$$

$$R_{(\max)}=\frac{t_{W(\max)}}{1.1C}=\frac{10}{1.1\times100\times10^{-6}}\ \Omega=91\ \text{k}\Omega$$

取 100 kΩ 的电位器与 8.2 kΩ 电阻串联作为 R，即可得到 $t_W=1\sim10$ s 的调节范围。

【题 7.22】 在图 7.5.6 用 555 定时器组成的多谐振荡电路中，若 $R_1=R_2=5.1$ kΩ，$C=0.01$ μF，$V_{CC}=12$ V，试计算电路的振荡频率。

解： 由《数字电子技术基础（第六版）》中给出的式（7.5.5）得

$$f=\frac{1}{(R_1+2R_2)C\ln 2}=\frac{1}{3\times5.1\times10^{3}\times0.01\times10^{-6}\times0.69}\ \text{Hz}$$
$$=9.47\ \text{kHz}$$

【题 7.23】 图 P7.23 是用 555 定时器构成的压控振荡电路，试求输入控制电压 v_I 和振荡频率之间的关系式。当 v_I 升高时频率是升高还是降低？

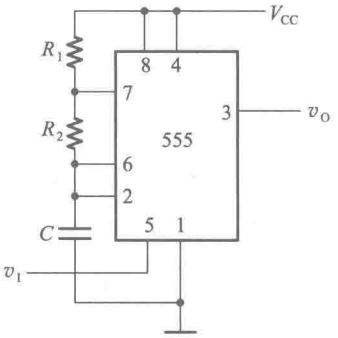


图 P7.23

解： 由《数字电子技术基础(第六版)》中的式(7.5.2)及式(7.5.3)知，振荡周期为

$$T=T_1+T_2=(R_1+R_2)C\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}+R_2C\ln\frac{V_{T+}}{V_{T-}}$$

将 $V_{T+}=v_I$，$V_{T-}=\frac{1}{2}v_I$ 代入上式后得到

$$T=(R_1+R_2)C\ln\frac{V_{CC}-\frac{1}{2}v_I}{V_{CC}-v_I}+R_2C\ln 2$$

当 v_I 升高时，T 变大，振荡频率下降。

【题 7.24】 图 P7.24 是一个简易电子琴电路，当琴键 $S_1\sim S_n$ 均未按下时，三极管 T 接近饱和导通，v_E 约为 0 V，使 555 定时器组成的振荡电路停振。当按下不同琴键时，因 $R_1\sim R_n$ 的阻值不等，扬声器发出不同的声音。

若 $R_B=20\ \text{k}\Omega$，$R_1=10\ \text{k}\Omega$，$R_E=2\ \text{k}\Omega$，三极管的电流放大系数 $\beta=150$，$V_{CC}=12$ V，定时器外接电阻、电容参数如图所示，试计算按下琴键 S_1 时扬声器发出声音的频率。

解： 当按下 S_1 时，如果忽略三极管 T 的基极电流，则流过 R_1 的电流与流过 R_B 的电流相同，所以 R_1 上的电压为

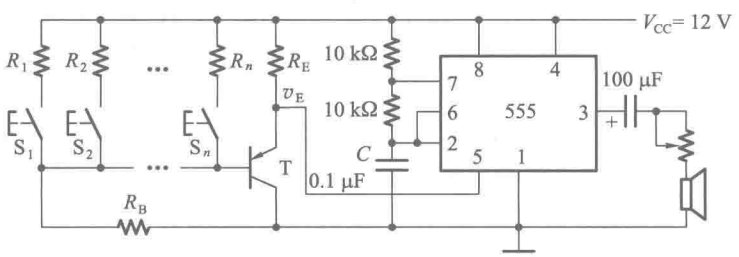


图 P7.24

$$V_{R_1}\approx\frac{R_1}{R_1+R_B}V_{CC}=4\ \text{V}$$

设 T 为 PNP 型锗三极管，导通时 $V_{BE}=0.3$ V，则 R_E 上的电压为

$$V_{R_E}=V_{R_1}-V_{BE}=3.7\ \text{V}$$

因此得到

$$v_E=V_{CC}-V_{R_E}=8.3\ \text{V}$$

由于 v_E 接到了 555 定时器的 V_{CO} 端，则根据上题的结果可得

$$T=(R_1+R_2)C\ln\frac{V_{CC}-\frac{1}{2}v_E}{V_{CC}-v_E}+R_2C\ln 2$$

$$=(20\times10^3\times0.1\times10^{-6}\ln\frac{12-4.15}{12-8.3}+10\times10^3\times0.1\times10^{-6}\times0.69)\ \text{s}$$

$$=(1.5\times10^{-3}+0.69\times10^{-3})\ \text{s}=2.19\times10^{-3}\ \text{s}$$

$$f=\frac{1}{T}=457\ \text{Hz}$$

【题 7.25】 图 P7.25 是用两个 555 定时器接成的延迟报警器。当开关 S 断开后，经过一定的延迟时间后扬声器开始发出声音。如果在延迟时间内 S 重新闭合，扬声器不会发出声音。在图中给定的参数下，试求延迟时间的具体数值和扬声器发出声音的频率。图中的 G_1 是 CMOS 反相器，输出的高、低电平分别为 $V_{OH}\approx12$ V，$V_{OL}\approx0$ V。

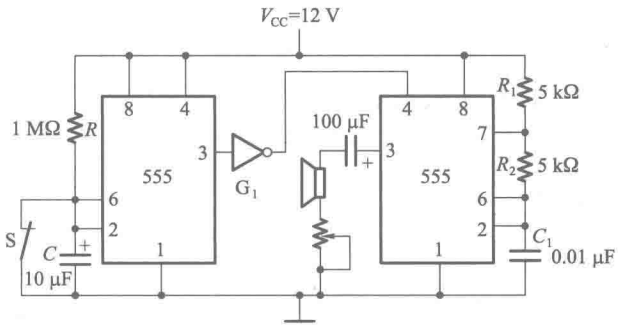


图 P7.25

解：图 P7.25 中左边一个 555 定时器接成了施密特触发电路，右边一个 555 定时器接成了多谐振荡电路。当开关 S 断开后电容 C 充电，充至 $V_{T+}=\frac{2}{3}V_{CC}$ 时反相器 G_1 输出高电平，多谐振荡电路开始振荡。

故延迟时间为

$$T_D=RC\ln\frac{V_{CC}}{V_{CC}-V_{T+}}$$

$$=10^6\times10\times10^{-6}\ln\frac{12}{12-8}\ \text{s}$$

$$=11\ \text{s}$$

振荡电路的振荡频率，亦即扬声器发出声音的频率为

$$f=\frac{1}{(R_1+2R_2)C_1\ln 2}=\frac{1}{15\times10^3\times0.01\times10^{-6}\times0.69}\ \text{Hz}$$

$$=9.66\ \text{kHz}$$

【题 7.26】 图 P7.26 是救护车扬声器发音电路。在图中给出的电路参数下，试计算扬声器发出声音的高、低音频率以及高、低音的持续时间。当 $V_{CC}=12$ V 时，555 定时器输出的高、低电平分别为 11 V 和 0.2 V，输出电阻小于 100 Ω。

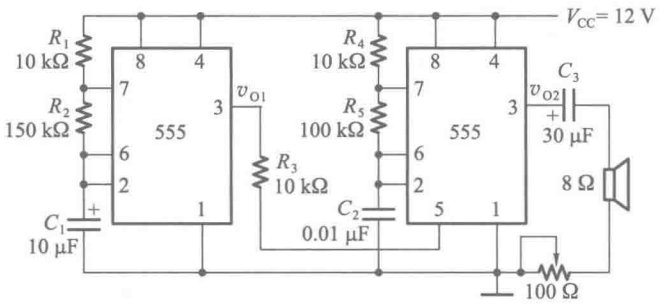


图 P7.26

解：图 P7.26 中两个 555 定时器均接成了多谐振荡电路。

(1) v_{O1}的高电平持续时间为

$$t_H = (R_1 + R_2) C_1 \ln 2 = 160\times10^3\times10\times10^{-6}\times0.69 \text{ s} = 1.1 \text{ s}$$

这时 v_{O1} = 11 V。由图 A7.26 可以用叠加定理计算出，加到右边 555 定时器 5 脚上的电压 V_{CO} = 8.8 V。因此，V_{T+} = 8.8 V、V_{T-} = 4.4 V。振荡电路的振荡频率，亦即扬声器声音的周期为

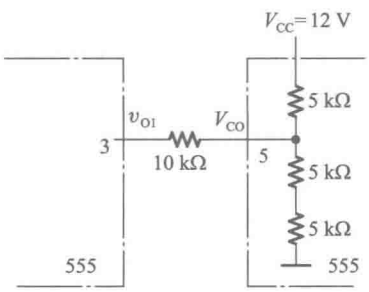


图 A7.26

$$T_1 = (R_4 + R_5) C_2 \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_5 C_2 \ln 2$$

$$= (110\times10^3\times0.01\times10^{-6} \ln \frac{12-4.4}{12-8.8}$$

$$+ 100\times10^3\times0.01\times10^{-6}\times0.69) \text{ s}$$

$$= 1.63\times10^{-3} \text{ s}$$

$$f_1 = \frac{1}{T_1} = 611 \text{ Hz}$$

(2) v_{O1}的低电平持续时间为

$$t_L = R_2 C_1 \ln 2 = 150\times10^3\times10\times10^{-6}\times0.69 \text{ s}$$

$$= 1.04 \text{ s}$$

这时 v_{O1} = 0.2 V，由图 A7.26 可以计算出，加到右边一个 555 定时器 5 脚上的电压 V_{CO} = 6 V，故 V_{T+} = 6 V、V_{T-} = 3 V。振荡周期为

$$T_2 = (110\times10^3\times0.01\times10^{-6} \ln \frac{12-3}{12-6} + 100\times10^3\times0.01\times10^{-6}\times0.69) \text{ s}$$

$$= 1.14\times10^{-3} \text{ s}$$

$$f_2 = \frac{1}{T_2} = 876 \text{ Hz}$$

至此可知，高音频率为 876 Hz，持续时间 1.04 s。低音频率为 611 Hz，持续时间 1.1 s。

【题 7.27】 图 P7.27(a)是用 555 定时器接成的脉冲宽度调制电路，其中 R = 18 kΩ，C = 0.01

μF。若 $V_{DD}=5$ V，触发输入信号 v_I 和调制输入信号 V_M 的电压波形如图 P7.27(b)中所示，试画出与之对应的输出电压波形，并计算 V_M 为 2 V、3 V、4 V 时输出脉冲的宽度。

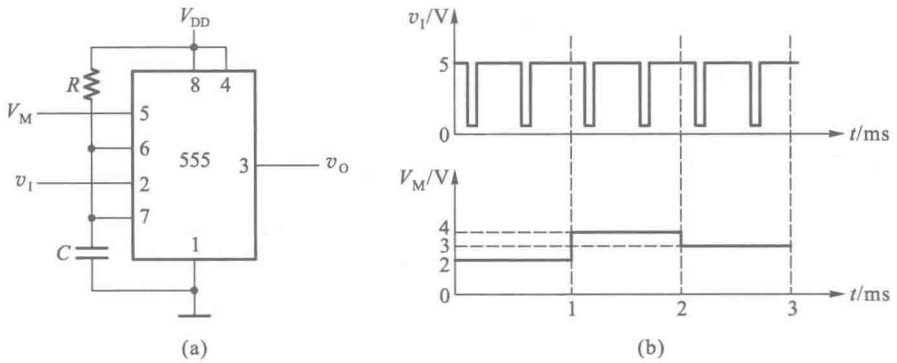


图 P7.27

解：图 P7.27(a)的脉冲宽度调制电路实际上是一个单稳态电路，它的输出脉冲宽度受调制输入信号 V_M 控制。在《数字电子技术基础(第六版)》第七章中给出了计算单稳态电路输出脉冲宽度的公式，见式(7.5.1)。将式中电容充电过程的转换值改为 V_M，就得到了计算图 P7.27(a)电路输出脉冲宽度的公式

$$t_W = \frac{RC\ln(V_{CC}-0)}{(V_{CC}-V_M)}$$

根据上式计算得到：当 $V_M=2$ V 时，$t_W=0.09$ ms；当 $V_M=3$ V 时，$t_W=0.16$ ms；当 $V_M=4$ V 时，$t_W=0.29$ ms。输出脉冲的波形图如图 A7.27 所示。

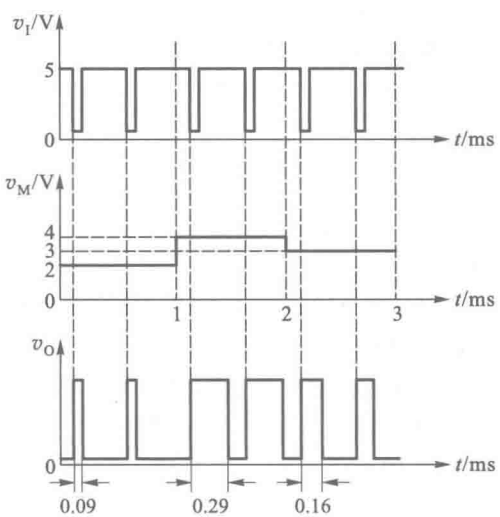


图 A7.27

第八章习题解答

【题 8.1】 在图 8.2.1 所示的权电阻网络 D/A 转换器中，若取 $V_{REF}=5$ V，试求当输入数字量为 $d_3d_2d_1d_0=$ **0101** 时输出电压的大小。

解： 根据《数字电子技术基础(第六版)》中给出的式(8.2.2)得到

$$v_O=-\frac{V_{REF}}{2^4}(d_3 2^3+d_2 2^2+d_1 2^1+d_0 2^0)$$

$$=-\frac{5}{2^4}(0\times 2^3+1\times 2^2+0\times 2^1+1\times 2^0)\ \text{V}$$

$$=-1.562\ 5\ \text{V}$$

【题 8.2】 在图 8.2.3 给出的倒 T 形电阻网络 D/A 转换器中，已知 $V_{REF}=-8$ V，试计算当 d_3、d_2、d_1、d_0 每一位输入代码分别为 1 时在输出端所产生的模拟电压。

解： 根据《数字电子技术基础(第六版)》中给出的式(8.2.4)得到

$$v_O=-\frac{V_{REF}}{2^4}(d_3 2^3+d_2 2^2+d_1 2^1+d_0 2^0)$$

$$=\frac{1}{2}(d_3 2^3+d_2 2^2+d_1 2^1+d_0 2^0)\ \text{V}$$

由上式即可算出 d_3、d_2、d_1、d_0 每一位为 **1** 时在输出端产生的模拟电压分别为 4 V、2 V、1 V 和 0.5 V。

【题 8.3】 在图 8.2.5 所示的 D/A 转换电路中，给定 $V_{REF}=5$ V，试计算

(1) 输入数字量的 $d_9\sim d_0$ 每一位为 **1** 时在输出端产生的电压值。

(2) 输入为全 **1**、全 **0** 和 **1000000000** 时对应的输出电压值。

解： 根据《数字电子技术基础(第六版)》中给出的式(8.2.5)可知

$$v_O=-\frac{V_{REF}}{2^n}D_n$$

$$=-\frac{5}{2^{10}}(d_9 2^9+d_8 2^8+\cdots+d_1 2^1+d_0 2^0)\ \text{V}$$

(1) 根据上式即可求出 $d_9\sim d_0$ 每一位的 **1** 在输出端产生的电压分别为 −2.5 V，−1.25 V，−0.625 V，−0.313 V，−0.156 V，−78.13 mV，−39.06 mV，−19.53 mV，−9.77 mV，−4.88 mV。

(2) 输入为全 **1**、全 **0** 和 **1000000000** 时的输出电压分别为 −4.995 V，0 V 和 −2.5 V。

【题 8.4】 在图 8.2.5 由 AD7520 所组成的 D/A 转换器中，已知 $V_{REF}=-10$ V，试计算当输入数字量从全 **0** 变到全 **1** 时输出电压的变化范围。如果想把输出电压的变化范围缩小一半，可以采取哪些方法？

解： 根据《数字电子技术基础(第六版)》中给出的式(8.2.5)可知

$$v_O=-\frac{V_{REF}}{2^n}\cdot D=\left(\frac{10}{2^{10}}\times D\right)\ \text{V}$$

将 $D=0$、$D=2^{10}-1$(全 **1**)代入上式即可求出输入从全 **0** 变到全 **1** 时输出电压的变化范围为 0~9.99 V。

如果需要将输出电压的变化范围缩小一半,可以将 V_{REF} 的绝对值减小一半,即改为 $V_{REF}=-5$ V。也可以将求和放大器的放大倍数减小一半。为此,求和放大器的反馈电阻不能再使用 AD7520 片内提供的反馈电阻 R,而应在 I_{out} 与放大器输出端 v_O 之间外接一个大小等于 $\frac{R}{2}$ 的反馈电阻。AD7520 内设置的反馈电阻 R 为 10 kΩ。

【题 8.5】 图 P8.5 所示电路是用 AD7520 和同步十六进制计数器 74HC161 组成的波形发生器电路。已知 AD7520 的 $V_{REF}=-10$ V,试画出输出电压 v_O 的波形,并标出波形图上各点电压的幅度。AD7520 的电路结构见图 8.2.5,74HC161 的功能表与表 6.3.4 相同。

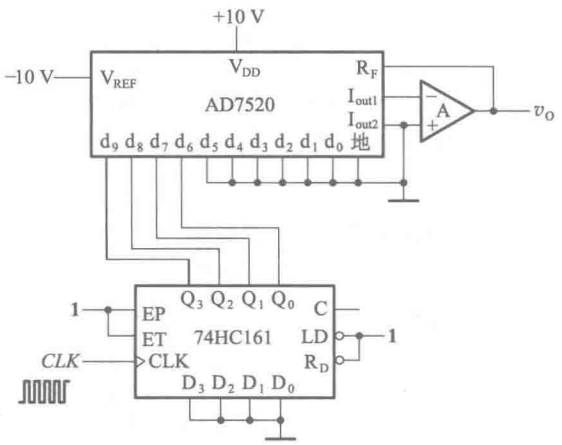


图 P8.5

解:由于 74HC161 工作在计数状态,所以在时钟信号连续作用下,它的输出端 $Q_3Q_2Q_1Q_0$ 从 **0000~1111** 不停地循环,AD7520 的输入 $d_9d_8d_7d_6$ 也从 **0000~1111** 不停地循环。根据《数字电子技术基础(第六版)》中的式(8.2.5)即可计算出 $d_9d_8d_7d_6$ 为 **0000**、**0001**、…、**1111** 时对应的输出电压值,并得到如图A8.5所示的 v_O 电压波形图。

【题 8.6】 图 P8.6 所示电路是用 AD7520 组成的双极性输出 D/A 转换器。AD7520 的电路结构见图 8.2.5,其倒 T 形电阻网络中的电阻 $R=10$ kΩ。为了得到±5 V 的最大输出模拟电压,在选定 $R_B=20$ kΩ 的条件下,V_{REF}、V_B 应各取何值?

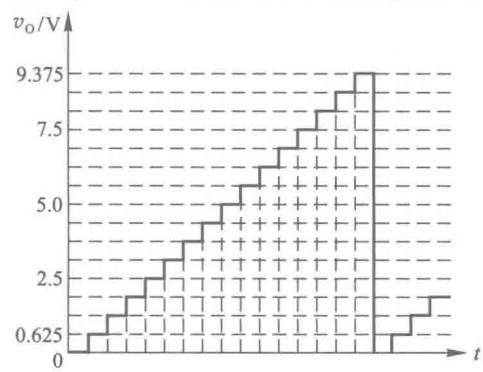


图 A8.5

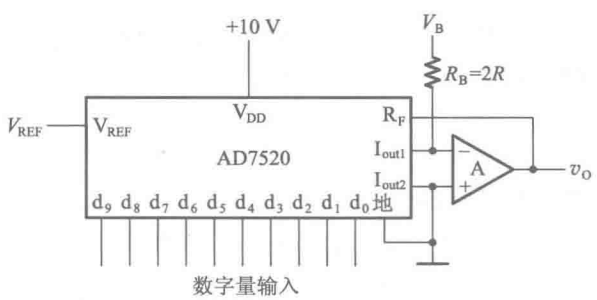


图 P8.6

解：由本书前面给出的式(8-3-5)可知，双极性输出 D/A 转换器的输出电压为

$$v_O = -\frac{V_{REF}R_F}{2^n R}(D-2^{n-1})$$

在 $R_F = R$ 的条件下，为使 $D=0$ 时和 $D=2^{n-1}$ 时输出电压幅度均为 5 V，则应取 $V_{REF}=10$ V。

为实现双极性输出，V_B 提供的偏移电流大小应与 $d_9=\mathbf{1}$ 而其余各位为 **0** 时的输出电流 I_{out} 相等。又知 $d_9=\mathbf{1}$ 产生的输出电流为 $\frac{V_{REF}}{2R}$，所以得到

$$\frac{|V_B|}{R_B}=\frac{V_{REF}}{2R}$$

$$|V_B|=\frac{R_B}{2R}V_{REF}=V_{REF}=10\text{ V}$$

V_B 的极性应与 V_{REF} 相反。当 $V_{REF}=10$ V 时，应取 $V_B=-10$ V。

【题 8.7】 在图 P8.7 给出的 D/A 转换器中，试求：

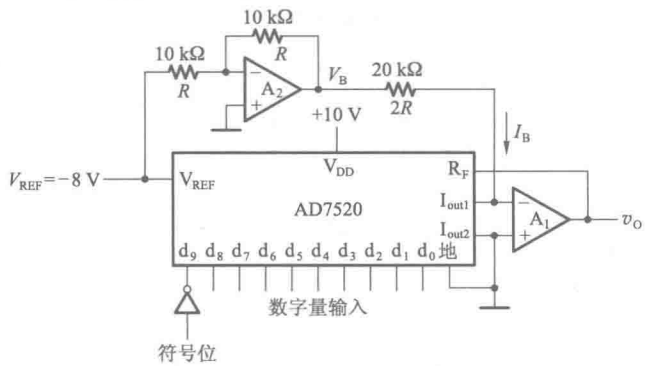


图 P8.7

(1) 1LSB 产生的输出电压增量是多少？

(2) 输入为 $d_9 \sim d_0 = \mathbf{1000000000}$ 时的输出电压是多少？

(3) 若输入以二进制补码给出，则最大的正数和绝对值最大的负数各为多少？它们对应的输出电压各为多少？

解：图 P8.7 是一个具有双极性输出的 D/A 转换器。其中 A_2 是放大倍数为 1 的反相放大器，它的输出电压为 $V_B=-V_{REF}=8$ V。$I_B=\frac{V_{REF}}{2R}$，其大小与 $d_9=\mathbf{1}$ 时 AD7520 的输出电流 I_{out} 相等，所以符合双极性输出对偏移电流的大小和极性的要求。由本书前面得出的计算双极性输出 D/A 转换器输出电压的式(8-3-5)知

$$v_O=-\frac{V_{REF}R_F}{2^n R}(D-2^{n-1})=\frac{8}{2^{10}}(D-2^9)\text{ V}$$

因此可以计算出

(1) 1LSB 产生的输出电压增量为

$$\Delta v_O=\frac{8}{2^{10}}\text{ V}=7.8\text{ mV}$$

（2）当 $D=(\mathbf{100000000})_2=2^9$ 时，$v_O=0$。

（3）输入的最大正数为（**0111111111**）$_2$，最高位为符号位。为得到正确的双极性输出电压，必须将符号位反相以后加到 D/A 转换器的最高位输入，所以这时的输入为

$$D=d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0=(\mathbf{1111111111})_2=2^{10}-1$$

故得到

$$v_O=\frac{8}{2^{10}}(2^{10}-1-2^9)\ \text{V}=\frac{8}{2^{10}}(2^9-1)\ \text{V}=3.99\ \text{V}$$

输入的最大负数为（**1000000000**）$_2$，将符号位反相以后得到 $D=d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0=$（**0000000000**）$_2$，故这时的输出为 $v_O=\frac{8}{2^{10}}(-2^9)\ \text{V}=-4\ \text{V}$。

【题 8.8】 试分析图 P8.8 电路的工作原理，画出输出电压 v_O 的波形图。AD7520 的电路图见图 8.2.5。同步十进制计数器 74HC160 的功能表见表6.3.4。表 P8.8 给出了 RAM 的 16 个地址单元中所存的数据。高 6 位地址 $A_9\sim A_4$ 始终为 **0**，在表中没有列出。RAM 的输出数据只用了低 4 位，作为 AD7520 的输入。因 RAM 的高 6 位数据没有使用，故表中也未列出。

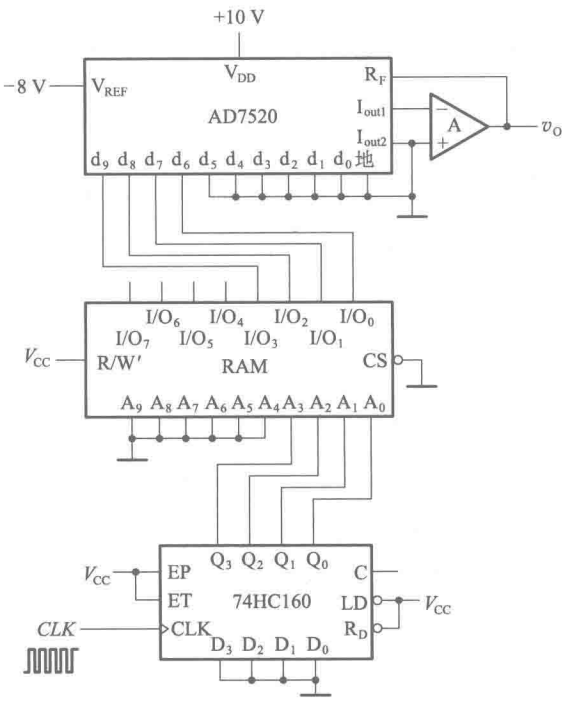


图 P8.8

解：十进制计数器 74HC160 工作在计数状态，在 *CLK* 脉冲序列的作用下，$Q_3Q_2Q_1Q_0$ 的状态从 **0000** 到 **1001** 循环计数，将存储器 $A_9A_8A_7A_6A_5A_4A_3A_2A_1A_0=$ **0000000000～0000001001** 这十个地址单元中存储的数据依次读出，作为 AD7520 的数字量输入。AD7520 高 4 位数字量输入 d_9、d_8、d_7、d_6 每位为 **1** 时产生的输出模拟电压分别为+4 V、+2 V、+1 V、+0.5 V。输出电压 v_O 的波形如图 A8.8 所示。

【题 8.9】 如果用图 P8.8 的电路产生图 P8.9 的输出电压波形，应如何修改 RAM 中的数据？请列出修改以后的 RAM 数据表，并计算时钟信号 *CLK* 应有的频率。

表 P8.8 图 P8.8 中 RAM 的数据表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	1	1	1
0	1	0	0	1	1	1	1
0	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	1
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	1	1

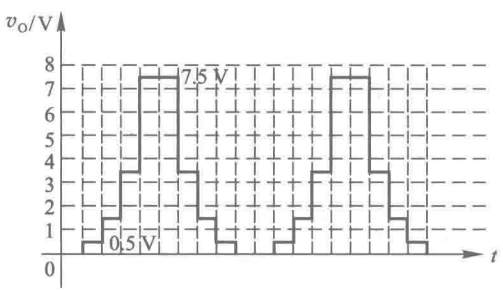


图 A8.8

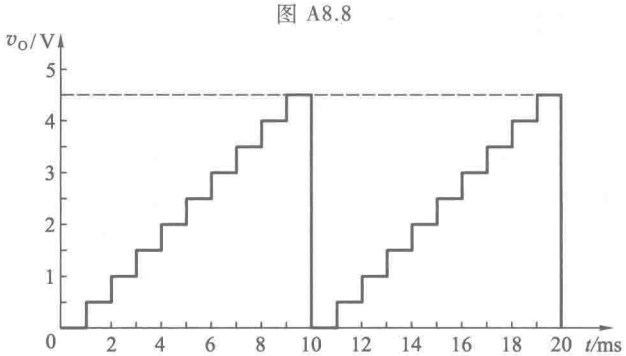


图 P8.9

解：由上题知 1LSB 产生的输出模拟电压为 0.5 V，将图 P8.9 波形图上各点的电压除以 0.5，就得到了表 A8.9 的 RAM 的数据表。取 $A_9 \sim A_4$ 始终为 **0**，表中未列出。每个地址中高 4 位数据 $D_4 \sim D_7$ 没有用，可为任意值，故表中也未列出。

由图 P8.9 的波形图上还可以看出，RAM 的数据改变周期为 1 ms，故 *CLK* 的频率应为 1 kHz。

表 A8.9　题 8.9RAM 的数据表

A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1
1	0	1	0	×	×	×	×
1	0	1	1	×	×	×	×
1	1	0	0	×	×	×	×
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

【题 8.10】 设计一个波形发生器电路，要求产生图 P8.10 所给定的电压波形。

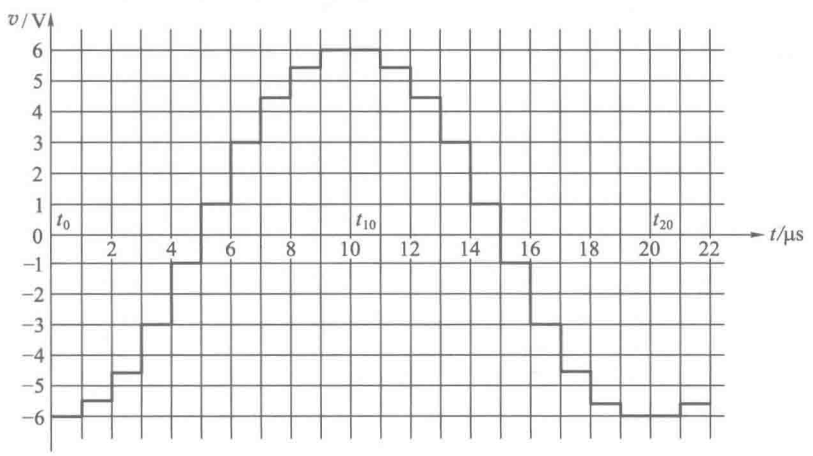


图 P8.10

解：由图 P8.10 的波形图可见，从 $t_0 \sim t_{20}$ 为一个完整的波形。因为 t_{20} 这一点也就是下一个重复周期上的 t_0 点，所以只要将 $t_0 \sim t_{19}$ 这 20 个点上输出电压的幅值量化以后存入 EPROM 中，然后将这些数据不断地循环读出，并加到双极性输出的 D/A 转换器上，就能在 D/A 转换器的输出端得到图 P8.10 所示的波形了。

为了循环产生 EPROM 的 20 个地址，需要使用一个二十进制计数器。同时还需要有一个脉冲发生器，为计数器提供时钟脉冲。由图 P8.10 的波形图上可知，波形的取样周期为 1 μs，所以振荡电路的频率应为 1 MHz。

至于 D/A 转换器、EPROM、计数器和脉冲发生器所用器件的选择以及每一部分电路的具体接法，则有多种可行的方案。

在图 A8.10 采用的方案中，双极性输出 D/A 转换器用 AD7520 和求和放大器组成。4 位二进制计数器 74HC161 和 D 触发器 FF_A 接成了二十进制计数器。反相器 G_2、G_3 和电阻、电容以及谐振频率为 1 MHz 的石英晶体组成了多谐振荡电路。

若取量化单位 $\Delta = 0.5$ V，则根据图 P8.10 给定的波形即可列出 EPROM 中应存入数据的数据表，如表 A8.10 所示。因为双极性输出 D/A 转换器要求以二进制补码的形式输入数字量，所以表 A8.10 中的数据 $D_4D_3D_2D_1D_0$ 为二进制补码，其中 D_4 为符号位。由于采用了 1024×8 位的 EPROM，而且将它的地址输入端 $A_9 \sim A_5$ 接成 **0**，所以数据被存在 $A_9 \sim A_0$ = **0000000000** ~ **0000010011** 这 20 个地址单元中。而且，只有每个地址中的低 5 位数据是有用的。因此，在表 A8.10 中只列出了这 20 个地址单元的低 5 位地址和低 5 位数据。

表 A8.10　图 A8.10 中 EPROM 的数据表

地　址	数　据	地　址	数　据
$A_4\ A_3\ A_2\ A_1\ A_0$	$D_4\ D_3\ D_2\ D_1\ D_0$	$A_4\ A_3\ A_2\ A_1\ A_0$	$D_4\ D_3\ D_2\ D_1\ D_0$
0 0 0 0 0	1 0 1 0 0	0 1 0 1 0	0 1 1 0 0
0 0 0 0 1	1 0 1 0 1	0 1 0 1 1	0 1 0 1 1
0 0 0 1 0	1 0 1 1 1	0 1 1 0 0	0 1 0 0 1
0 0 0 1 1	1 1 0 1 0	0 1 1 0 1	0 0 1 1 0
0 0 1 0 0	1 1 1 1 0	0 1 1 1 0	0 0 0 1 0
0 0 1 0 1	0 0 0 1 0	0 1 1 1 1	1 1 1 1 0
0 0 1 1 0	0 0 1 1 0	1 0 0 0 0	1 1 0 1 0
0 0 1 1 1	0 1 0 0 1	1 0 0 0 1	1 0 1 1 1
0 1 0 0 0	0 1 0 1 1	1 0 0 1 0	1 0 1 0 1
0 1 0 0 1	0 1 1 0 0	1 0 0 1 1	1 0 1 0 0

双极性输出 D/A 转换器中取 $R_B = 2R = 20$ kΩ、$V_B = -V_{REF} = 10$ V，输出电压可用本书中前面已给出的式(8-3-5)计算，即

$$v_O = -\frac{V_{REF}R_F}{2^n R}(D - 2^{n-1})$$

$$=\frac{10}{2^{10}}\cdot\frac{R_F}{R}(D-2^9)\ \text{V}$$

根据图 P8.10 给定波形的要求，在 t_0 时刻应满足 $v_O=-6$ V。将 t_0 时 D/A 转换器的输入数据 $d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0=(\mathbf{0010000000})_2=2^7$ 代入上面的公式后应满足

$$\frac{10}{2^{10}}\cdot\frac{R_F}{R}(2^7-2^9)=-6$$

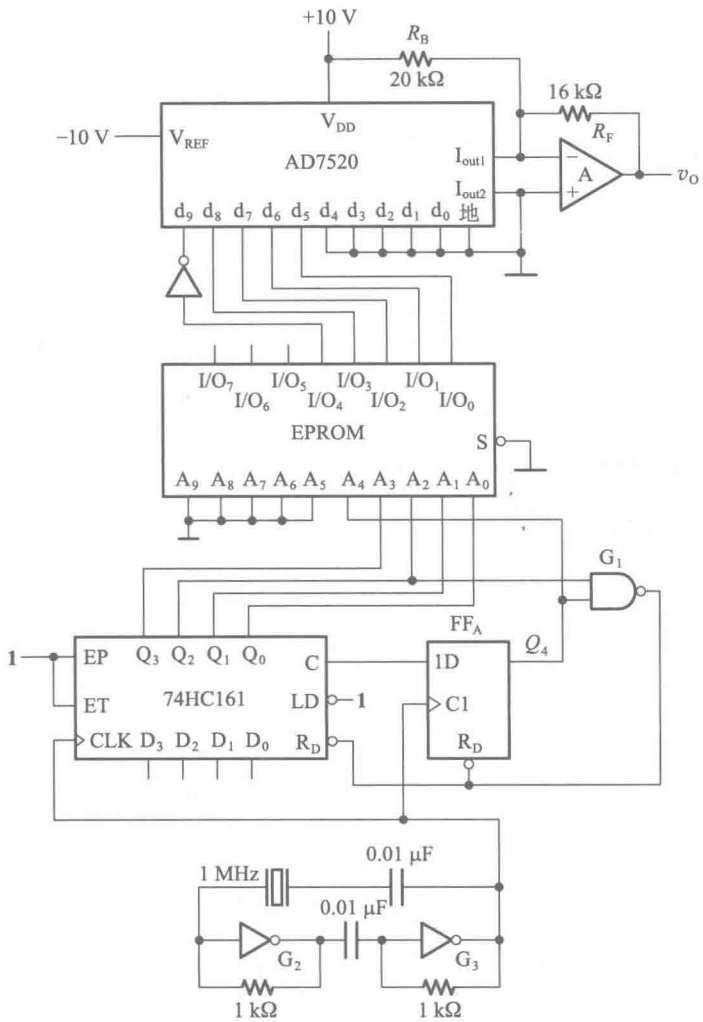


图 A8.10

由上式得到 $R_F=1.6R=16$ kΩ。故应取 R_F 为 16 kΩ。

【题 8.11】 图 P8.11 所示电路是用 D/A 转换器 AD7520 和运算放大器构成的增益可编程放大器，它的电压放大倍数 $A_v=\dfrac{v_O}{v_I}$ 由输入的数字量 $D(d_9\sim d_0)$ 来设定。试写出 A_v 的计算公式，并说明 A_v 的取值范围。

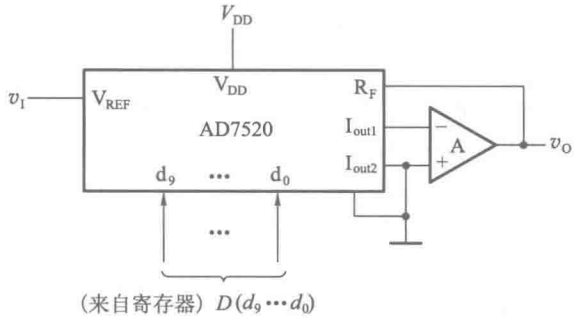


图 P8.11

解：由《数字电子技术基础(第六版)》中给出的式(8.2.5)知

$$v_O = -\frac{V_{REF}}{2^n} D_n$$

$$= -\frac{v_I}{2^{10}} D_n$$

故得到

$$A_v = \frac{v_O}{v_I} = -\frac{D_n}{2^{10}}$$

D_n 的取值范围为 **0000000000**～**1111111111**($2^{10}-1$)，故 A_v 的取值范围为$0 \sim -\frac{2^{10}-1}{2^{10}}$。

【题 8.12】 图 P8.12 电路是用 D/A 转换器 AD7520 和运算放大器组成的增益可编程放大器，它的电压放大倍数 $A_v = \frac{v_O}{v_I}$由输入的数字量 $D(d_9 \sim d_0)$来设定。试写出 A_v 的计算公式，并说明 A_v 取值的范围是多少？

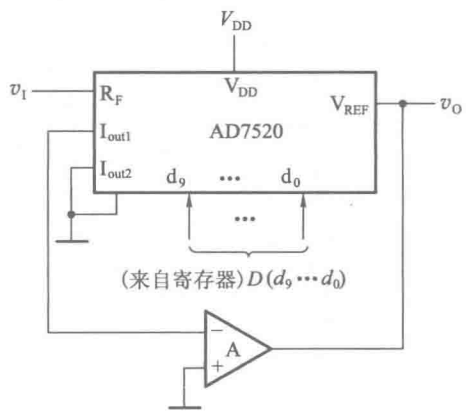


图 P8.12

解：由图 A8.12(a)可见，由于 AD7520 的 I_{out1} 接运算放大器的“虚地点”，近似为 0 电平，这时可将 V_{REF} 与 I_{out1} 之间的电路看作一个等效电阻 R_{EQ}。R_{EQ} 的数值由式(8-3-8)给出，即 $R_{EQ} = \frac{2^n}{D} R$。

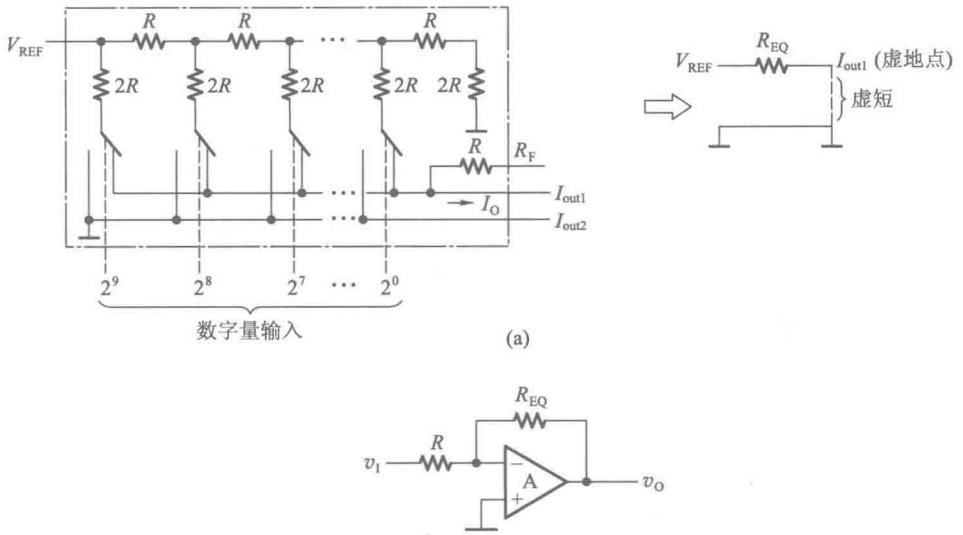


图 A8.12

因此，图 P8.12 电路可简化成图 A8.12(b)形式，由图得

$$A_v = -\frac{R_{EQ}}{R} = -\frac{2^{10}}{D_n}$$

D_n 的取值范围为 **0000000000～1111111111** 时，得到 A_v 的取值范围为 $-\infty \sim -\dfrac{2^{10}}{2^{10}-1}$。

【题 8.13】 在图 P8.13 所示的 D/A 转换器中，已知输入为 8 位二进制数码，接在 AD7520 的高 8 位输入端上，$V_{REF}=10$ V。为保证 V_{REF}偏离标准值所引起的误差 $\leqslant \dfrac{1}{2}$LSB(现在的 LSB 应为 d_2)，允许 V_{REF}的最大变化 ΔV_{REF}是多少？V_{REF}的相对稳定度 $\left(\dfrac{\Delta V_{REF}}{V_{REF}}\right)$ 应为多少？AD7520 的电路见图 8.2.5。

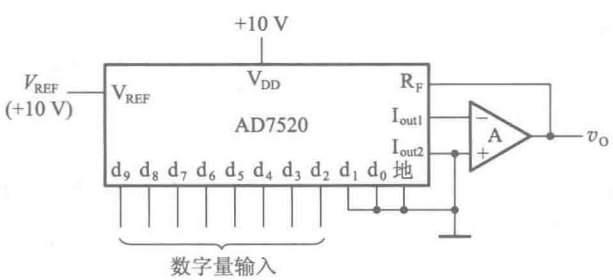


图 P8.13

解：根据题目要求，应满足

$$\frac{2^8-1}{2^8}\Delta V_{REF} < \frac{1}{2}\cdot\frac{V_{REF}}{2^8}$$

$$\Delta V_{REF} < \frac{V_{REF}}{2^9} \cdot \frac{2^8}{2^8-1} \approx \frac{V_{REF}}{2^9} = 19.5\ \text{mV}$$

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right| \approx \frac{1}{2^9} = 2‰$$

也可以直接利用式(8-3-9)计算,得到的结果相同。

【题 8.14】 图 P8.14 是利用 D/A 转换器 AD7520 和运算放大器 A_1 以及外接电阻 R_a 组成的增益可控电压放大器。试分别计算在 R_a 为 20 kΩ、50 kΩ 和 100 kΩ 的情况下,输入数字量 d_9~d_0 为全 **0**、全 **1** 和 **1000000000** 时该电路的电压放大倍数。

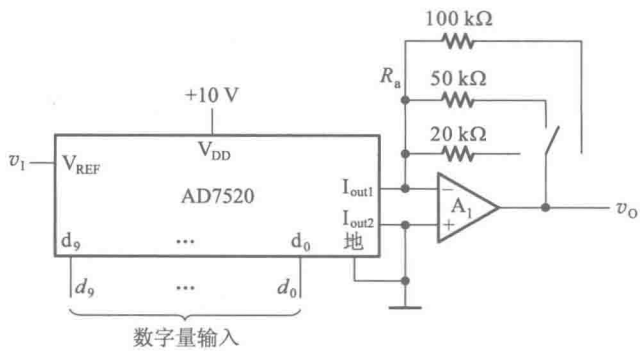


图 P8.14

解: 根据本书 8.2 节的分析可知,在图 P8.14 电路的连接条件下,AD7520 相当于接在 v_I 与 I_{out1} 之间的一个等效电阻 R_{EQ}。而且,R_{EQ} 值可以用式(8-3-8)计算,即

$$R_{EQ} = \frac{2^n R}{D}$$

在 AD7520 中,上式中的 R 等于 10 kΩ,D 代表 AD7520 的输入数字量,n 代表输入数字量的最大位数,等于 10。于是得到运算放大器 A_1 的放大倍数为

$$A_v = \frac{-R_a}{R_{EQ}} = \frac{-R_a D}{2^n R}$$

当 R_a = 20 kΩ 时,$A_v = \frac{-2D}{2^{10}}$,输入数字量 d_9~d_0 为全 **0**、全 **1** 和 **1000000000** 时电路的电压放大倍数分别为 0、-2、-1。

当 R_a = 50 kΩ 时,$A_v = \frac{-5D}{2^{10}}$,输入数字量 d_9~d_0 为全 **0**、全 **1** 和 **1000000000** 时电路的电压放大倍数分别为 0、-5、-2.5。

当 R_a = 100 kΩ 时,$A_v = \frac{-10D}{2^{10}}$,输入数字量 d_9~d_0 为全 **0**、全 **1** 和 **1000000000** 时电路的电压放大倍数分别为 0、-10、-5。

【题 8.15】 若将图 8.6.1 并联比较型 A/D 转换器输入数字量增加至 8 位,并采用图 8.4.3(b)

所示的量化电平划分方法，试问最大的量化误差是多少？在保证 V_{REF} 变化时引起的误差 $\leqslant \frac{1}{2}$LSB 的条件下，V_{REF} 的相对稳定度 $\left(\frac{\Delta V_{REF}}{V_{REF}}\right)$ 应为多少？

解：量化单位应取为 $\Delta=\frac{2V_{REF}}{2^9-1}=\frac{2V_{REF}}{511}$。最大量化误差为 $\frac{1}{2}\Delta=\frac{V_{REF}}{511}$。

因为 ΔV_{REF} 在最高位比较器的基准电压上引起的误差最大，所以应保证这个误差小于 $\frac{1}{2}$LSB，故得到

$$\Delta V_{REF}\cdot\frac{509}{511}<\frac{1}{511}V_{REF}$$

$$\Delta V_{REF}<\frac{1}{509}V_{REF}$$

$$\left|\frac{\Delta V_{REF}}{V_{REF}}\right|<0.2\%$$

【题 8.16】 如果将图 8.6.7 逐次逼近型 A/D 转换器的输出扩展到 10 位，取时钟信号频率为 1 MHz，试计算完成一次转换操作所需要的时间。

解：完成一次转换所需时间为

$$(n+2)T_c=12\times10^{-6}\ \text{s}=12\ \mu\text{s}$$

【题 8.17】 在图 8.6.10 所示的双积分型 A/D 转换器中，若计数器为 10 位二进制，时钟信号频率为 1 MHz，试计算转换器的最大转换时间是多少？

解：最大转换时间为 $2^{n+1}T_c=2^{11}\times10^{-6}\ \text{s}=2.048\ \text{ms}$。

【题 8.18】 在图 8.6.10 所示的双积分型 A/D 转换器中，若将计数器改为 4 位十进制计数器（计数器共有 5 位，低 4 位为十进制，最高位为二进制，计数器的计数容量为 19 999），并要求A/D 转换器的转换速率不低于 25 次/s，试计算计数器的时钟信号频率应当取为多少。

解：由图 8.6.10 所示双积分型 A/D 转换器的工作原理可知，完成一次 A/D 转换需要的时间等于 n 位计数器两个计数周期的时间。若时钟信号周期为 T_c，则完成一次转换所需要的时间等于 2×10^4T_c。为了保证转换速率不低于 25 次/s，就必须保证 $2\times10^4T_c<(1/25)$ s。于是得到时钟信号的周期为

$$T_c<\frac{1}{2}\times10^4\times25\ \text{s}=\frac{1}{5}\times10^5\ \text{s}$$

故时钟信号的频率应当取为

$$f_c=\frac{1}{T_c}>5\times10^5\ \text{Hz}=500\ \text{kHz}$$

【题 8.19】 在图 8.6.17 的 A/D 转换器电路中，若要求单稳态电路输出脉冲的宽度为 $t_W=2.5\ \mu\text{s}$，输入电压为 0~5 V 时输出脉冲的频率为 0~200 kHz，电路参数应作何修改？

解：由《数字电子技术基础（第六版）》的 8.6.6 节中可知，AD650 输出脉冲的宽度 t_W 由式 (8.6.8) 给出

$$t_W=[C_{OS}(6.8\times10^3)+3\times10^{-7}]\ \text{s}$$

为得到 $t_W=2.5\ \mu s$,则从上式求得 C_{OS}的值应为

$$\begin{aligned}C_{OS}&=[(t_W-3\times10^{-7})/6.8\times10^3]\ F\\&=324\times10^{-12}\ F\\&=324\ pF\end{aligned}$$

又由 8.6.6 节中的式(8.6.7)知,AD650 输出脉冲频率的计算公式为

$$f_{out}=\frac{v_I}{I_0t_WR_{int}}$$

式中 I_0 为 1 mA。为了在 $v_I=5$ V 时获得 f_{out}为 200 kHz,则由上式可求出 R_{int}应取的阻值为

$$\begin{aligned}R_{int}&=v_I/I_0t_Wf_{out}\\&=(5/1\times10^{-3}\times2.5\times10^{-6}\times2\times10^5)\ \Omega\\&=10\ k\Omega\end{aligned}$$

故应将图 8.6.17 电路中的 C_{OS}改为 324 pF,同时将 R_{int}改为 10 kΩ。

【题 8.20】 在图 8.6.15 的 *V-F* 变换型 A/D 转换器电路中,如果要求将输入 0~5 V 的模拟电压转换为 3 位十进制数字量输出,输入为 5 V 时输出应显示 500。闸门脉冲 v_G 的宽度为 5 ms。试求 *V-F* 变换器输出频率与输入模拟电压之间的转换比例系数。

解: 设 *V-F* 变换的比例系数为 $K=f_{out}/v_I$。由图 8.6.15 可知,根据题目要求,当 $v_I=5$ V 时,在闸门脉冲宽度 $T_G=5$ ms 的时间内计数器应计入 500 个计数脉冲。由此可得到此时 f_{out}应有的数值为

$$\begin{aligned}f_{out}&=500/T_G\\&=(500/5\times10^{-3})/s\\&=100\ kHz\end{aligned}$$

故得到 *V-F* 变换比例系数为

$$\begin{aligned}K&=f_{out}/v_I=(100\times10^3/5)\ Hz/V\\&=20\ kHz/V\end{aligned}$$

第四部分
自测试卷及答案

试 卷 1

一、简要回答下列问题(不用详细解释) (20 分)

1. 什么叫最小项?

2. 什么叫约束项、任意项、无关项?

3. 和 TTL 电路相比,CMOS 电路最大的优点是什么?

4. 组合逻辑电路和时序逻辑电路在逻辑功能和电路结构上有何不同?

5. 同步时序逻辑电路和异步时序逻辑电路的区别是什么?

6. 描述时序逻辑电路的逻辑功能有哪些方法?

7. RAM 和 ROM 有何不同?

8. 在倒 T 形电阻网络 D/A 转换器中,转换误差主要由哪些因素造成的?

9. 在 A/D 转换器中,哪一种电路转换速度最快? 哪一种电路的稳定性和抗干扰能力最好?

10. PLD 的基本特征是什么?

二、写出图 T1.2(a)、(b)两个电路输出的逻辑函数式,并化简为最简**与-或**表达式。(10 分)

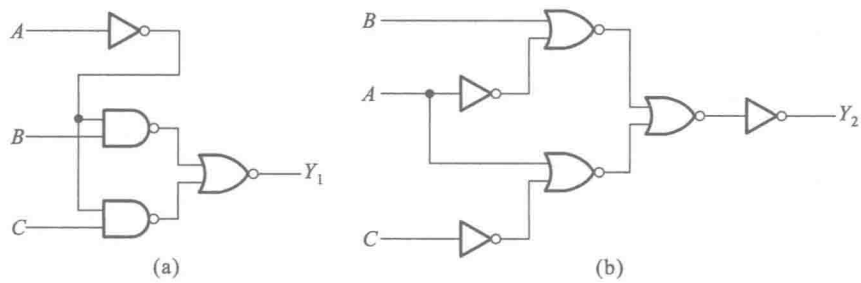


图 T1.2

三、计算图 T1.3 电路中外接电阻 R_L 的取值范围。已知 OC 门 $G_1 \sim G_3$ 输出高电平时的漏电流为 $I_{OH}=0.2$ mA,输出低电平时允许的最大负载电流为 $I_{LM}=10$ mA,输出的低电平 $V_{OL} \leqslant 0.3$ V。门 $G_4 \sim G_7$ 的高电平输入电流为 $I_{IH}=20$ μA,低电平输入电流为 $I_{IL}=-1$ mA。电源电压为 $V_{CC}=5$ V。要求 OC 门输出的高、低电平满足 $V_{OH} \geqslant 3$ V,$V_{OL} \leqslant 0.3$ V。 (10 分)

四、用 8 选 1 数据选择器产生组合逻辑函数

$$Z=MNQ+NP+N'Q'$$

图 T1.4 是 8 选 1 数据选择器的框图,它的输出逻辑式为

$$\begin{aligned} Y=&D_0A_2'A_1'A_0'+D_1A_2'A_1'A_0+D_2A_2'A_1A_0'\\ &+D_3A_2'A_1A_0+D_4A_2A_1'A_0'+D_5A_2A_1'A_0\\ &+D_6A_2A_1A_0'+D_7A_2A_1A_0 \end{aligned}$$

(10 分)

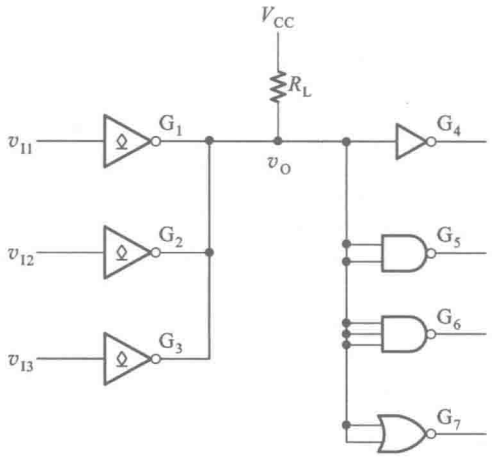


图 T1.3

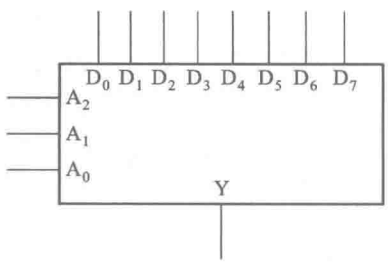


图 T1.4

五、分析图 T1.5 的逻辑电路，写出电路的驱动方程、状态方程和输出方程，列出电路的状态转换表，画出电路的状态转换图。　（15 分）

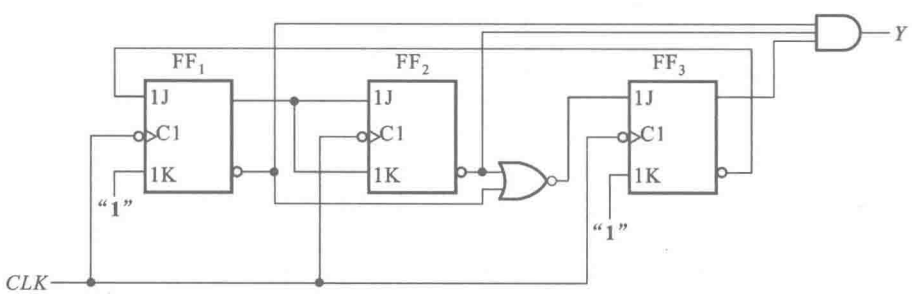


图 T1.5

六、用两片同步十六进制计数器 74HC161 设计一个可控进制的计数器，当控制信号 $M=0$ 时为三十进制，当 $M=1$ 时为三十一进制。请标明计数输入端和进位输出端。74HC161 的功能表和框图见表 T1.6 和图 T1.6。　（10 分）

表 T1.6　74HC161 的功能表

CLK	R'_D	*LD'*	*EP*	*ET*	工作状态
×	**0**	×	×	×	置零
⎍	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持(C=**0**)
⎍	**1**	**1**	**1**	**1**	计数

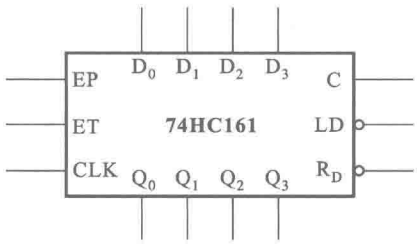


图 T1.6

七、图 T1.7 是用 D/A 转换器 AD7520、ROM、移位寄存器 74HC194A 和石英晶体振荡电路组成的波形发生器电路。表 T1.7(a)是 ROM 的数据表，表 T1.7(b)是 74HC194A 的功能表。设 74HC194A 的初始状态为 $Q_0Q_1Q_2Q_3$=**0000**。试画出 v_O 的波形，计算波形上各点电压的幅值，标在波形图上，并计算输出电压波形的周期。　(15 分)

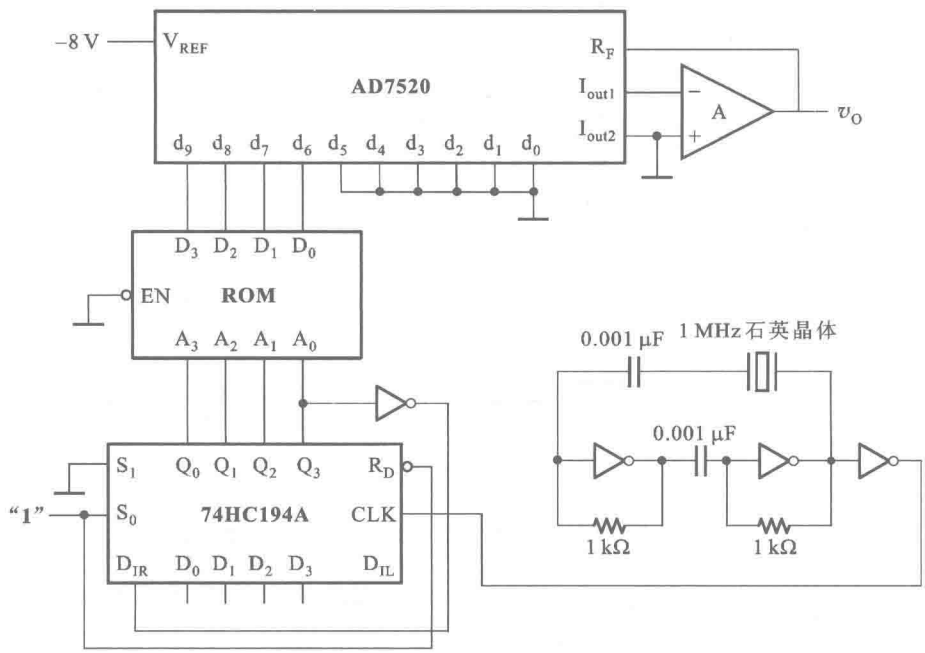


图 T1.7

表 T1.7(a)　ROM 的数据表

地址				数据				地址				数据			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0	A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**0**	**0**	**0**	**0**	**1**
0	**0**	**0**	**1**	**0**	**0**	**0**	**1**	**1**	**0**	**0**	**1**	**0**	**0**	**1**	**0**
0	**0**	**1**	**0**	**0**	**0**	**1**	**0**	**1**	**0**	**1**	**0**	**0**	**0**	**1**	**1**

续表

地　址				数　据				地　址				数　据			
0	0	1	1	0	0	1	1	1	0	1	1	0	1	0	0
0	1	0	0	0	1	0	0	1	1	0	0	0	0	1	1
0	1	0	1	0	1	1	1	1	1	0	1	0	1	0	1
0	1	1	0	1	0	0	0	1	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1

表 T1.7(b)　74HC194A 的功能表

R'_D	S_1	S_0	工作状态
0	×	×	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

八、在图 T1.8 由 555 定时器组成的单稳态电路中，电路参数如图中所注，输入信号波形如图中所给出。要求

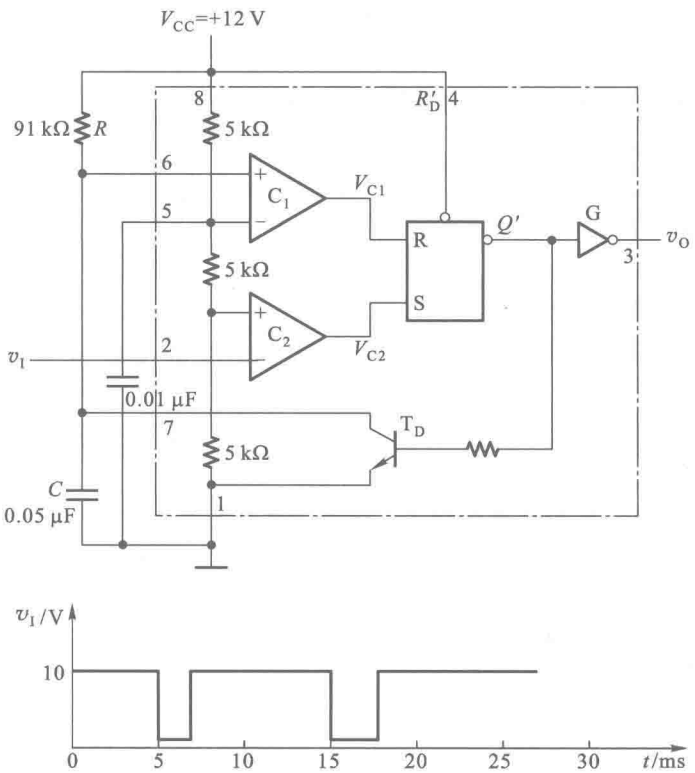


图 T1.8

1. 画出输出电压波形，计算输出脉冲宽度；

2. 若输入信号低电平宽度为 7 ms，输出波形将变成什么样子？

3. 若输入信号的幅度只有 3 V（高电平为 3 V，低电平为 0 V），电路能否工作？如不能工作，怎样解决？（10 分）

试卷 1 答案

一、1. 在有 n 个变量的逻辑函数中，若 m 为包含 n 个因子的乘积项，而且这 n 个变量均以原变量或反变量形式在 m 中出现一次，则称 m 为该组变量的一个最小项。

2. 逻辑函数中取值恒为 0 的最小项，称为约束项。取值可以为 **1**，也可以为 **0** 的最小项称为任意项。约束项和任意项统称为逻辑函数式中的无关项，即可以写入式中，也可以不写入式中。

3. 功耗低。

4. 逻辑功能的不同在于，组合逻辑电路任一时刻的输出仅仅取决于当时的输入，而时序逻辑电路任一时刻的输出不仅与当时的输入有关，还和电路以前的输入有关。在电路结构上的不同在于，组合逻辑电路中不包含存储电路，而时序逻辑电路中必然含有存储电路，而且存储电路的状态和输入共同决定时序电路的输出。

5. 在同步时序逻辑电路中，所有触发器状态的变化都是在同一个时钟信号操作下同时发生的。而在异步时序逻辑电路中，各触发器状态发生变化不全是在同一个时钟信号操作下，所以不是同时完成的。

6. 常用的描述方法有方程组、状态转换表、状态转换图、时序图和硬件描述语言。回答出以上几种方法即可。

实际上逻辑图本身就是一种逻辑功能的描述方式，但由于它不够直观，所以一般需要转换为上面的几种描述方法。因此，答案中也可以包括逻辑图，也可以不包括逻辑图。

7. ROM 在正常工作状态下只能从中读取已存好的数据，不能随时改写。而 RAM 在正常工作状态下可以随时读出和写入数据。

8. 主要由参考电压的波动、求和放大器的零点漂移和电阻网络中电阻的偏差所造成的。

9. 并联比较型 A/D 转换器的转换速度最快，双积分型 A/D 转换器的稳定性和抗干扰能力最好。

10. PLD 的基本特征是它的逻辑功能可以由用户通过对器件编程来设定。

本题共 20 分，每个小题占 2 分。如果只答对部分内容，一个小题可给 1 分。

二、$Y_1=((A'B)'+(A'C)')'=A'BC$

$Y_2=(A'+B)'+(A+C')'=AB'+A'C$

本题共 10 分每个小题 5 分。每个小题当中如果逻辑式写对了但未化成最简**与-或**式，扣 2 分。

三、$R_{L(max)}=\dfrac{V_{CC}-V_{OH}}{3I_{OH}+8I_{IH}}$

$$=\frac{5-3}{3\times0.2+8\times0.02}\ \text{k}\Omega$$

$$=2.63\ \text{k}\Omega$$

$$R_{\text{L(min)}}=\frac{V_{\text{CC}}-V_{\text{OL}}}{I_{\text{LM}}-5\,|I_{\text{IL}}|}$$

$$=\frac{5-0.3}{10-5\times1}\ \text{k}\Omega$$

$$=0.94\ \text{k}\Omega$$

故 R_{L} 取值范围应为

$$0.94\ \text{k}\Omega\leqslant R_{\text{L}}\leqslant2.63\ \text{k}\Omega$$

本题共 10 分，$R_{\text{L(max)}}$ 和 $R_{\text{L(min)}}$ 的计算各占 5 分。

在计算 $R_{\text{L(min)}}$ 时允许近似地认为 $V_{\text{OL}}\approx0$，得到 $R_{\text{L(min)}}=1\ \text{k}\Omega$。如将**或非**门的低电平输入电流算成 1 倍的 I_{IL}，则扣 2 分。

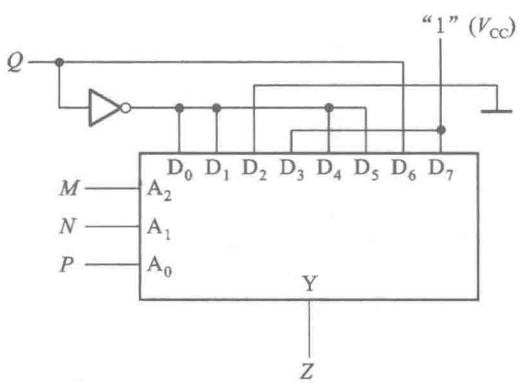
四、将函数 Z 化为最小项之和形式

$$Z=M'N'P'Q'+M'N'PQ'+M'NPQ'+M'NPQ+MN'P'Q'+MN'PQ'$$
$$+MNP'Q+MNPQ'+MNPQ$$

再将上式化成与八选一数据选择器的逻辑式相对应的形式

$$Z=M'N'P'\cdot Q'+M'N'P\cdot Q'+M'NP'\cdot\mathbf{0}+M'NP\cdot\mathbf{1}+MN'P'\cdot Q'$$
$$+MN'P\cdot Q'+MNP'\cdot Q+MNP\cdot\mathbf{1}$$

令数据选择器的 $A_2=M$，$A_1=N$，$A_0=P$，$D_0=D_1=D_4=D_5=Q'$，$D_6=Q$，$D_2=\mathbf{0}$，$D_3=D_7=\mathbf{1}$，则它的输出 Y 就等于所求的 Z。电路的连接如图解 1.4。



图解 1.4

本题共 10 分，写出正确的逻辑式得 5 分，画出正确的逻辑图得 5 分。属于笔误的错误每处扣 2 分。

本题采用分段评分的办法，即前一步骤的笔误已扣分之后，在此基础上继续做下去的方法和结果是对的，后边步骤的分数仍可得到。因为题目没有对 M、N、P、Q 的接入顺序做规定，所以采用不同接

入顺序答案也不同,这都是允许的。

五、驱动方程为

$$\begin{cases} J_1 = Q_3'; K_1 = 1 \\ J_2 = K_2 = Q_1 \\ J_3 = (Q_1' + Q_2')' = Q_1 Q_2; K_3 = 1 \end{cases}$$

状态方程为

$$\begin{cases} Q_1^* = Q_3' Q_1' \\ Q_2^* = Q_1 Q_2' + Q_1' Q_2 \\ Q_3^* = Q_1 Q_2 Q_3' \end{cases}$$

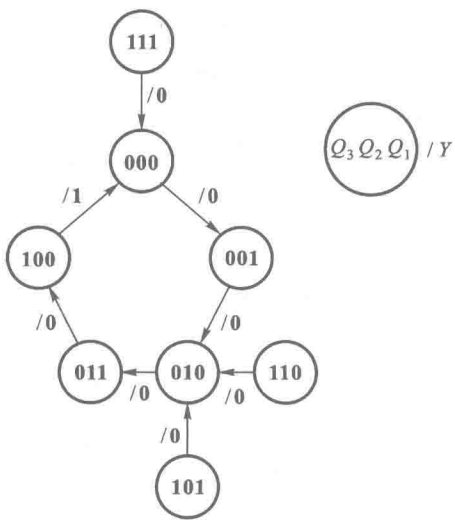
输出方程为

$$Y = Q_1' Q_2' Q_3$$

状态转换表及状态转换图如表解 1.5 及图解 1.5。

表解 1.5 图 T1.5 电路的状态转换表

CLK	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	0	0	0	0
0	1	0	1	0
1	0	1	0	0
0	1	1	0	0
1	0	1	0	0
0	1	1	1	0
1	0	0	0	0



图解 1.5

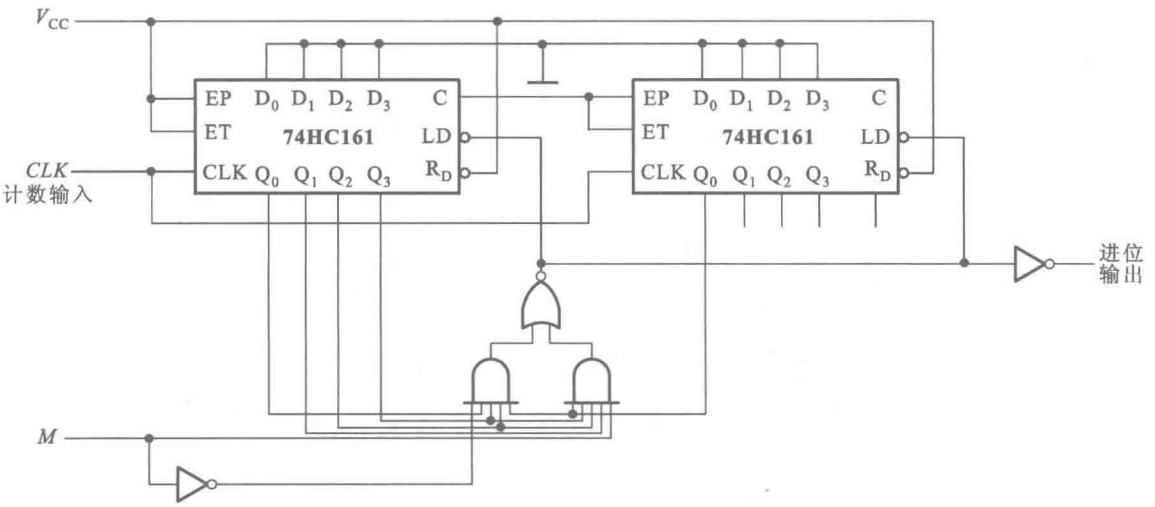
本题共 15 分,驱动方程 3 分(每个触发器的驱动方程 1 分),状态方程 3 分(每个触发器的状态方程 1 分),输出方程 1 分。状态转换表和状态转换图占 8 分,其中未计算并画出无效状态者扣 3 分。状态转换图上未注明输出者扣 2 分。

本题也采用分段评分的办法(具体做法见上题评分说明)。

六、电路图如图解 1.6。本题为设计性题目,故有多种正确答案,此处只给出了一种。

本题共 10 分。三十进制或三十一进制未接对者各扣 4 分,未标出计数输入端与进位输出端者各扣 1 分。进位输出端的反相器亦可不加。

如将 74HC161 误当作十进制计数器作的,即使做对了也只能得一半分数。



图解 1.6

七、表解 1.7 中给出了移位寄存器 74HC194A 的状态转换表，这也就是 ROM 地址转换顺序表，这些地址中的数据 $D_3D_2D_1D_0$ 就是 D/A 转换器 AD7520 的高四位数据输入。根据 v_O 的计算公式可知

$$v_O = -\frac{V_{REF}}{2^n}(d_{n-1}2^{n-1}+d_{n-2}2^{n-2}+\cdots+d_1 2^1+d_0 2^0)$$

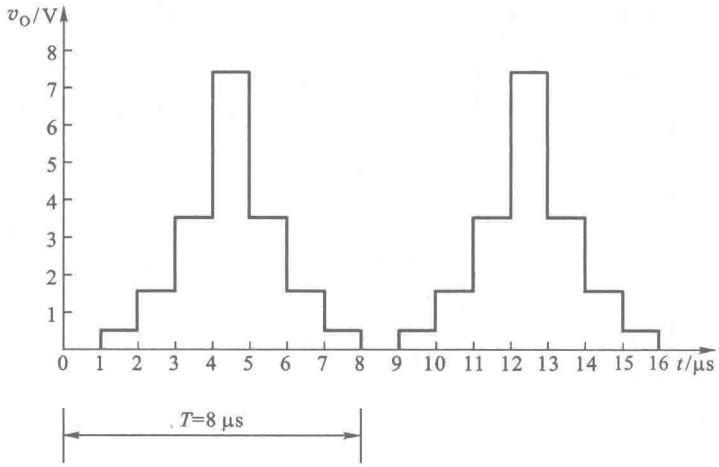
$$= \frac{1}{2}(D_3 2^3+D_2 2^2+D_1 2^1+D_0 2^0)$$

将 $D_3D_2D_1D_0$ 的数值代入上式求得的 v_O 值列于表解 1.7 中。

CLK 的周期即石英晶体振荡电路的振荡周期为 1 μs。根据表解 1.7 画出的 v_O 波形如图解 1.7。

表解 1.7

CLK	Q_0 (A_3	Q_1 A_2	Q_2 A_1	Q_3 A_0)		D_3	D_2	D_1	D_0	v_O/V
0	**0**	**0**	**0**	**0**	←	**0**	**0**	**0**	**0**	0
1	**1**	**0**	**0**	**0**		**0**	**0**	**0**	**1**	0.5
2	**1**	**1**	**0**	**0**		**0**	**0**	**1**	**1**	1.5
3	**1**	**1**	**1**	**0**		**0**	**1**	**1**	**1**	3.5
4	**1**	**1**	**1**	**1**		**1**	**1**	**1**	**1**	7.5
5	**0**	**1**	**1**	**1**		**0**	**1**	**1**	**1**	3.5
6	**0**	**0**	**1**	**1**		**0**	**0**	**1**	**1**	1.5
7	**0**	**0**	**0**	**1**		**0**	**0**	**0**	**1**	0.5
8	**0**	**0**	**0**	**0**		**0**	**0**	**0**	**0**	0



图解 1.7

本题共 15 分,采取分段评分的办法(见第四题评分说明)。分数的分配为 74HC194A 状态转换顺序占 4 分,ROM 的输出数据转换顺序表占 4 分,多谐振荡器振荡频率计算占 2 分,输出波形及幅值计算占 5 分。

八、输出电压波形如图解 1.8(a)所示。输出脉冲宽度为

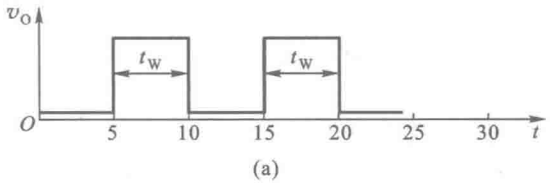
$$\begin{aligned} t_W &= 1.1RC \\ &= 1.1\times 91\times 10^3\times 0.05\times 10^{-6}\ \text{s} \\ &= 5\ \text{ms} \end{aligned}$$

若输入信号低电平宽度为 7 ms,则已经大于 t_W 的5 ms,电路已不能工作在单稳态的定时状态,输出脉冲的宽度将与输入脉冲的宽度相等,如图解 1.8(b)所示。

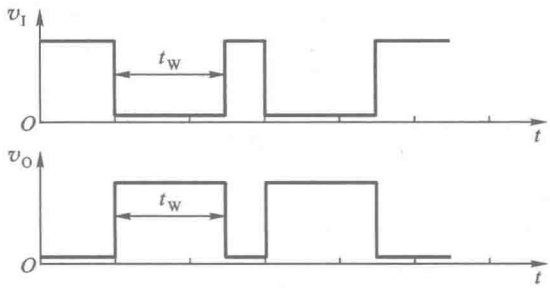
若输入信号幅度只有 3 V,则比较器 C_2 输出始终为低电平,电路无法正常工作。为了使电路能正常触发,可以将输入信号经同相放大器放大,或者在输入端增加分压电阻和隔离直流成分的电容,如图解 1.8(c)所示。

例如取 $R_1=220\ \text{k}\Omega$、$R_2=150\ \text{k}\Omega$,则没有触发信号时 P 点电位为4.9 V,仍高于 V_{R2}的4 V。当输入脉冲的下降沿到达时,能将 P 点电位拉至1 V,使单稳态电路触发。

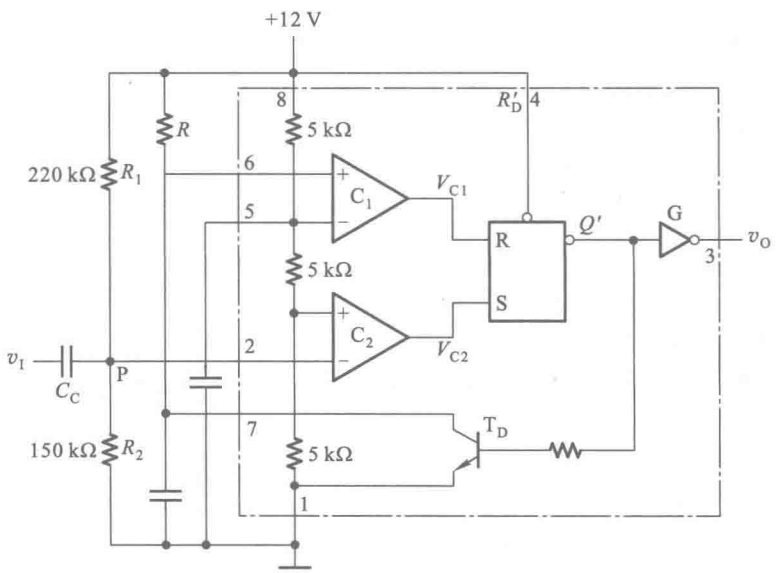
本题共 10 分,仍采取分段评分的办法。第 1 个问题(输出波形及宽度计算)占 4 分,第 2 个问题(输入脉冲宽度大于7 ms的情况)及第 3 个问题(输入脉冲幅度只有3 V的情况)各占 3 分。


v_O
t_W
t_W
O
5
10
15
20
25
30
t

(a)


v_I
t_W
O
t
v_O
t_W
O
t

(b)


+12 V
8
R'_D
4
R
5 kΩ
220 kΩ
R_1
6
C_1
V_{C1}
5
R
Q′
G
v_O
3
5 kΩ
S
C_2
V_{C2}
v_I
C_C
P
2
7
T_D
150 kΩ
R_2
5 kΩ
1

(c)

图解 1.8

试 卷 2

一、判断正误(完全正确的,在括号内画✓;有错误的,在括号内画×) (本题共 10 分)

1. 用高电平表示逻辑 **1** 状态、用低电平表示逻辑 **0** 状态,称为正逻辑。( )

2. 只有**与-或**形式的组合逻辑函数式才能化成最小项之和的形式。( )

3. 在有约束的逻辑函数中,约束项的取值可能是 **1**,也可能是 **0**。( )

4. 时序逻辑电路的结构当中一定含有存储电路。( )

5. 施密特触发电路有两个能自行保持的稳定状态。( )

6. 稳定多谐振荡电路振荡频率的最有效方法是提高电源的稳定度。( )

7. 具有 n 位地址输入和 m 位数据输出的 EPROM 可以产生一组有 m 个输出的 n 变量逻辑函数。( )

8. PLA 的基本电路结构是一个可编程的**与**逻辑阵列和一个可编程的**或**逻辑阵列。( )

9. 对在系统可编程逻辑器件进行编程时,需要使用专门的编程器。( )

10. 在各种电路结构类型的 A/D 转换器中,逐次渐近型 A/D 转换器的转换速度最快。( )

二、将下列函数化为最小项之和的形式 (本题共 10 分)

1. $Y(A,B,C)=A'BC'+AC$

2. $Y(A,B,C,D)=AC'D+B'CD'+ABCD$

三、将下列函数化为最简**与-或**表达式,方法不限 (本题共 15 分)

1. $Y_1=AB'+A'B+AB$

2. $Y_2=(A'D(A+D')+ABC+CD(B+C)+ABC')'$

3. $Y_3=A'C'D+A'BC+B'C'D$,约束条件为 $AB+AC=\mathbf{0}$

四、指出图 T2.4 中 TTL 门电路输出的状态(高电平在括号内填 H,低电平在括号内填 L,高阻态在括号内填 Z) (本题共 10 分)

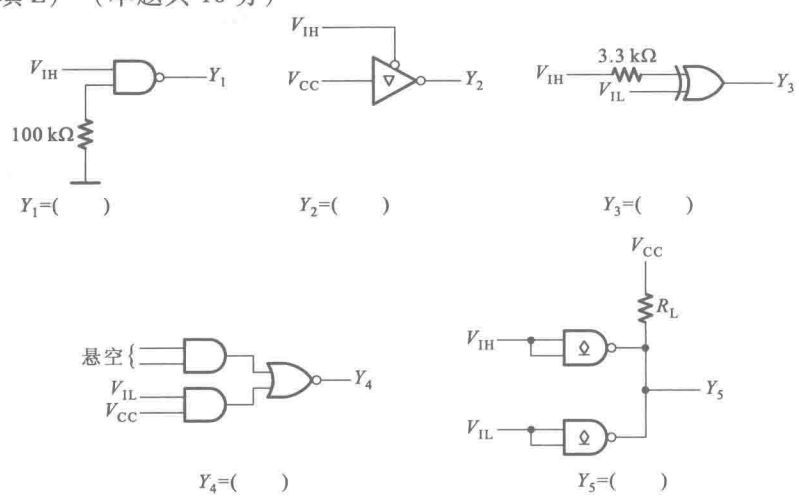


图 T2.4

五、用 4 选 1 数据选择器设计一个奇偶检测电路，输入为 3 位二进制代码。当输入代码中有奇数个 **1** 时输出为 **1**，而当输入代码中有偶数个 **1** 或者没有 **1** 时输出为 **0**。图 T2.5 为 4 选 1 数据选择器的框图，在 $S'=\mathbf{0}$ 时输出的逻辑函数式为

$$Y=A_1'A_0'D_0+A_1'A_0D_1+A_1A_0'D_2+A_1A_0D_3 \qquad (10\text{ 分})$$

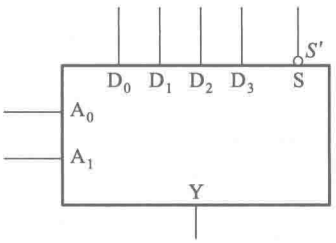


图 T2.5

六、用同步十六进制计数器 74HC161 设计一个可变进制的计数器。要求在控制信号 $M=\mathbf{0}$ 时为十二进制，在 $M=\mathbf{1}$ 时为十进制。请标明计数输入端和进位输出端。74HC161 的框图和功能表见图 T2.6 和表 T2.6　（本题共 10 分）

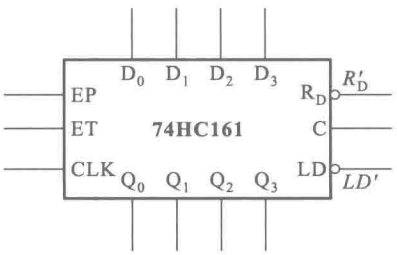


图 T2.6

表 T2.6　74HC161 的功能表

CLK	R_D'	*LD'*	*EP*	*ET*	工作状态
×	**0**	×	×	×	置零
↑	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持（包括 *C*）
×	**1**	**1**	×	**0**	保持（$C=\mathbf{0}$）
↑	**1**	**1**	**1**	**1**	计数

七、分析图 T2.7 给出的时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，列出电路的状态转换表，画出电路的状态转换图，指出电路能否自启动。　（本题共 15 分）

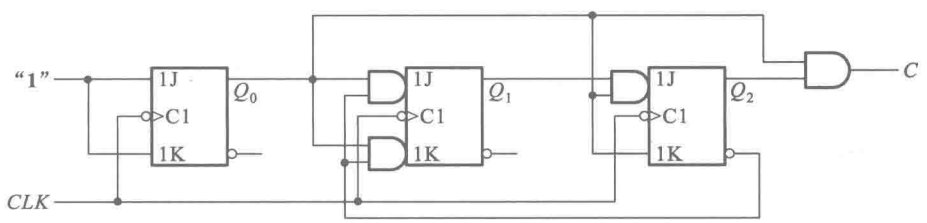


图 T2.7

八、图 T2.8 是用 D/A 转换器 AD7520、移位寄存器 74HC194A 和多谐振荡电路组成的波形发生器。试画出输出电压 v_0 的波形，标出波形上各点电压的幅值，并计算输出波形的周期。设 74HC194A 的初始状态为 $Q_0Q_1Q_2Q_3=\mathbf{1000}$。74HC194A 的功能表见表 T2.8。　（本题共 15 分）

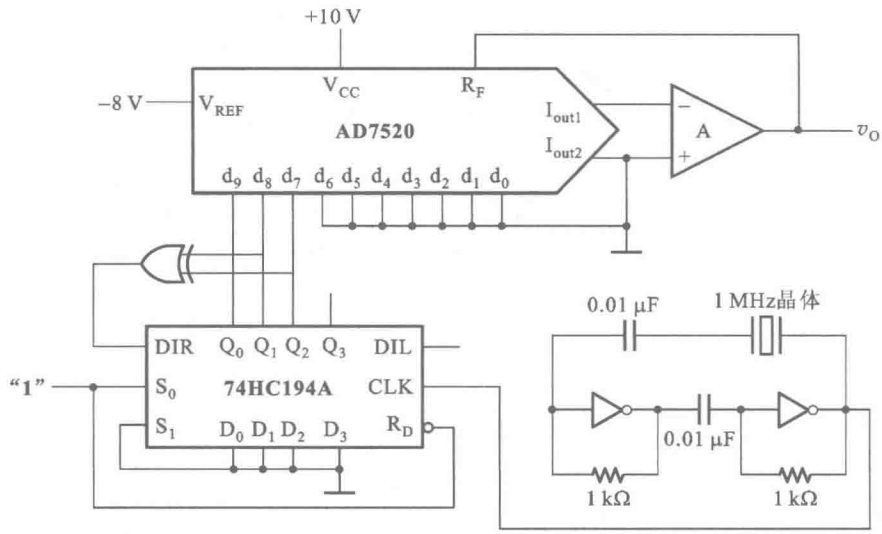


图 T2.8

表 T2.8　74HC194A 的功能表

R'_D	S_1	S_0	工作状态
0	×	×	置零
1	**0**	**0**	保持
1	**0**	**1**	右移
1	**1**	**0**	左移
1	**1**	**1**	并行输入

九、图 T2.9 是用 74 系列 TTL 反相器 7404 接成的多谐振荡电路和实验过程中观察到的输出电压波形。可以看到输出电压的矩形波发生了明显的畸变。试分析产生畸变的原因，并提出克服的方法。　（本题共 5 分）

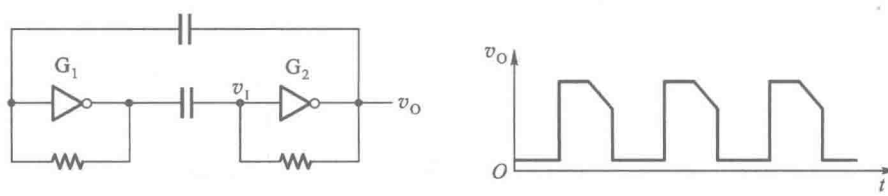


图 T2.9

试卷 2 答案

一、1(✓)；2(×)；3(×)；4(✓)；5(×)；6(×)；7(✓)；8(✓)；9(×)；10(×)。

每个小题答案正确得 1 分，不正确得 0 分。

二、1. $Y_1=A'BC'+AB'C+ABC$

2. $Y_2=AB'C'D+ABC'D+A'B'CD'+AB'CD'+ABCD$

本题共 10 分，每个小题占 5 分。发生一个笔误（例如解题方法是对的，只是漏写一个或错写一个“**非**”号）扣掉 1 分，不将该题分数全部扣掉。

三、1. $Y_1=A+B$

2. $Y_2=A'C'+A'D'+B'C'+B'D'$

3. $Y_3=BC+C'D$

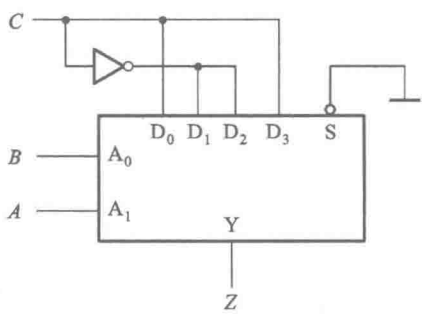
本题共 15 分，每个小题占 5 分。发生一处笔误（指化简方法和过程都是对的，只是误写了某个变量或“**非**”号）扣一分。

四、$Y_1=(\mathrm{L})$，$Y_2=(\mathrm{Z})$，$Y_3=(\mathrm{H})$，$Y_4=(\mathrm{L})$，$Y_5=(\mathrm{L})$。本题共 10 分，每个电路占 2 分。

五、电路的真值表和逻辑图分别为表解 2.5 和图解 2.5。

表解 2.5　真　值　表

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



图解 2.5

逻辑函数式为

$$Z=A'B'C+A'BC'+AB'C'+ABC$$

$$D_0=C,D_1=C',D_2=C',D_3=C$$

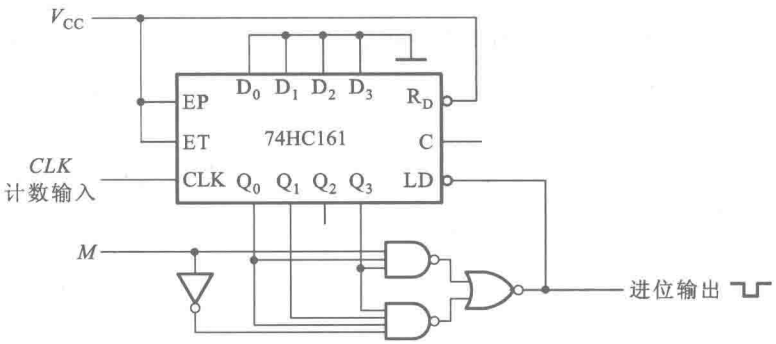
本题共 15 分，列对真值表得 4 分，写对逻辑式得 3 分，画对电路图得 3 分。如果直接写对了逻辑式而未经过列真值表这一步，则同时也给真值表的 4 分。S'未接低电平者在电路图的 3 分中扣掉 1 分。

本题采取分段评分的方法。如果前面的步骤有错（已经扣分），而在这个基础上继续做下去的方法、步骤和结果是对的，则仍然可以得到后面步骤的分数。例如真值表中有笔误，但按这个真值表写出的逻辑式是正确的，那么仍然得到写逻辑式的 3 分。

六、本题为设计性题目，有多种答案（例如既可以用置数法又可以用置零法，等等），图解 2.6 为其中的一种。

本题共 10 分。未标明输入端者扣 1 分。未标明正确的输出端者扣 2 分。按图解 2.6 接法，C 端没有进位输出信号，所以不能作为进位输出端。EP 和 ET 未接高电平者扣 2 分。

输出端也可以再加一个反相器，以正脉冲作进位输出信号。



图解 2.6

七、驱动方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 Q_2' \\ J_2 = Q_0 Q_1 ; K_2 = Q_0 \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q_0' \\ Q_1^* = Q_0 Q_2' Q_1' + (Q_0' + Q_2) Q_1 \\ Q_2^* = Q_0 Q_1 Q_2' + Q_0' Q_2 \end{cases}$$

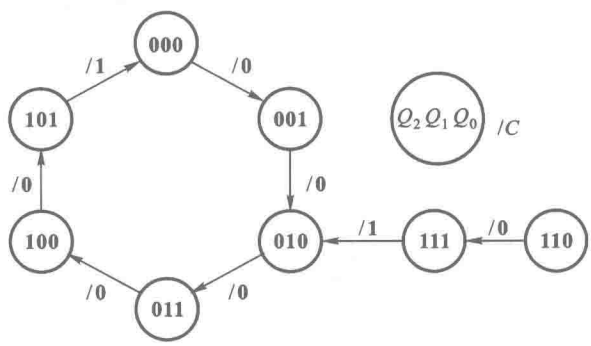
输出方程为

$$C = Q_0 Q_2$$

状态转换表和状态转换图分别为表解 2.7 和图解 2.7。

表解 2.7

CLK	Q_2	Q_1	Q_0	*C*
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	1
6	0	0	0	0
0	1	1	0	0
1	1	1	1	1
2	0	1	0	0



图解 2.7

本题共 15 分，驱动方程组共 3 分，其中每个触发器的驱动方程占 1 分。状态方程组共 3 分，其中每个方程占 1 分。输出方程 1 分。

状态转换表和状态转换图共 8 分，图中未画出无效状态者扣 2 分，未说出能否自启动者扣 2 分。

本题仍采用分段评分的方法（见第五题的评分办法说明）。

八、$v_O = -\dfrac{V_{REF}}{2^{10}}(d_9 2^9 + d_8 2^8 + d_7 2^7)$

$= -\dfrac{V_{REF}}{2^3}(Q_0 2^2 + Q_1 2^1 + Q_2 2^0)$

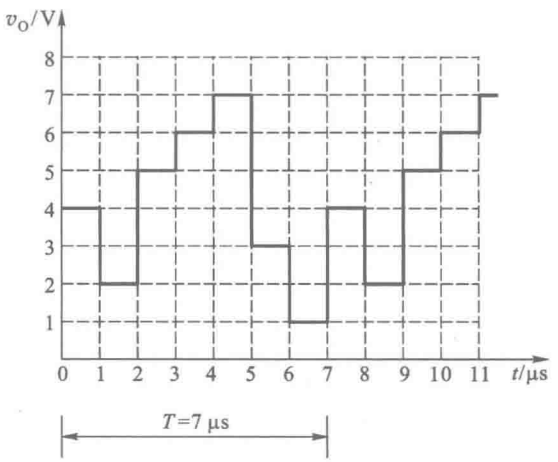
$= \dfrac{8}{2^3}(Q_0 2^2 + Q_1 2^1 + Q_2 2^0)$ V

多谐振荡电路的振荡频率为 1 MHz，振荡周期为 1 μs。输出波形周期 $T=7$ μs。

根据状态转换表（见表解 2.8）画出的 v_O 波形如图解 2.8。

表解 2.8　74HC194A 的状态转换表与对应的输出电压

CLK	Q_0	Q_1	Q_2	v_O/V
0	**1**	**0**	**0**	4
1	**0**	**1**	**0**	2
2	**1**	**0**	**1**	5
3	**1**	**1**	**0**	6
4	**1**	**1**	**1**	7
5	**0**	**1**	**1**	3
6	**0**	**0**	**1**	1
7	**1**	**0**	**0**	4



图解 2.8

74HC194A 的状态转换图占 5 分，波形图及各点电压幅值计算共 8 分，输出波形周期计算占 2 分。

只画出定性波形而未算出波形上各点具体的电压幅值者扣 3 分。波形正、负极性画反者扣 3 分。

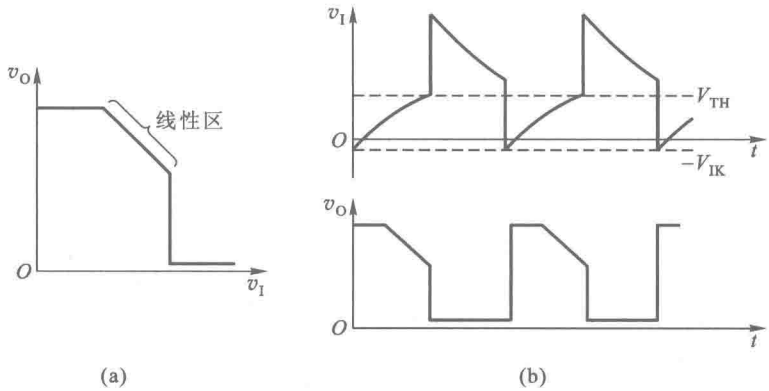
本题也采取分段评分的方法（见第五题的评分办法说明）。

九、根据《数字电子技术基础（第六版）》第 3.4.2 节的分析可知，74 系列 TTL 电路的电压传输特性上有一个线性区，如图解 2.9(a)所示。当图 T2.9 中反相器 G_2 的输入电压 v_I 从 $-V_{IK}$ 到 V_{TH} 逐渐上升的过程中，v_O 随 v_I 的变化曲线应当就是电压传输特性曲线，如图解 2.9(b)所示。因此，v_O 的波形应与电压传输特性一样，图 T2.9 中观察到的 v_O 波形是正常的。

为了改善输出电压波形，最简单的方法是在输出端增加一级反相器。由于在 v_O 的上升和下降过程中这个附加反相器的输入能快速通过 $-V_{IK}$ 到 V_{TH} 的区间，所以它的输出波形上就不会出现电压传输特性的线性区。

此外，也可以改用电压传输特性没有线性区的门电路构成这个振荡电路。不过需要注意的是为保证振荡频率不变，其他电路参数也应作相应的调整。

本题共 5 分，分析原因正确得 3 分，提出的改进方案可行得 2 分。



图解 2.9

试 卷 3

一、将下列函数化为最小项之和形式。 （10 分）

1. $Y(A,B,C)=AB'+B+AC'$

2. $Y(A,B,C)=(AB'C+C)'$

二、将下列函数化为最简**与-或**形式，方法不限。 （15 分）

1. $Y=A'B'+B'C+BC'$

2. $Y=AB+A'C+AD+BD+AD'+AB'EF+B'CEF$

3. $Y=A'B'C'D+A'B'CD'+AB'C'D+ACD'$，约束条件 $B'C'D'=0$。

三、下列门电路能否接成反相器使用？如果能，应如何连接？ （10 分）

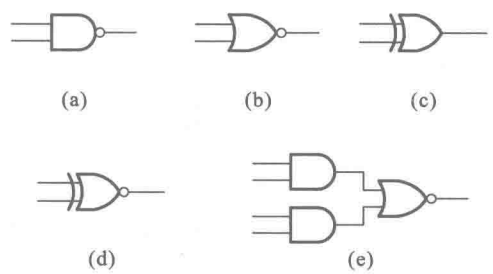


图 T3.3

四、用 8 选 1 数据选择器设计一个函数发生电路，当选择输入端 S_1、S_0 为不同状态时 Y 与 A、B 的关系如表 T3.4 所示。图 T3.4 是 8 选 1 数据选择器的框图，它的输出逻辑函数式为

$$\begin{aligned}W=&D_0(A_2'A_1'A_0')+D_1(A_2'A_1'A_0)+D_2(A_2'A_1A_0')\\&+D_3(A_2'A_1A_0)+D_4(A_2A_1'A_0')\\&+D_5(A_2A_1'A_0)+D_6(A_2A_1A_0')+D_7(A_2A_1A_0)\end{aligned}$$

（15 分）

表 T3.4

S_1	S_0	Y
0	**0**	AB
0	**1**	$A+B$
1	**0**	$A\oplus B$
1	**1**	A'

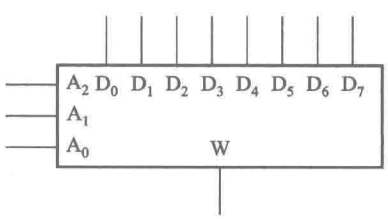


图 T3.4

五、分析图 T3.5 电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，列出电路的状态转换表，画出电路的状态转换图，指出电路能否自启动。 （15 分）

六、在图 T3.6 的脉冲电路中，已知 v_I 的电压波形如图中所示。电路参数如图中所注。要求

1. 画出 v_{O1}、v_{O2}的波形。

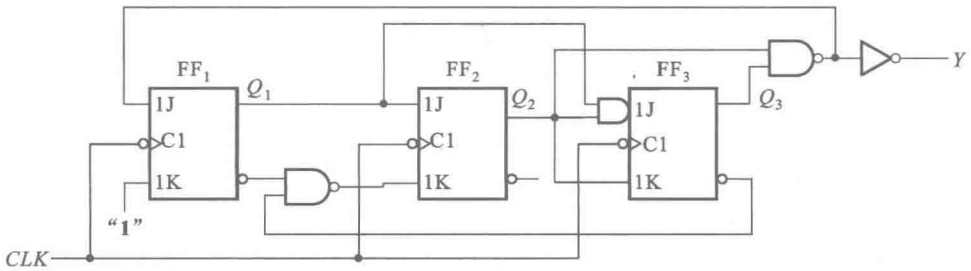


图 T3.5

2. 计算 v_{O2}的脉冲宽度,并在图上标出。 (10 分)

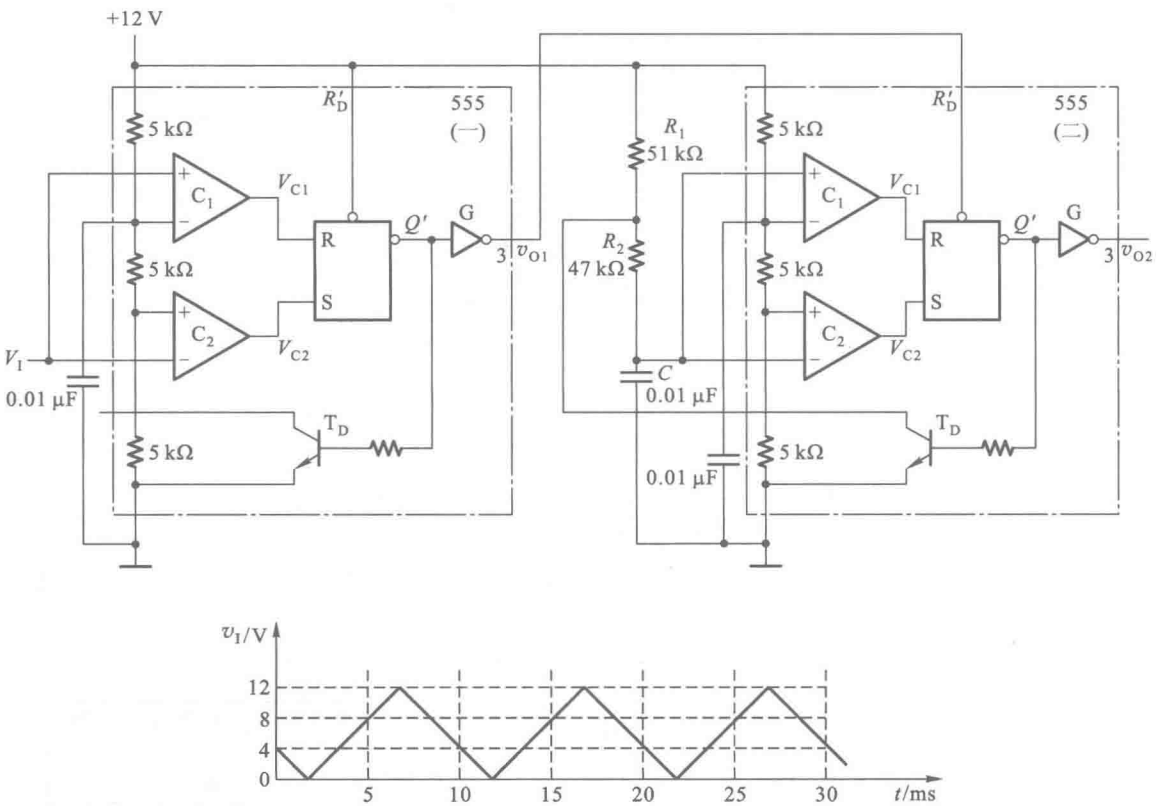


图 T3.6

七、图 T3.7 是由 D/A 转换器 CB7520、同步十六进制计数器 74HC161 和多谐振荡电路组成的波形发生电路。外接 $2R$ 电阻的阻值与倒 T 形电阻网络中的 $2R$ 电阻阻值相同。石英晶体的谐振频率为1 MHz。G_1、G_2、G_3 为 74 系列 TTL 门电路。74HC161 的功能如表 T3.7。试画出输出电压 v_O 的波形,标明波形上各点电压的幅度,并计算输出波形的周期。 (15 分)

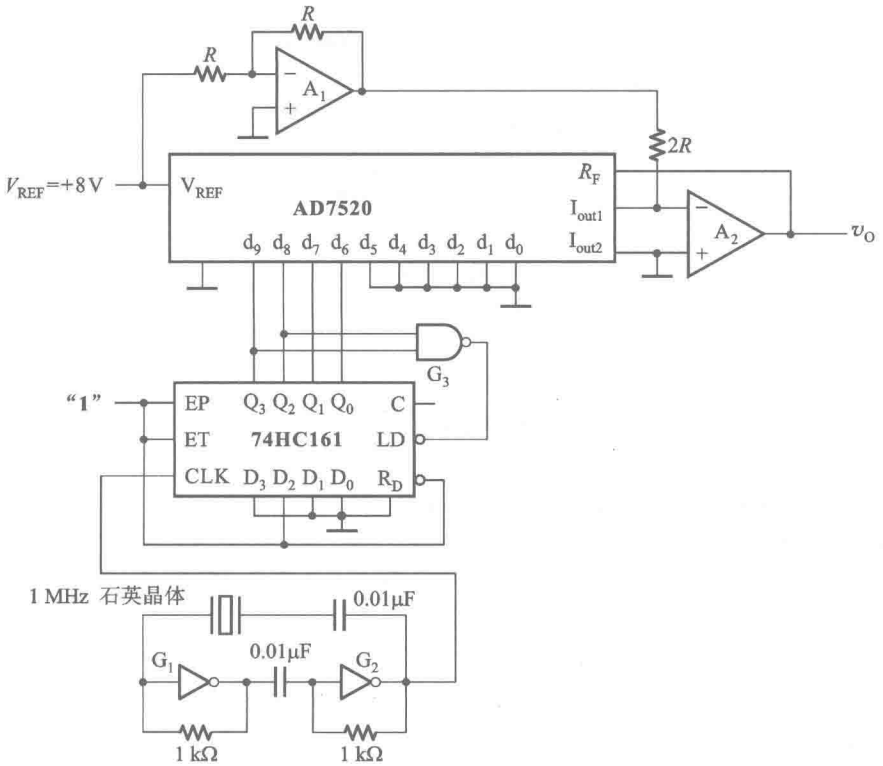


图 T3.7

表 T3.7　74HC161 的功能表

CLK	R'_D	*LD'*	*EP*	*ET*	工作状态
×	**0**	×	×	×	置零
↑	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持(但 $C=0$)
↑	**1**	**1**	**1**	**1**	计数

八、图 T3.8 是用 74LS04 TTL 反相器驱动功率三极管开关的电路。已知 74LS04 高电平输出电流最大允许值为 $I_{OH(max)}=-0.4$ mA,此时的输出高电平为 $V_{OH}=3.4$ V;低电平输出电流的最大允许值为 $I_{OL(max)}=8$ mA,此时的输出低电平为 $V_{OL}=0.35$ V。三极管开关电路的电路参数如图中所注,三极管 T 的电流放大系数为 $\beta=50$。要求当 74LS04 输出低电平时三极管 T 截止(V_{BE}为负压),而 74LS04 输出高电平时三极管 T 饱和导通。请核算一下三极管开关电路中电阻参数的选择是否合理。如果电阻参数选择不当,应如何修改这些电阻参数?　(10 分)

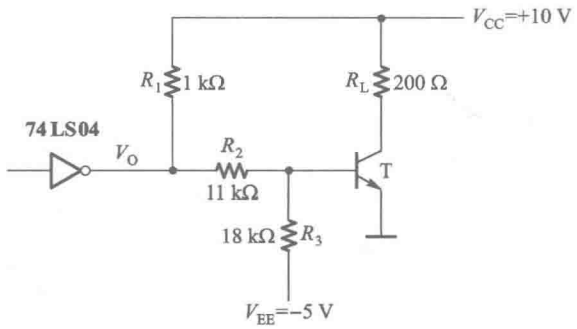


图 T3.8

试卷 3 答案

一、1. $Y=A'BC'+ABC+AB'C'+AB'C+ABC'+ABC$

2. $Y=A'B'C'+A'BC'+AB'C'+ABC'$

本题共 10 分,每个小题 5 分。发生一处笔误扣 2 分。

二、1. $Y=A'+B$

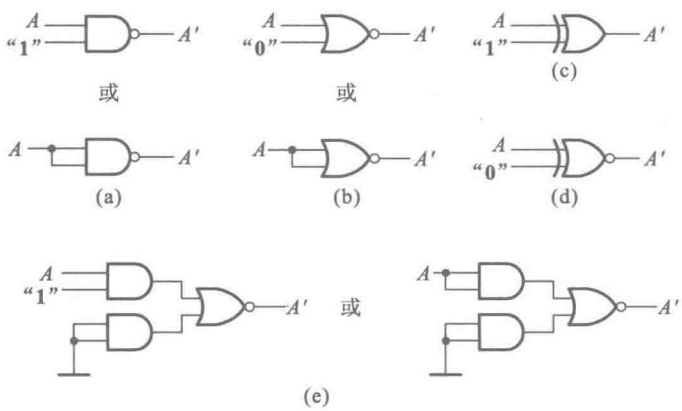
2. $Y=A+C+BD$

3. $Y=B'C+B'D'+ACD'$

本题共 15 分,每个小题 5 分。第 3 小题未利用约束项者得 0 分。发生一处笔误扣 2 分。

三、都可以接成反相器使用。电路接法见图解 3.3。

本题共 10 分,每个门电路占 2 分。

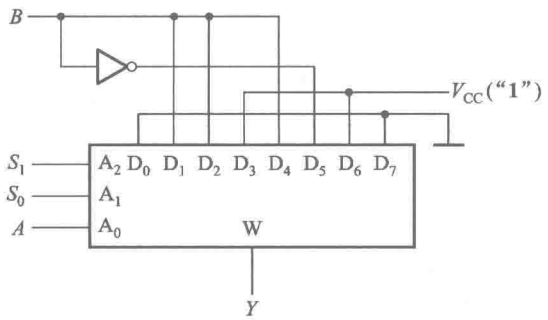


图解 3.3

四、由表 T3.4 可直接写出 Y 与 A、B、S_1、S_0 之间的逻辑函数式

$$\begin{aligned}Y&=S_1'S_0'(AB)+S_1'S_0(A+B)+S_1S_0'(A\oplus B)+S_1S_0A'\\&=S_1'S_0'AB+S_1'S_0A+S_1'S_0B+S_1S_0'A'B+S_1S_0'AB'+S_1S_0A'\\&=(S_1'S_0'A')\cdot\mathbf{0}+(S_1'S_0'A)\cdot B+(S_1'S_0A')\cdot B+(S_1'S_0A)\cdot\mathbf{1}\\&\quad+(S_1S_0'A')\cdot B+(S_1S_0'A)\cdot B'+(S_1S_0A')\cdot\mathbf{1}+(S_1S_0A)\cdot\mathbf{0}\end{aligned}$$

令数据选择器的输入为 $A_2=S_1$、$A_1=S_0$、$A_0=A$；$D_0=\mathbf{0}$、$D_1=B$、$D_2=B$、$D_3=\mathbf{1}$、$D_4=B$、$D_5=B'$、$D_6=\mathbf{1}$、$D_7=\mathbf{0}$，则 $W=Y$。电路连接如图解 3.4 所示。



图解 3.4

本题共 15 分，写对 Y 与 S_1、S_0、A、B 间关系的逻辑式（未经变换）得 5 分，经变换找出数据选择器每个输入端的接法得 5 分，画出逻辑图得 5 分。发生一处笔误扣 2 分。

因题目对 S_1、S_0、A、B 的接入顺序没有规定，所以本题可以有多种答案，都是允许的。

本题采用分段评分的办法。如果开始时写出的逻辑式有笔误（例如写错某个原变量或反变量）并已扣分，而在此基础上继续做下去的解题方法和结果是对的，则仍可得后续步骤的分数。

五、驱动方程为

$$\begin{cases} J_1=(Q_2Q_3)'; & K_1=\mathbf{1} \\ J_2=Q_1; & K_2=(Q_1'Q_3')' \\ J_3=Q_1Q_2; & K_3=Q_2 \end{cases}$$

状态方程为

$$\begin{cases} Q_1^*=(Q_2Q_3)'\cdot Q_1' \\ Q_2^*=Q_1Q_2'+Q_1'Q_3'Q_2 \\ Q_3^*=Q_1Q_2Q_3'+Q_2'Q_3 \end{cases}$$

输出方程为

$$Y=Q_2Q_3$$

状态转换表与状态转换图如表解 3.5 和图解 3.5。

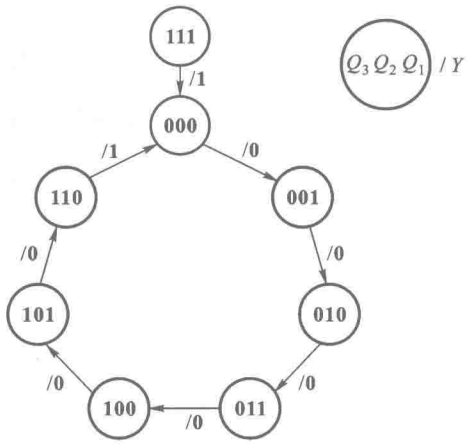
本题共 15 分，采取分段评分的办法（见上题评分说明）。驱动方程、状态方程各占 3 分，输出方程占 1 分。状态转换表和状态转换图共占 8 分。没有考虑存在无效状态者扣 2 分，状态转换图中未注输出者扣 2 分。

六、v_{O1} 及 v_{O2} 的波形如图解 3.6。第（一）个 555 接成了施密特触发电路，第（二）个 555 接成了多谐振荡电路。v_{O1} 为低电平时多谐振荡电路停振，v_{O1} 为高电平时多谐振荡电路工作。v_{O1} 高电平宽度等于5 ms。多谐振荡电路的振荡周期为

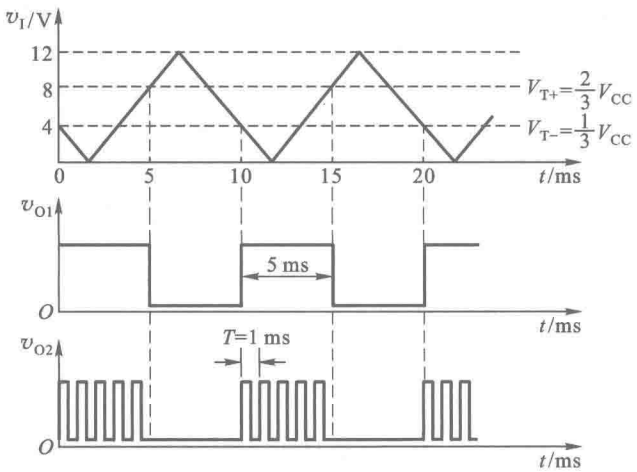
$$\begin{aligned} T&=(R_1+2R_2)C\ln 2 \\ &=(51\times10^3+2\times47\times10^3)\times0.01\times10^{-6}\times0.69\ \text{s} \\ &=1\ \text{ms} \end{aligned}$$

表解 3.5 图 T3.5 电路的状态转换表

CLK	Q_3	Q_2	Q_1	*Y*
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0



图解 3.5



图解 3.6

本题共 10 分，v_{O1}的波形占 3 分，v_{O2}的波形占 2 分，v_{O2}波形周期的计算占 5 分。

七、因为 74HC161 的状态 $Q_3Q_2Q_1Q_0$ 就是 A/D 转换器输入的数字量，所以首先应找出 74HC161 的状态循环。图中用 74HC161 的 **1100** 状态译出$LD'=0$信号，下一个 *CP* 到达时置入 **0100**，有效循环是一个九进制计数器，如图解3.7(a)所示。

计数器的 *CP* 信号由石英晶体振荡电路提供，周期等于 1 μs。输出波形周期 $T=9$ μs。

运算放大器 A_1 接成放大倍数为−1 的反相放大器，输出电压为−8 V。考虑到运算放大器 A_2 的输入端存在着偏置电流，输出电压应为

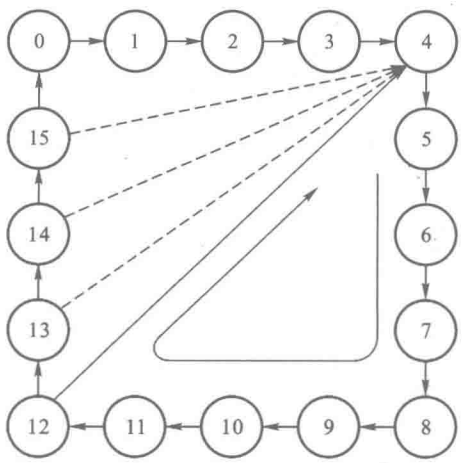
$$v_O=-\frac{V_{REF}}{2^n}\cdot D+\frac{V_{REF}}{2R}\cdot R$$

$$=-\frac{V_{REF}}{2^4}(Q_3 2^3+Q_2 2^2+Q_1 2^1+Q_0 2^0)+4$$

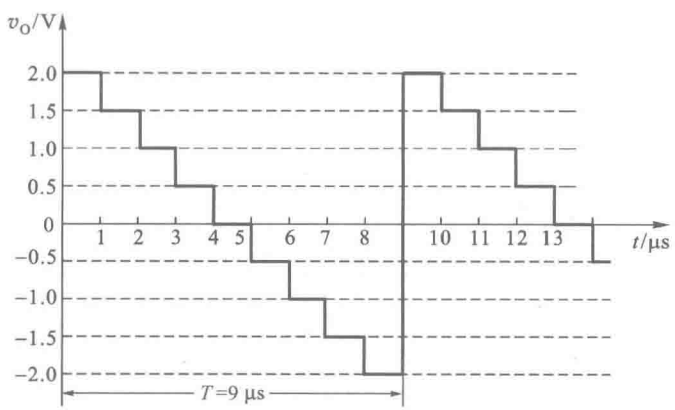
根据 74HC161 的状态转换顺序计算出对应的输出电压列于表解 3.7 中，画出的输出电压波形如图解 3.7(b)所示。

表解 3.7　74HC161 的状态转换表及对应的输出电压

CLK	Q_3 (d_9	Q_2 d_8	Q_1 d_7	Q_0 d_6)	v_O/V
0	**0**	**1**	**0**	**0**	2
1	**0**	**1**	**0**	**1**	1.5
2	**0**	**1**	**1**	**0**	1
3	**0**	**1**	**1**	**1**	0.5
4	**1**	**0**	**0**	**0**	0
5	**1**	**0**	**0**	**1**	−0.5
6	**1**	**0**	**1**	**0**	−1.0
7	**1**	**0**	**1**	**1**	−1.5
8	**1**	**1**	**0**	**0**	−2.0
9	**0**	**1**	**0**	**0**	2



(a)



(b)

图解 3.7

本题共 15 分，采用分段评分的办法。74HC161 的状态循环占 5 分，输出电压波形及幅度计算占 8 分，输出波形周期计算占 2 分。

只定性地画出了输出电压波形而未算出各点电压幅度或算错数值，扣2~4 分。如果未计算输出偏移量，其余的解法都是对的，扣 4 分。波形的正、负画反了扣 3 分。

八、1. 首先验算当 7404 输出为低电平 $V_{OL}=0.35$ V 时，三极管的 V_{BE}是否为负值。

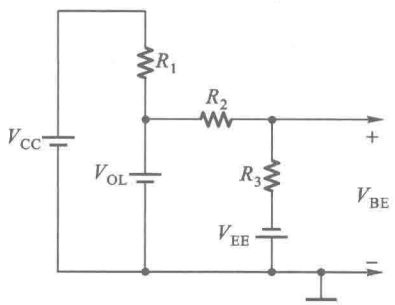
图解 3.8(a)是 7404 输出为低电平 V_{OL}时三极管发射极与基极之间的外电路。如果忽略 V_{OL}的输出电阻，则得到

$$\begin{aligned}V_{BE}&=V_{OL}-\frac{V_{OL}-V_{EE}}{R_2+R_3}R_2\\&=\left(0.35-\frac{0.35+5}{11+18}\times 11\right)\ \text{V}\\&=-1.68\ \text{V}<0\end{aligned}$$

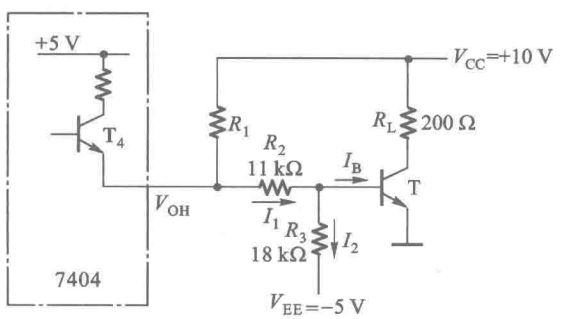
故 V_{BE}为负值，可以保证三极管可靠截止。

但这时流过 7404 的负载电流为

$$\begin{aligned}I_{OL}&=\frac{V_{CC}-V_{OL}}{R_1}-\frac{V_{OL}-V_{EE}}{R_2+R_3}\\&=\left(\frac{10-0.35}{1}-\frac{0.35+5}{11+18}\right)\ \text{mA}\\&=9.47\ \text{mA}>I_{OL(max)}\end{aligned}\qquad\text{(A3.8.1)}$$



(a)



(b)

图解 3.8

可见，R_1 值选得过小，应将它的阻值加大，以保证 $I_{OL} \leqslant 8$ mA。

在 $I_{OL} \leqslant 8$ mA 的前提下，由式(A3.8.1)得到

$$R_1 \geqslant \frac{V_{CC}-V_{OL}}{I_{OL(max)}+(V_{OL}-V_{EE})/(R_2+R_3)}$$

$$=\frac{10-0.35}{8+0.18}\ \text{k}\Omega$$

$$=1.2\ \text{k}\Omega$$

依据上面的计算，例如可取 $R_1=2$ kΩ。

2. 其次验算当 7404 输出为高电平 $V_{OH}=3.4$ V时，三极管是否能饱和导通。

在 TTL 电路的输出端接有上拉电阻的情况下，首先需要判断输出高电平时 T_4 管是否处于截止状态。由图解 3.8(b)可见，当外接电源 V_{CC} 经 R_1 加到 V_O 端的电压高于 3.6 V 以后，T_4 将截止。这时 V_O 的数值完全由外电路决定。

在 7404 的输出端和三极管 T 的 be 结均处于开路状态下，可以求出 7404 的 V_O 和三极管基极电位 V_B 分别为

$$V_O=V_{CC}-\frac{V_{CC}-V_{EE}}{R_1+R_2+R_3}R_1$$

$$=\left(10-\frac{10+5}{1+11+18}\times 1\right)\ \text{V}$$

$$=9.5\ \text{V}$$

$$V_B=V_{CC}-\frac{V_{CC}-V_{EE}}{R_1+R_2+R_3}(R_1+R_2)$$

$$=\left[10-\frac{10+5}{1+11+18}\times(1+11)\right]\ \text{V}$$

$$=4\ \text{V}$$

因此，7404 输出端的 T_4 是截止的，而三极管的 be 结将导通。be 结导通后，V_B 被钳在 0.7 V，这时 V_O 的电位将变为

$$V_O=V_{CC}-\frac{V_{CC}-V_{BE}}{R_1+R_2}R_1$$

$$=\left(10-\frac{10-0.7}{1+11}\times 1\right)\ \text{V}$$

$$=9.2\ \text{V}$$

故 7404 的 T_4 仍处于截止状态。

由图解 3.8(b)可知，在给定参数下三极管 T 的基极电流为

$$I_B=I_1-I_2$$

$$=\frac{V_{CC}-V_{BE}}{R_1+R_2}-\frac{V_{BE}-V_{EE}}{R_3}$$

$$=\left(\frac{10-0.7}{1+11}-\frac{0.7+5}{18}\right)\ \text{mA}$$

$$=0.46\ \text{mA}$$

而三极管T的临界饱和基极电流为

$$I_{BS}=\frac{V_{CC}}{\beta R_L}$$

$$=\frac{10}{50\times 0.2}\ \text{mA}$$

$$=1\ \text{mA}$$

显然 $I_B<I_{BS}$，三极管T不能进入饱和导通状态。为此，必须减小 R_2 的阻值，以满足

$$I_1-I_2>I_{BS}$$

即

$$\frac{V_{CC}-V_{BE}}{R_1+R_2}-\frac{V_{BE}-V_{EE}}{R_3}>I_{BS}$$

$$R_1+R_2<\frac{V_{CC}-V_{BE}}{I_{BS}+(V_{BE}-V_{EE})/R_3}$$

$$=\frac{10-0.7}{1+0.32}\ \text{k}\Omega$$

$$=7\ \text{k}\Omega$$

如果前面已经选定 $R_1=2\ \text{k}\Omega$，则 $R_2<5\ \text{k}\Omega$。例如可选 $R_2=3.3\ \text{k}\Omega$。

将以上所做的分析归纳一下，得到如下结论：

第一，$V_O=V_{OL}$ 时三极管T可以可靠截止，但因 R_1 值过小，7404的 I_{OL} 过大。解决的方法是将 R_1 加大，例如取为2 kΩ。

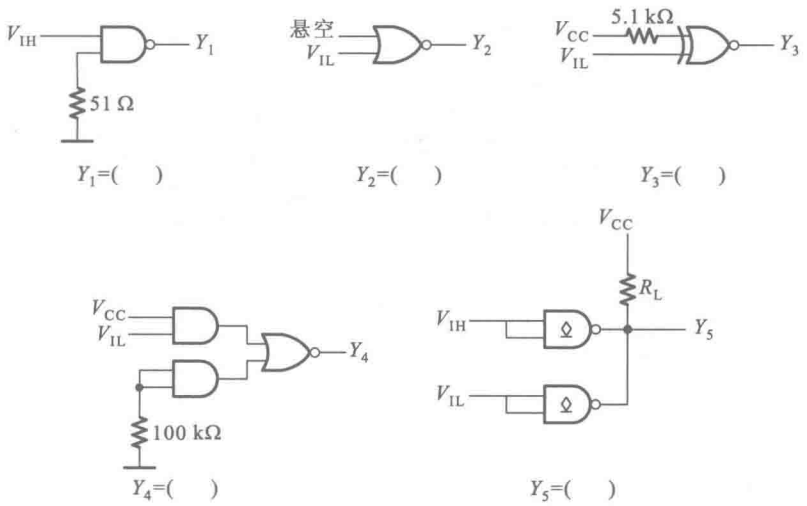
第二，$V_O=V_{OH}$ 时 $I_B<I_{BS}$，三极管T不能进入饱和状态。解决的方法是减小 R_2，例如可取 $R_2=3.3\ \text{k}\Omega$。

本题共10分，$V_O=V_{OL}$ 和 $V_O=V_{OH}$ 两种状态的计算各占5分。$V_O=V_{OL}$ 时只要算出 V_{BE} 为负，三极管能可靠截止即得3分。算出 I_{OL} 过大并指出应加大 R_1，得2分。不要求必须算出 R_1 的阻值允许范围。

$V_O=V_{OH}$ 时如以 $V_O=3.4\ \text{V}$ 计算，得0分。能正确计算出三极管T不处于饱和状态的，得3分；指出应减小 R_2 的，得2分。不要求一定算出 R_2 取值的允许范围。

试 卷 4

一、指出图 T4.1 中 74 系列 TTL 门电路的输出状态(低电平在括号内填 L,高电平在括号内填 H,高阻态在括号内填 Z)。 (本题共 10 分)

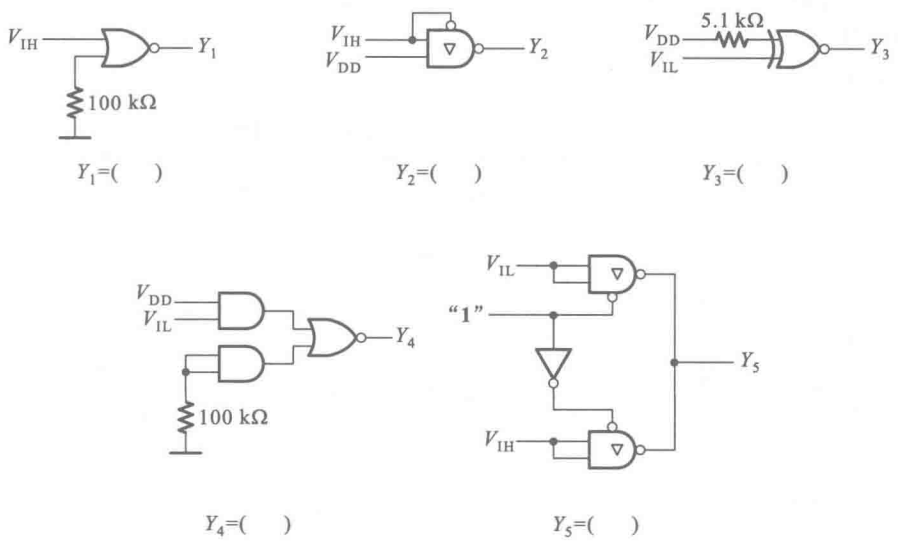


Y_1=( ) Y_2=( ) Y_3=( )

Y_4=( ) Y_5=( )

图 T4.1

二、指出图 T4.2 中 74HC 系列 CMOS 门电路的输出状态(低电平在括号内填 L,高电平在括号内填 H,高阻态在括号内填 Z)。 (本题共 10 分)



Y_1=( ) Y_2=( ) Y_3=( )

Y_4=( ) Y_5=( )

图 T4.2

三、写出图 T4.3 中各逻辑电路的逻辑函数式，并化为最简**与-或**形式。 （15 分）

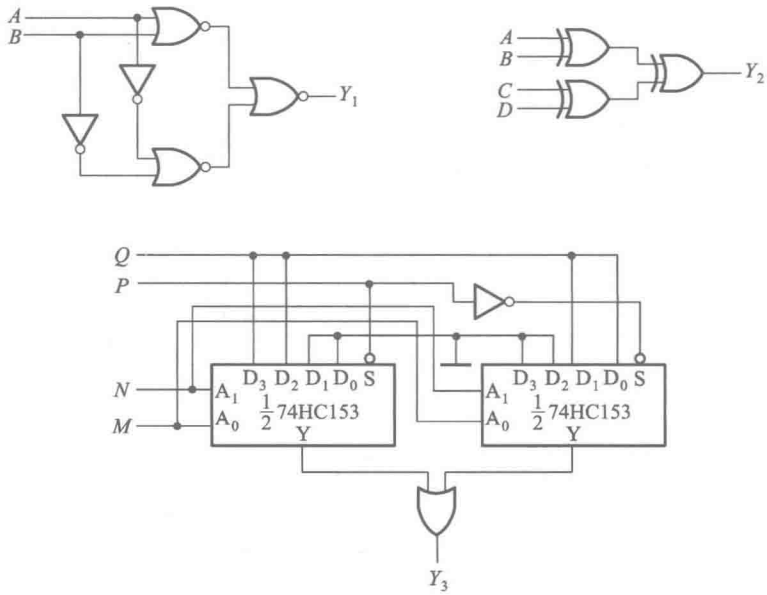


图 T4.3

图中 4 选 1 数据选择器$\frac{1}{2}$74HC153 输出的逻辑函数式为

$$Y=[D_0(A_1'A_0')+D_1(A_1'A_0)+D_2(A_1A_0')+D_3(A_1A_0)]S$$

四、设计一个补码发生器电路。当输入为负数时，控制信号$M=\mathbf{1}$，输出 $Y_3Y_2Y_1Y_0$ 是输入二进制数 $DCBA$ 的补码；而当输入为正数时，控制信号$M=\mathbf{0}$，输出与输入相同，即 $Y_3Y_2Y_1Y_0=DCBA$。请选用适当的中规模集成电路实现。可以附加必要的门电路，但电路应尽量简单。 （10 分）

五、用两片同步十六进制计数器 74HC161 设计一个五十三进制计数器，可以附加必要的门电路。请标明计数输入端和进位输出端。74HC161 的框图和功能表见图 T4.5 和表 T4.5。 （10 分）

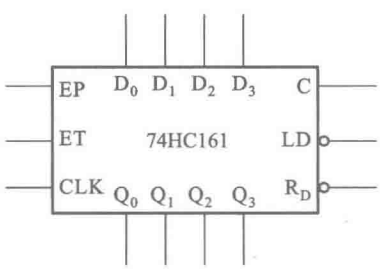


图 T4.5

表 T4.5 74HC161 的功能表

CLK	R_D'	*LD'*	*EP*	*ET*	工作状态
×	**0**	×	×	×	置零
↑	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持（但 $C=\mathbf{0}$）
↑	**1**	**1**	**1**	**1**	计数

六、分析图 T4.6 给出的时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，列出电路的状态转换表，画出电路的状态转换图。　（15 分）

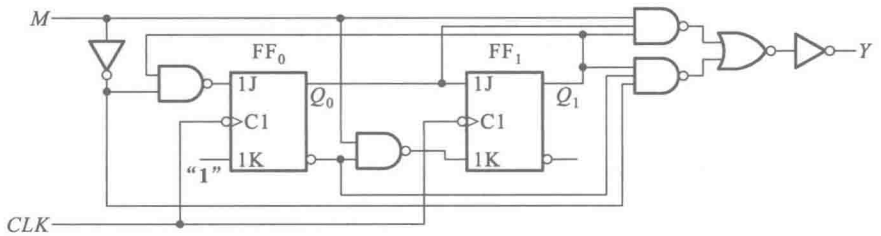


图 T4.6

七、画出图 T4.7 电路中 v_{O1}、v_{O2} 的波形，并计算 v_{O1} 输出脉冲的宽度和 v_{O2} 输出波形的周期。当 $V_{CC}=12$ V 时，555 定时器输出的高、低电平分别为 11 V 和 0.2 V，输出电阻小于 100 Ω。电路参数和输入电压波形如图所示。　（15 分）

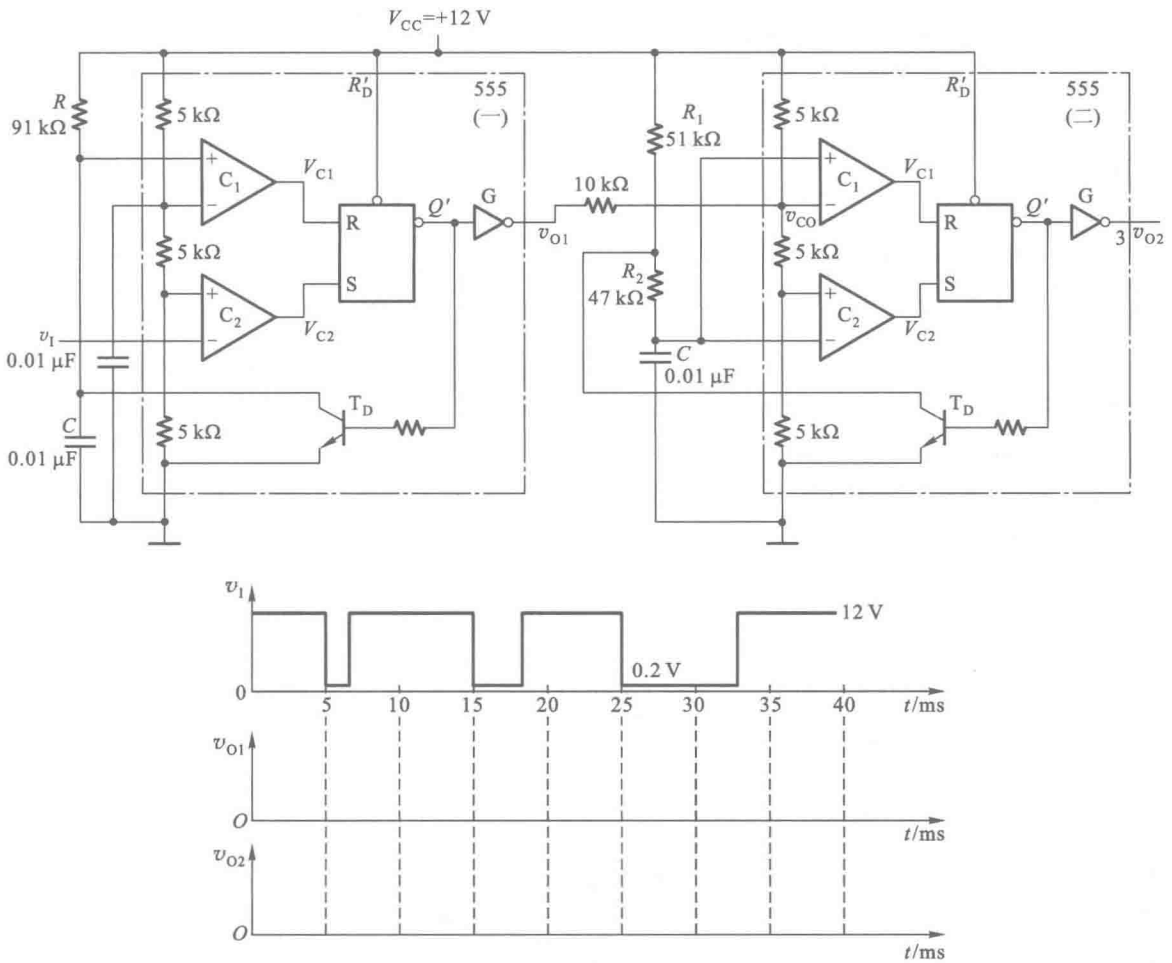


图 T4.7

八、在图 T4.8 的接口电路中，已知三极管的 β 为 100，导通时 $V_{BE}=0.7$ V，饱和压降为 $V_{CES}=0.1$ V；$R_C=4.7$ kΩ。OC 门允许的最大负载电流为 $I_{LM}=10$ mA，这时输出的低电平 $V_{OL}=0.1$ V。OC 门输出三极管截止时的漏电流为 $I_{OH}\leqslant 200$ μA。TTL 门电路的低电平输入电流为 $I_{IL}=-1.5$ mA，高电平输入电流为 $I_{IH}=20$ μA。

1. 要求三极管反相器输出 V_C 的高电平大于3.5 V，低电平低于0.3 V，试计算电阻 R_B 的取值范围。

2. 若将 OC 门改为推拉式输出的**与非**门，会发生什么问题？ （15 分）

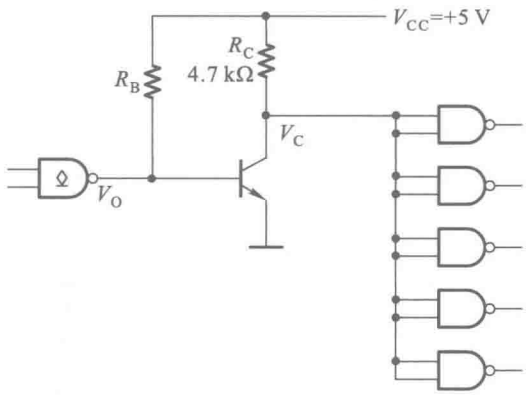


图 T4.8

试卷 4 答案

一、Y_1=(H)；Y_2=(L)；Y_3=(H)；Y_4=(L)；Y_5=(L)。

本题共 10 分，每个小题 2 分。

二、Y_1=(H)；Y_2=(Z)；Y_3=(L)；Y_4=(H)；Y_5=(L)。

本题共 10 分，每个小题 2 分。

三、$Y_1=A'B+AB'$

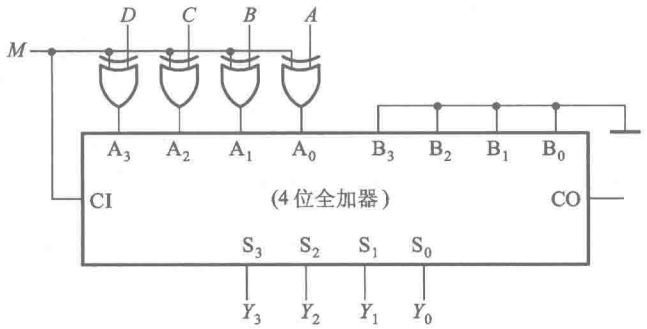
$Y_2=AB'C'D'+A'BC'D'+A'B'CD+A'B'C'D+A'BCD+AB'CD+ABC'D+ABCD'$

$Y_3=M'PQ+MP'Q$

本题共 15 分，每个小题 5 分。每个小题的逻辑式写对了而未化简，扣 3 分。

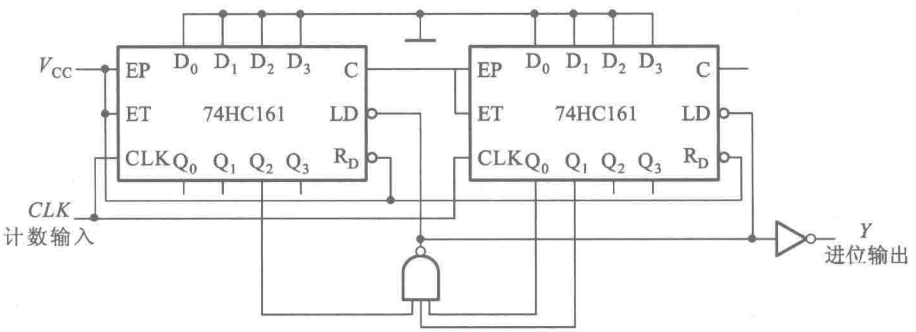
四、根据二进制数补码的定义，正数（$M=\mathbf{0}$ 时）时的补码与原码相同，负数（$M=\mathbf{1}$ 时）的补码等于原码各位求反后在末位加 **1**。可以用 4 位二进制加法器和四个**异或**门组成这个电路，如图解 4.4 所示。

因为该题为设计性题目，所以图解 4.4 不是唯一的答案。题目中已说明“电路应力求简单”，并要求“选用适当的中规模集成电路”，因而未选用 4 位全加器集成电路的不给分。未选用**异或**门求反的扣 2 分。本题满分为 10 分。



图解 4.4

五、本题为设计性题目，答案不是唯一的。图解 4.5 给出的答案采用了整体置数法。当高位片计为 3、低位片计为 4，即计入了 16×3+4=52 个 *CLK* 脉冲后，产生 $LD'=\mathbf{0}$ 信号，第 53 个 *CLK* 脉冲到达时，两片 74HC161 同时置为全零状态，故为五十三进制。



图解 4.5

本题共 10 分，未标出计数输入端扣 1 分，未正确标出进位输出端扣 2 分（注意，高位片的 *C* 端没有输出信号，不能作进位输出端用）。

如果将 74HC161 误看做十进制计数器了，即使按十进制计数器做对了，也只能得一半分数（最多得 5 分）。

六、电路的驱动方程为

$$\begin{cases} J_0=(M'Q_1)'; & K_0=\mathbf{1} \\ J_1=Q_0; & K_1=(MQ_0')' \end{cases}$$

状态方程为

$$\begin{cases} Q_0^*=(M'Q_1)'Q_0'=(M+Q_1')Q_0' \\ Q_1^*=Q_0Q_1'+MQ_0'Q_1 \end{cases}$$

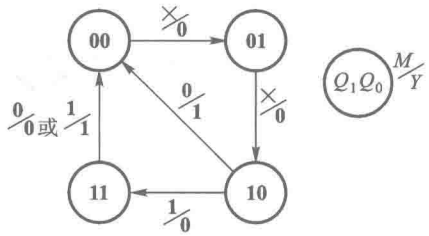
输出方程为

$$Y=MQ_1Q_0+M'Q_1Q_0'$$

状态转换表如表解 4.6，状态转换图如图解 4.6。

表解 4.6 图 T4.6 电路的状态转换表

$Q_1^*Q_0^*/Y$ 与 Q_1Q_0 与 M	00	01	10	11
1	01/0	10/0	11/0	00/1
0	01/0	10/0	00/1	00/0



图解 4.6

不难看出，当 $M=1$ 时图 T4.6 电路是四进制计数器，而当 $M=0$ 时电路是三进制计数器。

本题共 15 分，采用分段评分的办法，就是如果前面的步骤中发生了笔误并已扣分，而在这个基础上做下去的方法和结果是对的，则仍可得到后面步骤的分数。

状态方程占 4 分（每个触发器的状态方程 2 分），驱动方程占 2 分（每个触发器的驱动方程 1 分），输出方程占 1 分。状态转换表和状态转换图各占 4 分。状态转换图中没有正确标明输入/输出状态者，扣 2 分。

七、第（一）个 555 定时器工作在单稳态电路状态，第（二）个 555 定时器工作在多谐振荡电路状态。v_{O1} 输出脉冲的宽度为

$$\begin{aligned} t_W &= 1.1RC \\ &= 1.1\times 91\times 10^3\times 0.05\times 10^{-6}\ \text{s} \\ &= 5\ \text{ms} \end{aligned}$$

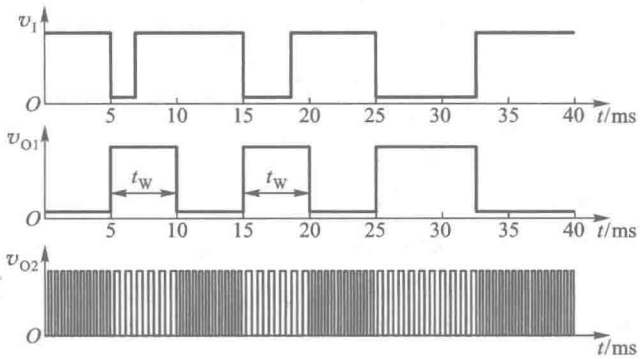
当 $v_{O1}=0.2$ V 时，根据电路计算可得 $V_{CO}=6$ V，故第（二）个 555 定时器的正、负向阈值电压分别为 $V_{T+}=6$ V、$V_{T-}=3$ V，它的振荡周期为

$$\begin{aligned} T_S &= (R_1+R_2)C\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}+R_2C\ln\frac{V_{T+}}{V_{T-}} \\ &= \left[(51+27)\times 10^3\times 0.01\times 10^{-6}\times\ln\frac{12-3}{12-6}\right. \\ &\quad \left.+27\times 10^3\times 0.01\times 10^{-6}\times\ln\frac{6}{3}\right]\ \text{s} \\ &= (0.312+0.186)\ \text{ms} \\ &= 0.5\ \text{ms} \end{aligned}$$

当 $v_{O1}=11$ V 时，根据电路计算可求得 $V_{CO}=8.8$ V，第（二）个 555 定时器的正、负向阈值电压各为 $V_{T+}=8.8$ V、$V_{T-}=4.4$ V，这时的振荡周期为

$$\begin{aligned} T_L &= \left[(51+27)\times 10^3\times 0.01\times 10^{-6}\times\ln\frac{12-4.4}{12-8.8}\right. \\ &\quad \left.+27\times 10^3\times 0.01\times 10^{-6}\times\ln\frac{8.8}{4.4}\right]\ \text{s} \\ &= (0.675+0.186)\ \text{ms} \\ &= 0.86\ \text{ms} \end{aligned}$$

v_{O1} 及 v_{O2} 的波形如图解 4.7 所示。



图解 4.7

本题共 15 分，采用分段评分的办法。v_{O1} 宽度计算、$v_{O1}=0.2$ V 时 v_{O2} 周期的计算、$v_{O1}=11$ V 时 v_{O2} 周期的计算、v_{O1} 的波形图、v_{O2} 的波形图各占 3 分。

计算方法正确而计算结果有误，每处扣 2 分。

v_I 低电平宽度大于 T_W 时，v_{O1} 高电平持续时间大于 T_W，与 v_I 低电平持续时间相等。此处画错者扣 2 分。

八、1. R_B 取值范围的计算：

OC 门导通时三极管截止，三极管反相器的输出为

$$\begin{aligned} V_C &= V_{CC} - 10 I_{IH} R_C \\ &= (5 - 10 \times 0.02 \times 4.7)\ \text{V} \\ &= 4.06\ \text{V} \end{aligned}$$

V_C 大于要求的 3.5 V，满足要求。但 R_B 不能太小，以保证 OC 门的电流不超过 I_{LM}。由此得到

$$\frac{V_{CC} - V_{OL}}{R_B} \leqslant I_{LM}$$

$$R_B \geqslant \frac{V_{CC} - V_{OL}}{I_{LM}} = \frac{5 - 0.1}{10}\ \text{k}\Omega = 490\ \Omega$$

OC 门截止时三极管导通。为保证三极管工作在饱和导通状态，I_B 必须大于临界饱和基极电流 I_{BS}，因此 R_B 不能过大。由于必须保证

$$I_B \geqslant I_{BS}$$

又知

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{1}{\beta}\left(\frac{V_{CC} - V_{CES}}{R_C} + 5 \mid I_{IL} \mid\right)$$

故得出

$$\frac{V_{CC} - V_{BE}}{R_B} \geqslant \frac{1}{\beta}\left(\frac{V_{CC} - V_{CES}}{R_C} + 5 \mid I_{IL} \mid\right)$$

$$R_B \leqslant \frac{\beta(V_{CC}-V_{BE})}{(V_{CC}-V_{CES})/R_C+5|I_{IL}|}$$
$$=\frac{100\times(5-0.7)}{(5-0.1)/4.7+5\times1.5}\ \text{k}\Omega$$
$$=50\ \text{k}\Omega$$

于是得到 R_B 的取值范围为

$$0.49\ \text{k}\Omega \leqslant R_B \leqslant 50\ \text{k}\Omega$$

2. 若将 OC 门改为推拉式输出的 TTL **与非**门，则由于三极管导通时发射结(be)的内阻极低，TTL **与非**门的负载电流将过大，会超出**与非**门最大允许的高电平输出电流。

本题共 15 分，R_B 最大允许值和最小允许值的计算各占 5 分，第(2)个问题的回答占 5 分。

计算 R_B 取值范围时，如计算公式正确而数值运算过程中发生笔误，每处扣 2 分。

试 卷 5

一、将下列逻辑函数展开为最小项之和的形式。 （10 分）

1. $Y(A,B,C)=A'BC+AC'+B'$

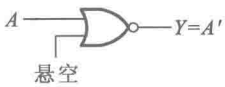
2. $Y(A,B,C,D)=A'BD+AC'D'+BCD$

二、将下列逻辑函数化为最简**与-或**式（方法不限）。 （10 分）

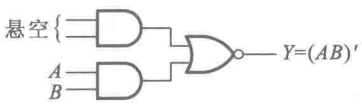
1. $Y(A,B,C,D)=AB'CD+ABD+AC'D$

2. $Y(A,B,C,D)=CD'(AB'+A'B)+A'BC'+A'C'D$；约束条件 $AB+CD=\mathbf{0}$。

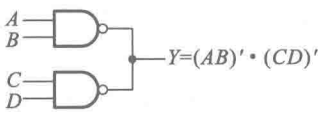
三、说明图 T5.3 中各电路能否正常工作。如果不能正常工作，请说明原因，并改正为可正常工作。 （15 分）



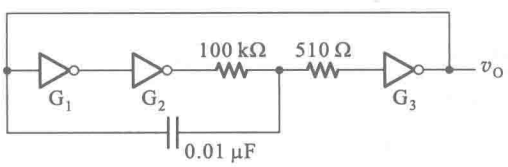
(a)



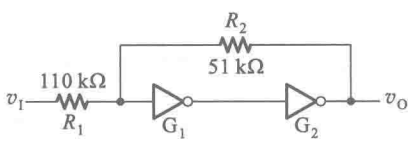
(b)



(c)



(d)



(e)

图 T5.3

（a）用 74HC 系列**或非**门接成反相器 （b）用 74 系列 TTL 与**或非**门接成**与非**门

（c）用 74 系列 TTL **与非**门（推拉式输出）接成**线与** （d）用 74 系列 TTL 反相器接成环形振荡器

（e）用 CMOS 反相器接成施密特触发器

四、用 8 选 1 数据选择器设计两位二进制数的数值比较电路。当两个输入的二进制数 $a_1a_0 \geqslant b_1b_0$ 时，输出为 **1**；而当 $a_1a_0 < b_1b_0$ 时，输出为 **0**。8 选 1 数据选择器的框图如图 T5.4，输出的逻辑式为

$$Y=(A_2'A_1'A_0')D_0+(A_2'A_1'A_0)D_1+(A_2'A_1A_0')D_2+(A_2'A_1A_0)D_3+$$
$$(A_2A_1'A_0')D_4+(A_2A_1'A_0)D_5+(A_2A_1A_0')D_6+(A_2A_1A_0)D_7 \qquad (15\text{ 分})$$

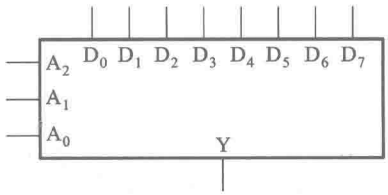


图 T5.4

五、分析图 T5.5 的时序逻辑电路，写出电路的驱动方程、状态方程和输出方程，列出电路的状态转换表，画出电路的状态转换图。 （15 分）

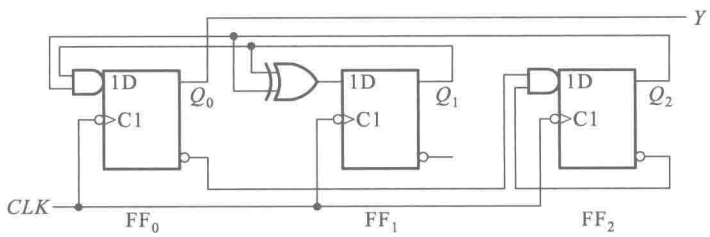


图 T5.5

六、用三片 8 线-3 线优先编码器 74HC148 组成 20 线-5 线优先编码器，将输入的低电平信号 $A_0'\sim A_{19}'$ 编为输出代码 **00000～10011**。A_0' 的优先权最低，A_{19}' 的优先权最高。要求画出电路的连接图，标明输入端和输出端。可以附加必要的门电路。

图 T5.6 为 74HC148 的框图。其中 Y_S' 的低电平输出信号表示“电路工作，但无编码输入”；Y_{EX}' 的低电平输出信号表示“电路工作，而且有编码输入”；$I_0'\sim I_7'$ 为输入，I_7' 的优先权最高，I_0' 的优先权最低；$Y_2'Y_1'Y_0'$ 为编码输出；S' 为片选输入端。 （15 分）

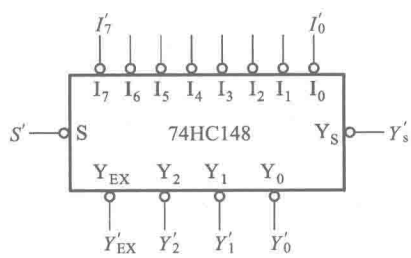


图 T5.6

七、图 T5.7 是用两片同步十六进制计数器 74HC161 接成的计数器。试说明接成的是几进制计数器，是同步计数器还是异步计数器？74HC161 的功能表见表 T5.7　（10 分）

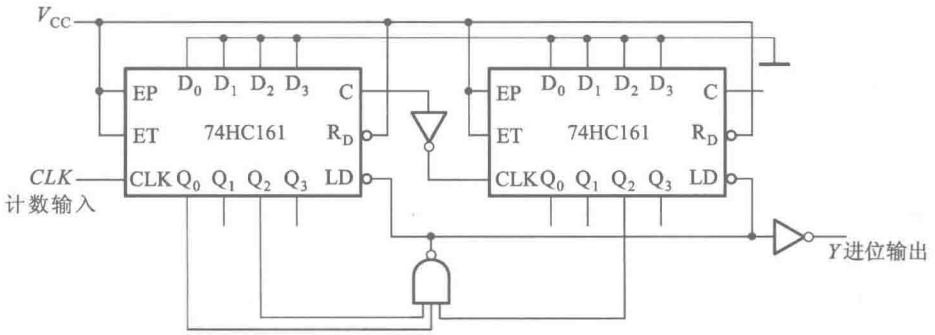


图 T5.7

表 T5.7　74HC161 的功能表

CLK	R_D'	*LD'*	*EP*	*ET*	工作状态
×	**0**	×	×	×	置零
⎍	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持(但 C=**0**)
⎍	**1**	**1**	**1**	**1**	计数

八、在图 T5.8 的增益可编程放大电路中，AD7520 是 10 位 D/A 转换器，$R_1 = 10R$（R 的阻值与 R-$2R$ 倒 T 形电阻网络中的电阻 R 阻值相同）。试写出计算电压放大倍数 $A_V = V_O/V_I$ 的公式，并求当D/A转换器输入的数字量从最小变到最大时，A_V 的变化范围。　（10 分）

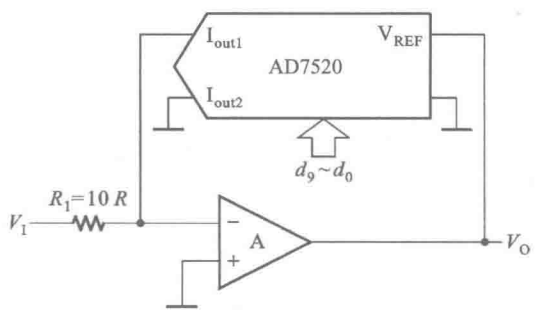


图 T5.8

试卷 5 答案

一、1. $Y(A,B,C) = A'BC+AB'C'+ABC'+A'B'C'+A'B'C+AB'C$

2. $Y(A,B,C,D) = A'BC'D+A'BCD+AB'C'D'+ABC'D'+ABCD$

本题共 10 分，每个小题 5 分。多写或少写一项扣 2 分。每发现一处笔误（例如多写或少写一个**非**号，或写错一个字母）扣 1 分。

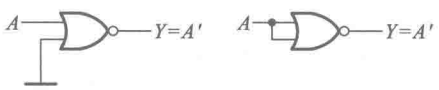
二、1. $Y=AD$

2. $Y=A'D+AC+B$

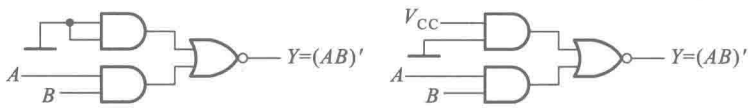
本题共 10 分，每个小题 5 分。第 2 小题未利用约束项化简者不给分。每个小题中发生笔误者扣 1~2 分。

三、(a)图电路不能正常工作，因为 CMOS 门电路输入端不可悬空。改正的方法可以将悬空的输入端直接接地（也可经电阻接地），或者与信号输入端并联。如图解 5.3(a)。

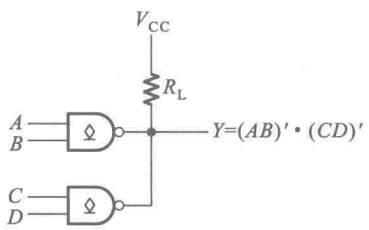
(b)图电路不能正常工作。因为 TTL 电路的输入端悬空时相当于接逻辑高电平，所以该电路的输出始终为逻辑低电平。改正的方法是将两个悬空输入端（或其中之一）接地（接逻辑低电平），如图解 5.3(b)。



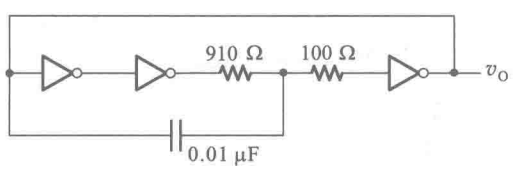
(a)



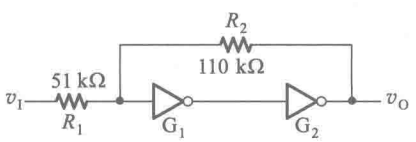
(b)



(c)



(d)



(e)

图解 5.3

(a) 用 74HC 系列**或非**门接成反相器 (b) 用 74 系列与**或非**门接成**与非**门 (c) 用 74 系列 TTL OC 门接成**线与** (d) 用 74 系列 TTL 反相器接成环形振荡器 (e) 用 CMOS 反相器接成施密特触发电路

(c)图电路不能正常工作。因为两个**与非**门是推拉式输出级电路结构,所以不能将输出端并联使用。改正的方法是将两个门电路改为 OC 结构的**与非**门,如图解 5.3(c)所示。

(d)图电路不能正常工作。因为 100 kΩ 电阻阻值过大,致使反相器 G_3 的输入始终处于高电平,所以电路将停振。改正的方法是将 100 kΩ 的电阻减小至 1 kΩ 以内,如图解 5.3(d)。

(e)图电路不能正常工作。由于 $R_1>R_2$,当 v_O 处于低电平时,无论 v_I 是高电平还是低电平,反相器 G_1 的输入端将一直处于阈值电压 $V_{TH}\left(\frac{1}{2}V_{DD}\right)$ 以下;而当 v_O 处于高电平时,无论 v_I 是高电平还是低电平,G_1 的输入将一直处于 V_{TH} 以上。因此 v_I 的变化不能改变电路的状态,即不能触发这个电路。改正的方法是减小 R_1 或加大 R_2,使 $R_1<R_2$。例如,可以将 R_1 与 R_2 对掉位置,如图解 5.3(e)。

本题共 15 分,每个小题 3 分。仅说明不能正常工作而没有说明原因并改正者,不给分。说明了原因而未改正,或改正的方法不正确,扣 1 分。

四、根据题意可列出电路的逻辑真值表,如表解 5.4。从这个真值表得到

$$Z=a_1'a_0'b_1'b_0'+a_1'a_0b_1'b_0'+a_1'a_0b_1'b_0+a_1a_0'b_1'b_0'+a_1a_0'b_1'b_0+a_1a_0'b_1b_0'+$$
$$a_1a_0b_1'b_0'+a_1a_0b_1'b_0+a_1a_0b_1b_0'+a_1a_0b_1b_0$$

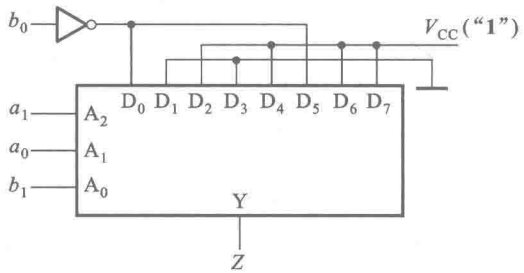
将上式整理成与数据选择器的输出逻辑式对应的形式

$$Z=(a_1'a_0'b_1')b_0'+(a_1'a_0'b_1)\cdot\mathbf{0}+(a_1'a_0b_1')\cdot\mathbf{1}+(a_1'a_0b_1)\cdot\mathbf{0}+$$
$$(a_1a_0'b_1')\cdot\mathbf{1}+(a_1a_0'b_1)b_0'+(a_1a_0b_1')\cdot\mathbf{1}+(a_1a_0b_1)\cdot\mathbf{1}$$

令 $A_2=a_1$,$A_1=a_0$,$A_0=b_1$,$D_0=b_0'$,$D_1=\mathbf{0}$,$D_2=\mathbf{1}$,$D_3=\mathbf{0}$,$D_4=\mathbf{1}$,$D_5=b_0'$,$D_6=\mathbf{1}$,$D_7=\mathbf{1}$,则数据选择器的输出 Y 就是所需要的 Z。电路连接如图解 5.4 所示。

表解 5.4　两位二进制数数值比较器的真值表

输　入				输出 Z
a_1	a_0	b_1	b_0	
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



图解 5.4

本题共 15 分，采用分段评分的办法。真值表、逻辑式、逻辑图各占 5 分。如果不经过列真值表直接写出逻辑式，则逻辑式占 10 分。若前面的步骤发生了笔误，而在此基础上继续做下去的方法和结果是对的，仍可得到后续步骤的分数。解题过程中每发生一处笔误扣 2 分。

五、电路的驱动方程为

$$\begin{cases} D_0 = Q_1 Q_2 \\ D_1 = Q_1 \oplus Q_2 \\ D_2 = Q_0' Q_2' \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q_1 Q_2 \\ Q_1^* = Q_1 \oplus Q_2 \\ Q_2^* = Q_0' Q_2' \end{cases}$$

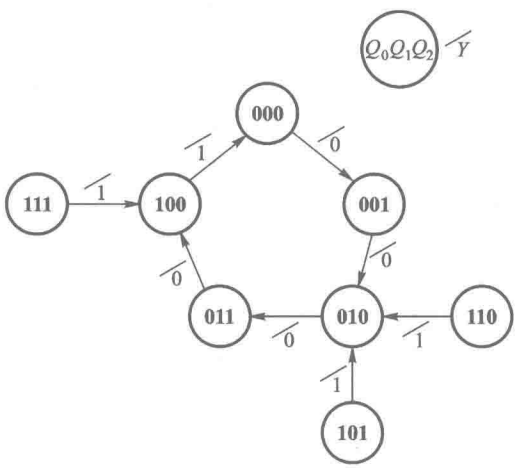
输出方程为

$$Y = Q_0$$

电路的状态转换表和状态转换图如表解 5.5 和图解 5.5。

表解 5.5 图 T5.5 电路的状态转换表

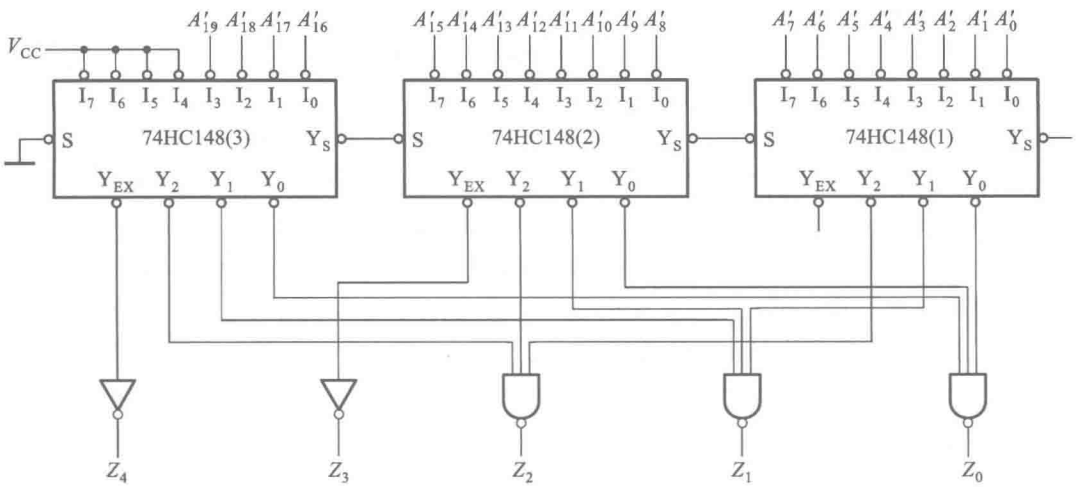
CLK	Q_0	Q_1	Q_2		*Y*
0	**0**	**0**	**0**	←	**0**
1	**0**	**0**	**1**		**0**
2	**0**	**1**	**0**	←	**0**
3	**0**	**1**	**1**		**0**
4	**1**	**0**	**0**	←	**1**
5	**0**	**0**	**0**		**0**
0	**1**	**0**	**1**		**1**
1	**0**	**1**	**0**		**0**
0	**1**	**1**	**0**		**1**
1	**0**	**1**	**0**		**0**
0	**1**	**1**	**1**		**1**
1	**1**	**0**	**0**		**1**



图解 5.5

本题共 15 分，采用分段评分的办法（见上题中说明）。驱动方程和状态方程各占 3 分，其中每个式子 1 分。输出方程占 1 分。状态转换表和状态转换图各占 4 分。未考虑无效状态者扣 2 分，状态转换图中未标明输出者扣 2 分。

六、首先将三片 74HC148 按优先顺序串联起来（如图解 5.6），则第（1）片的优先权最低，第（3）片的优先权最高。每片内部的优先顺序已固定，I'_0 优先权最低，I'_7 优先权最高。



图解 5.6

由于每片 74HC148 只有 3 位输出代码，而且三片的输出代码都是 **000～111**，所以只能提供 5 位输出编码的低 3 位，因而必须利用各片的 Y'_{EX} 输出信号产生高两位代码，以便区分三片 74HC148。

按照题目要求，第（1）片工作时（$Y_{EX1}=\mathbf{1}$，$Y_{EX2}=Y_{EX3}=\mathbf{0}$）输出代码应为 $Z_4Z_3Z_2Z_1Z_0=$ **00000～00111**，所以 Z_4Z_5 应为 **00**。第（2）片工作时（$Y_{EX2}=\mathbf{1}$，$Y_{EX1}=Y_{EX3}=\mathbf{0}$）输出代码应为 $Z_4Z_3Z_2Z_1Z_0=$ **01000～01111**，所以 Z_4Z_3 应为 **01**。第（3）片工作时（$Y_{EX3}=\mathbf{1}$，$Y_{EX1}=Y_{EX2}=\mathbf{0}$）输出代码应为 $Z_4Z_3Z_2Z_1Z_0=$ **10000～10111**，所以 Z_4Z_3 应为 **10**。由此得到 Z_4Z_3 与 Y_{EX1}、Y_{EX2}、Y_{EX3} 关系的真值表，如表解 5.6 所示。

表解 5.6　Z_4、Z_3 的真值表

Y_{EX3}	Y_{EX2}	Y_{EX1}	Z_4	Z_3
0	**0**	**1**	**0**	**0**
0	**1**	**0**	**0**	**1**
1	**0**	**0**	**1**	**0**

由上表可以写出

$$Z_4=Y_{EX3}Y'_{EX2}Y'_{EX1}$$
$$Z_3=Y'_{EX3}Y_{EX2}Y'_{EX1}$$

因为 Y_{EX3}、Y_{EX2}、Y_{EX1}是一组互相排斥的变量(即任何时候只能有一个为 **1**),故可将上两式化简为

$$Z_4 = Y_{EX3}$$
$$Z_3 = Y_{EX2}$$

这样就可以画出图解 5.6 的电路连接图了。

本题共 15 分,三片 74HC148 之间的连接占 5 分,Z_4、Z_3 的产生电路各占 3 分,Z_2、Z_1、Z_0 的产生电路共占 4 分。

七、当高位片计成 4、低位片计成 5,即计入 16×4+5=69 个计数脉冲后,产生$LD'=\mathbf{0}$信号,第 70 个计数脉冲到来后将两个 74HC161 同时置成全零,所以是七十进计数器。

因两片 74HC161 之间是异步连接,所组成的七十进制计数器为异步计数器。

本题共 10 分。如果误按异步置数法作,得出六十九进制,扣 5 分。若误将 74HC161 当作十进计数器,得出四十六进制,扣 5 分。

八、在本书第二部分第八章数-模和模-数转换的难点释疑中曾经讲过,当我们将倒 T 形电阻网络 D/A 转换器的输出端接至负反馈求和放大器的输入端时,V_{REF}与 I_{out1}之间相当于一个可编程电阻 R_{EQ},其值由本书式(8-2-5)给出

$$R_{EQ} = \frac{V_{REF}}{I_{\Sigma}} = \frac{2^n R}{D}$$

于是就可以写出图 T5.8 电路的电压放大倍数为

$$A_V = -\frac{R_{EQ}}{R_1}$$
$$= -\frac{2^n R}{10R \cdot D}$$
$$= -\frac{1}{10} \times \frac{2^n}{D}$$

当 $D=0$ 时,$A_V=-\infty$;当 $D=2^n-1$ 时,得到

$$A_V = -\frac{1}{10} \times \frac{2^n}{2^n-1}$$
$$= -\frac{1}{10} \times \frac{2^{10}}{2^{10}-1} \approx -0.1$$

因此,当 D 从最小(全 **0**)变到最大(全 **1**)时,A_V 的变化范围为$-\infty$到-0.1。

本题共 10 分,A_V 的计算公式和 A_V 数值变化范围的计算各占 5 分。

试 卷 6

一、选择填空。从每一小题的四个选项中选出一个正确的答案，并将其编号填入该题后边的括号中。 （20 分）

1. 下列函数式中，是最小项之和形式的为（　　）

A. $Y_1(A,B,C)=A+B'C$；

B. $Y_2(A,B,C)=A'B'C'+AB'C+ABC'$；

C. $Y_3(A,B,C)=ABC+(A'BC')'$

D. $Y_4(A,B,C,D)=ACD+A'C'D+ABD'$。

2. 和 TTL 电路相比，CMOS 电路最突出的优势在于（　　）

A. 可靠性高；　　B. 抗干扰能力强；　　C. 速度快；　　D. 功耗低。

3. 可以将输出端直接并联实现**线与**逻辑的门电路是（　　）

A. 三态输出的门电路；　　B. 推拉式输出结构的 TTL 门电路；

C. 互补输出结构的 CMOS 门电路；　　D. 集电极开路输出的 TTL 门电路。

4. 在图 T6.4 的 TTL 门电路中，输出为高电平的是（　　）

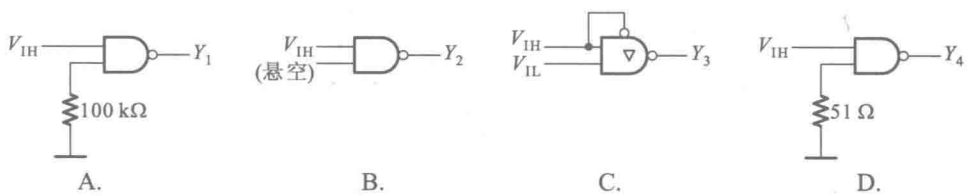


图 T6.4

5. 为了把串行输入的数据转换为并行输出的数据，可以使用（　　）

A. 寄存器；　　B. 移位寄存器；　　C. 计数器；　　D. 存储器。

6. 单稳态电路输出脉冲的宽度取决于（　　）

A. 触发脉冲的宽度；　　B. 触发脉冲的幅度；

C. 电路本身的电阻、电容参数；　　D. 电源电压的数值。

7. 为了提高对称式多谐振荡电路振荡频率的稳定性，最有效的方法是（　　）

A. 提高电阻、电容的精度；

B. 提高电源的稳定度；

C. 接入石英晶体；

D. 保持环境温度不变。

8. 在图 T6.8 用 555 定时器接成的施密特触发电路中，它的回差电压等于（　　）

A. 8 V；　　B. 3 V；

C. 4 V；　　D. 6 V。

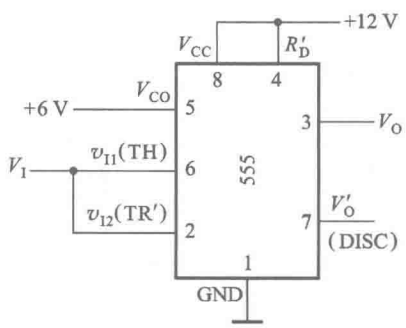


图 T6.8

9. 可编程逻辑器件的基本特征在于(　　)

A. 通用性强；　　B. 它的逻辑功能可以由用户编程设定；

C. 可靠性好；　　D. 集成度高。

10. 各种 A/D 转换器电路类型中转换速度最快的是(　　)

A. 并联比较型；　B. 逐次逼近型；　C. 双积分型；　D. V-F 变换型。

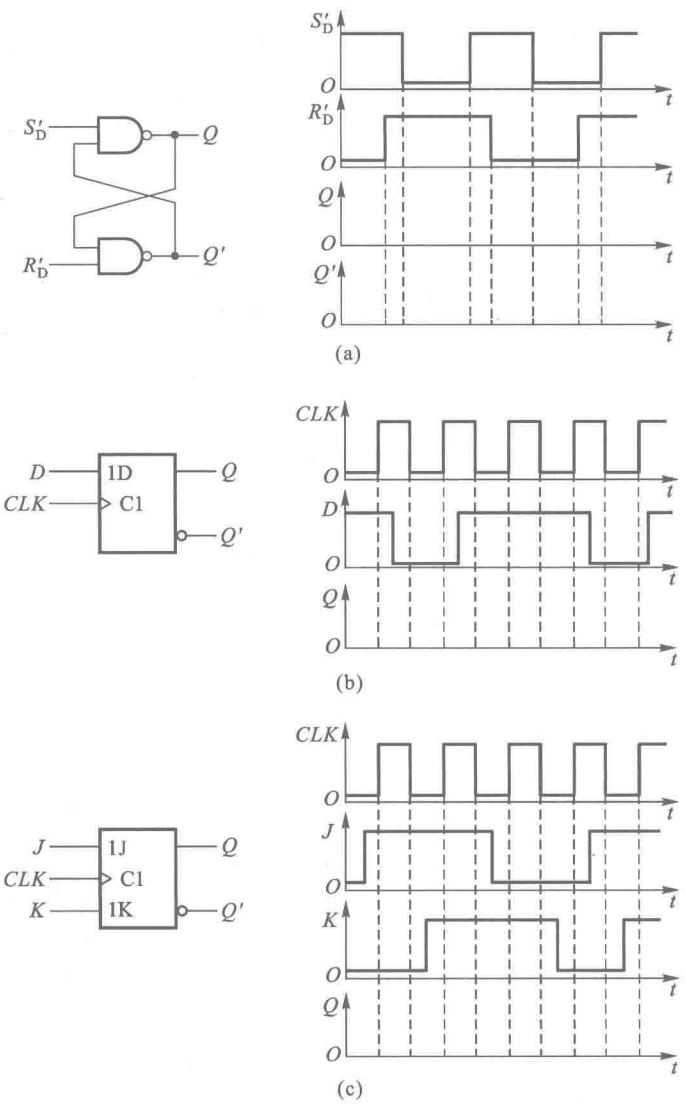
二、将下列逻辑函数式化为最简**与-或**形式，方法不限。

1. $Y_1(A,B,C)=A'BC+(A+B')C$

2. $Y_2(A,B,C,D)=((AB')'C+C'D)'\cdot(AC+BD)$

3. $Y_3(A,B,C,D)=A'B'D'+AB'C'D'+A'BD$，约束条件为 $AB+AC=\mathbf{0}$。　　(15 分)

三、画出图 T6.3 中各触发器输出端的电压波形。输入电压波形如图中所示。触发器的初始状态均为 $Q=\mathbf{0}$。　(15 分)



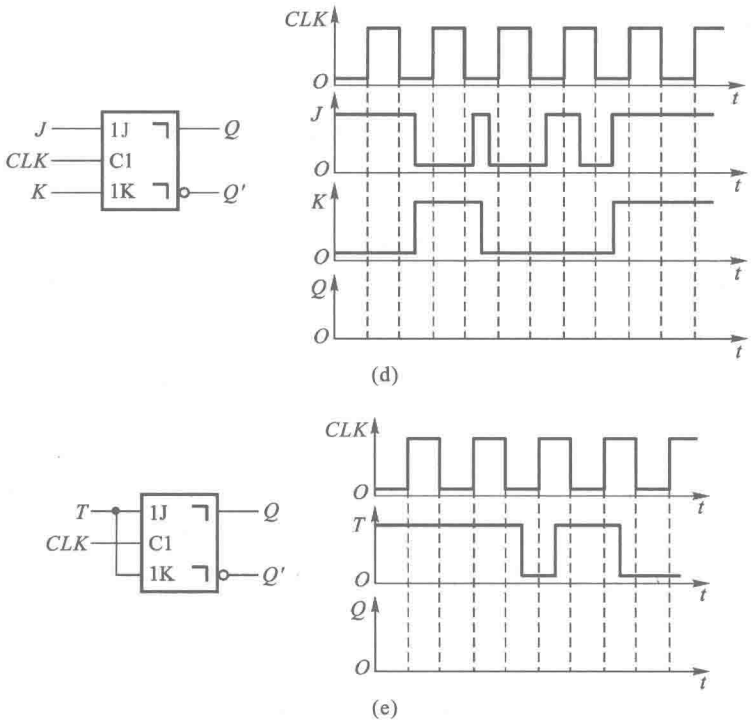


图 T6.3

(a) *SR* 锁存器　(b) 边沿触发的 *D* 触发器　(c) 边沿触发的 *JK* 触发器
(d) 脉冲触发的 *JK* 触发器　(e) 用脉冲触发 *JK* 触发器接成的 *T* 触发器

四、用 1 024×8 位的 EPROM 设计一个多输出的组合逻辑电路，要求输出的逻辑函数式为

$$\begin{cases} Y_3(A,B,C,D) = B'D' + A'BD + BCD \\ Y_2(A,B,C,D) = ABC' + A'BD + B'C \\ Y_1(A,B,C,D) = A'D' + A'B'C' + BCD' + AB'CD \\ Y_0(A,B,C,D) = AB'C'D' + BD + CD \end{cases} \tag{T6.4}$$

请在 EPROM 的框图上标明所设计电路的输入端和输出端，并列出应写入 EPROM 的数据表。（10 分）

五、用同步十六进制计数器 74HC161 设计一个可变进制计数器，当控制信号 $M=1$ 时为十进制，而 $M=0$ 时为七进制。请标明计数输入端和进位输出端。可以附加必要的门电路。74HC161 的框图和功能表如图 T6.5 和表 T6.5。（10 分）

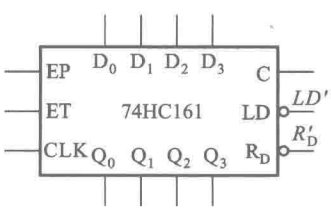


图 T6.5

表 T6.5　74HC161 的功能表

CLK	R'_D	*LD′*	*EP*	*ET*	工作状态
×	**0**	×	×	×	置零
↑	**1**	**0**	×	×	预置数
×	**1**	**1**	**0**	**1**	保持
×	**1**	**1**	×	**0**	保持(但 $C=0$)
↑	**1**	**1**	**1**	**1**	计数

六、用 D 触发器和门电路设计一个 3 位循环码计数器，它的编码表及转换顺序如表 T6.6 所示。（15 分）

表 T6.6 三位循环码转换顺序表

计数顺序	计数器状态			进位输出 Y
	Q_2	Q_1	Q_0	
0	0	0	0	0
1	0	0	1	0
2	0	1	1	0
3	0	1	0	0
4	1	1	0	0
5	1	1	1	1
6	1	0	1	0
7	1	0	0	0
8	0	0	0	0

七、图 T6.7 是用 555 定时器和倒 T 形电阻网络 D/A 转换器构成的频率可编程多谐振荡电路，电路参数如图中所标注。试求 D/A 转换器的输入 $d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0$ 为 **0000000000**、**1000000000** 和 **1111111111** 时振荡电路的振荡频率。求和放大器的反馈电阻 $2R$ 与倒 T 形电阻网络中的 $2R$ 电阻阻值相同。（15 分）

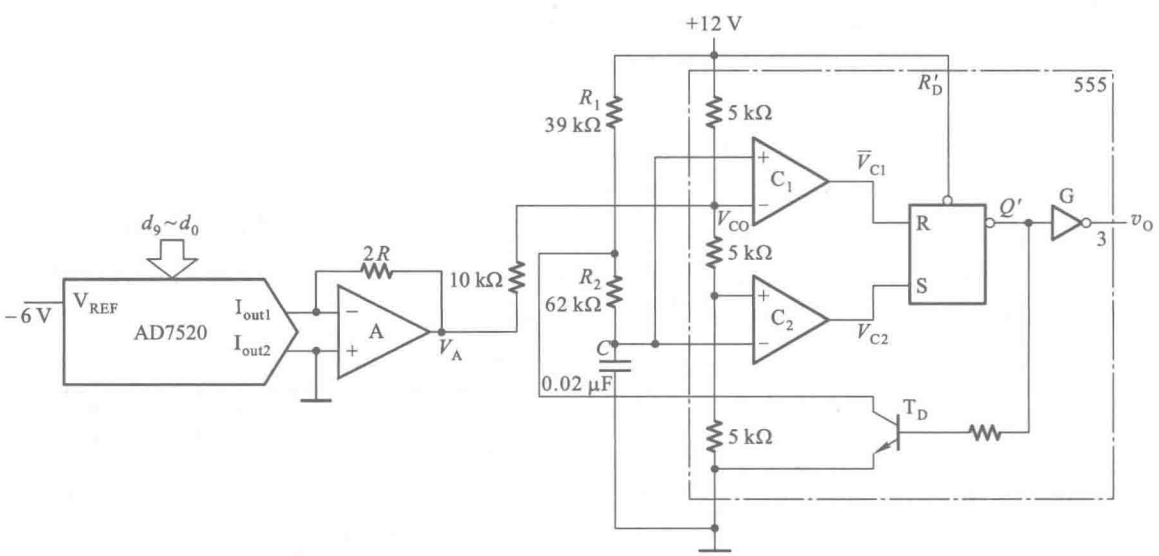


图 T6.7

试卷 6 答案

一、1. (B)；2. (D)；3. (D)；4. (Y_4)；5. (B)；6. (C)；7. (C)；8. (B)；9. (B)；10. (A)。

本题共 20 分，每个小题 2 分。

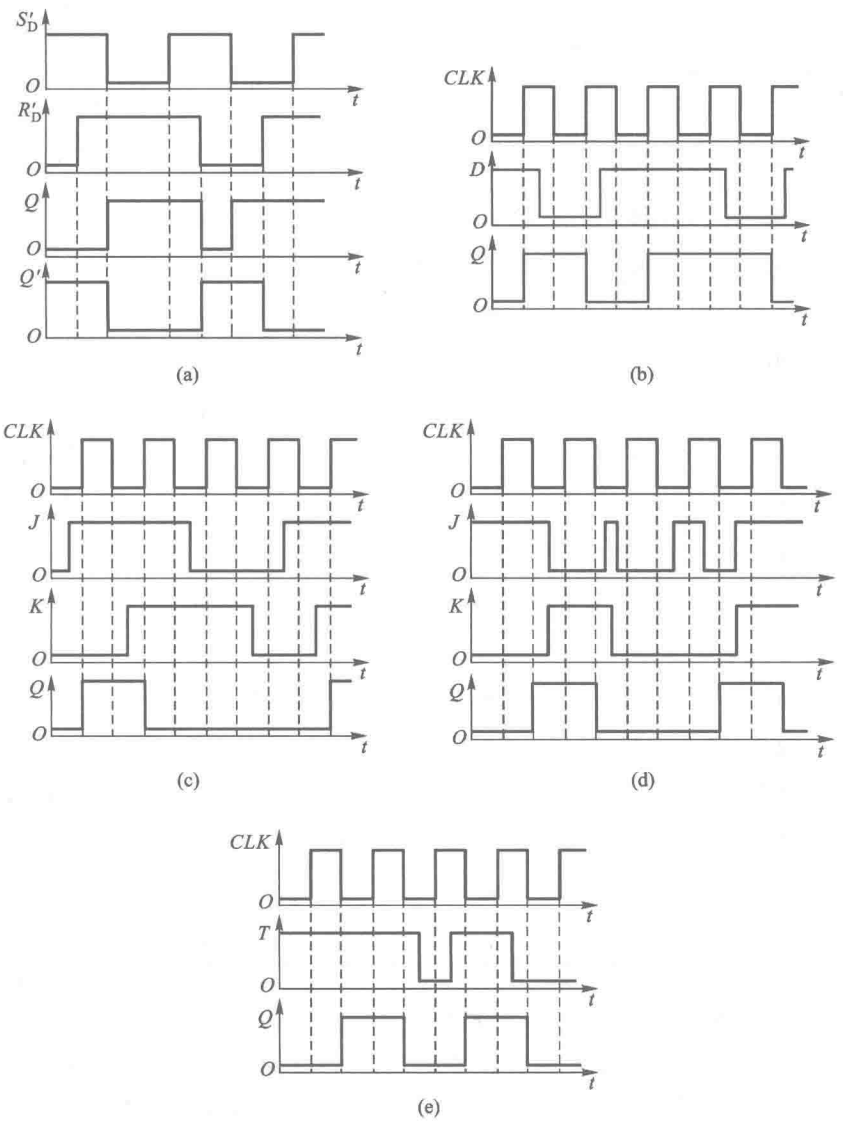
二、1. $Y_1(A,B,C)=C$

2. $Y_2(A,B,C,D)=AB'C$

3. $Y_3(A,B,C,D)=B'D'+BD$

本题共 15 分，每个小题占 5 分。笔误一处扣 2 分。第 3 小题未利用约束项化简者，不给分。

三、见图解 6.3。



图解 6.3

本题共 15 分，每个小题 3 分。每个波形图中发生一处错误（其余部分是对的）扣 2 分。

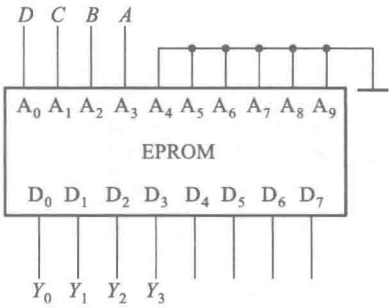
四、将式(T6.4)展开为最小项之和形式，并列出表 A6.4.1 的函数真值表。

$$\begin{cases} Y_3(A,B,C,D) = A'B'C'D'+A'B'CD'+A'BC'D+A'BCD+ \\ \qquad\qquad AB'C'D'+AB'CD'+ABCD \\ Y_2(A,B,C,D) = A'B'CD'+A'B'CD+A'BC'D+A'BCD+AB'CD'+ \\ \qquad\qquad AB'CD+ABC'D'+ABC'D \\ Y_1(A,B,C,D) = A'B'C'D'+A'B'C'D+A'B'CD'+A'BC'D'+ \\ \qquad\qquad A'BCD'+AB'CD+ABCD' \\ Y_0(A,B,C,D) = A'B'CD+A'BC'D+A'BCD+AB'C'D'+AB'CD+ \\ \qquad\qquad ABC'D+ABCD \end{cases} \tag{A6.4}$$

表解 6.4.1 式(A6.4)的真值表

输入				输出			
A	B	C	D	Y_3	Y_2	Y_1	Y_0
0	0	0	0	1	0	1	0
0	0	0	1	0	0	1	0
0	0	1	0	1	1	1	0
0	0	1	1	0	1	0	1
0	1	0	0	0	0	1	0
0	1	0	1	1	1	0	1
0	1	1	0	0	0	1	0
0	1	1	1	1	1	0	1
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	1	1	0	0
1	0	1	1	0	1	1	1
1	1	0	0	0	1	0	0
1	1	0	1	0	1	0	1
1	1	1	0	0	0	1	0
1	1	1	1	1	0	0	1

1 024×8 位 EPROM 有 10 位地址输入端和 8 位数据输出端，可取任意四个地址输入端为 A、B、C、D 的输入端，同时取任意四个数据输出端为 Y_3、Y_2、Y_1、Y_0 的输出端。例如可以取 A_3、A_2、A_1、A_0 作为 A、B、C、D 的输入端，同时取 D_3、D_2、D_1、D_0 作为 Y_3、Y_2、Y_1、Y_0 的输出端，如图解 6.4。于是就可以根据表解 6.4.1 列出 EPROM 中应写入的数据表，如表解 6.4.2 所示。



图解 6.4

表解 6.4.2　EPROM 中的数据表

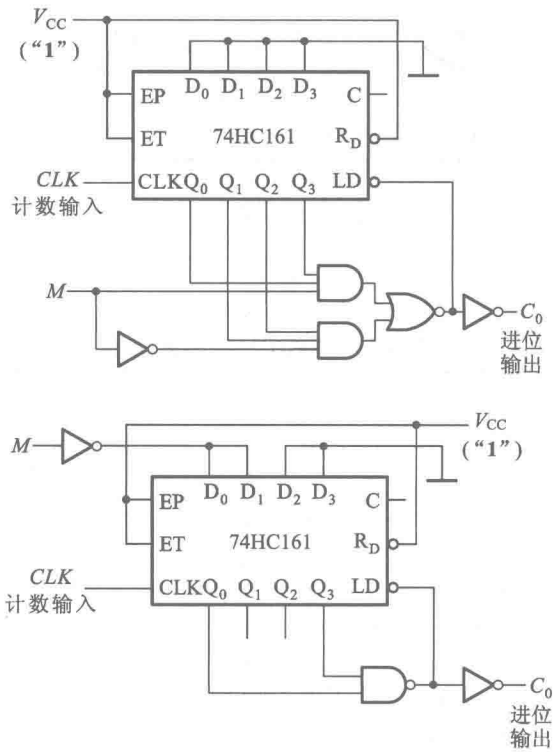
地　址										数　据							
A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	×	×	×	×	1	0	1	0
0	0	0	0	0	0	0	0	0	1	×	×	×	×	0	0	1	0
0	0	0	0	0	0	0	0	1	0	×	×	×	×	1	1	1	0
0	0	0	0	0	0	0	0	1	1	×	×	×	×	0	1	0	1
0	0	0	0	0	0	0	1	0	0	×	×	×	×	0	0	1	0
0	0	0	0	0	0	0	1	0	1	×	×	×	×	1	1	0	1
0	0	0	0	0	0	0	1	1	0	×	×	×	×	0	0	1	0
0	0	0	0	0	0	0	1	1	1	×	×	×	×	1	1	0	1
0	0	0	0	0	0	1	0	0	0	×	×	×	×	1	0	0	1
0	0	0	0	0	0	1	0	0	1	×	×	×	×	0	0	0	0
0	0	0	0	0	0	1	0	1	0	×	×	×	×	1	1	0	0
0	0	0	0	0	0	1	0	1	1	×	×	×	×	0	1	1	1
0	0	0	0	0	0	1	1	0	0	×	×	×	×	0	1	0	0
0	0	0	0	0	0	1	1	0	1	×	×	×	×	0	1	0	1
0	0	0	0	0	0	1	1	1	0	×	×	×	×	0	0	1	0
0	0	0	0	0	0	1	1	1	1	×	×	×	×	1	0	0	1
						A	B	C	D					Y_3	Y_2	Y_1	Y_0
输　入										输　出							

$A_4 \sim A_9$ 也可接成其他的固定状态(**0** 和 **1**),每个存储单元中的高 4 位($D_7 \sim D_4$)可写入任意数据。

本题共 10 分。能正确地列出函数真值表得 4 分,能正确列出 EPROM 的数据表得 4 分,能正确地标出输入端和输出端得 2 分。解题过程中出现笔误时,每处扣 1 分。本题采用分段评分的办法(具体说明见第六题)。

五、本题为设计性题目,可以有多种答案,图解 6.5 给出的只是其中的两种。

本题共 10 分。EP、ET、R'_D 应接高电平,但悬空不扣分。进位输出信号接错或未接出,扣 2 分。进位输出端的反相器可接可不接,因为题目没有规定进位输出信号一定是正脉冲。七进制和十进制有一种接错扣 4 分。两种进制均未接对者,得 0 分。



图解 6.5

六、根据表 T6.6 可以画出电路次态和输出的卡诺图，如图解 6.6.1(a)。为直观起见，还可以将它分解，单独画出 Q_2^*、Q_1^*、Q_0^* 和 Y 的卡诺图，如图解 6.6.1(b)、(c)、(d)、(e)所示。

利用卡诺图化简，得到电路的状态方程和输出方程分别为

$$\begin{cases} Q_2^* = Q_2Q_0 + Q_1Q_0' \\ Q_1^* = Q_2'Q_0 + Q_1Q_0' \\ Q_0^* = Q_2'Q_1' + Q_2Q_1 \end{cases} \tag{A6.6.1}$$

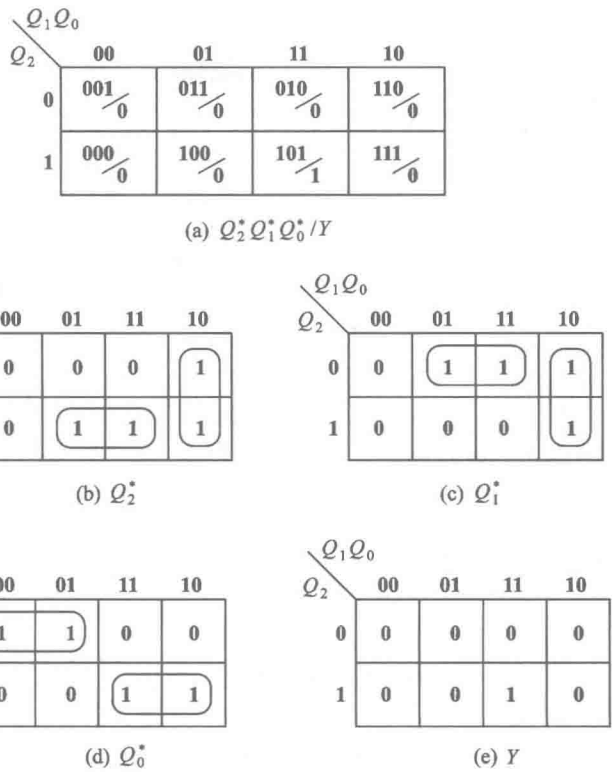
$$Y = Q_2Q_1Q_0 \tag{A6.6.2}$$

因为 D 触发器的特性方程为 $Q^* = D$，所以驱动方程为

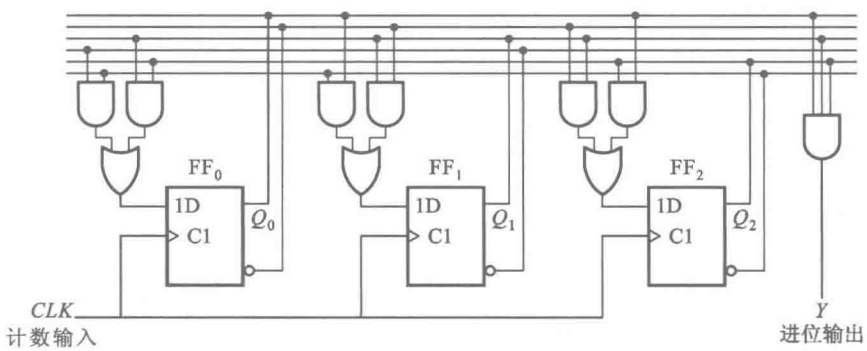
$$\begin{cases} D_2 = Q_2Q_0 + Q_1Q_0' \\ D_1 = Q_2'Q_0 + Q_1Q_0' \\ D_0 = Q_2'Q_1' + Q_2Q_1 \end{cases} \tag{A6.6.3}$$

根据式(A6.6.2)和式(A6.6.3)画出的 3 位循环码计数器电路如图解 6.6.2 所示。

本题共 15 分。状态方程占 6 分(每个触发器的状态方程 2 分)，输出方程占 1 分，驱动方程占 3 分(每个触发器的驱动方程 1 分)，电路图占 5 分。采取分段评分的办法，即前面的步骤中发生笔误并已扣分的情况下，如果后续步骤的解法和结果是对的，后面的步骤仍可得分。写方程和画图过程中，发生一处笔误扣 2 分。



图解 6.6.1



图解 6.6.2

七、首先计算当 D/A 转换器的输入 $d_9 \sim d_0$ 为 **0000000000**、**1000000000** 和 **1111111111** 时它的输出电压 V_A 的数值。已知 V_A 的计算公式为

$$V_A = -\frac{V_{REF}R_F}{2^n R} \cdot D$$

$$= -\frac{-6\times 2R}{2^{10} \cdot R} \cdot D$$

$$=6\times\frac{D}{2^9}$$

由上式即可求得，当 $D=\mathbf{0}$ 时 $V_A=0$ V；当 $D=\mathbf{1000000000}=2^9$ 时 $V_A=6$ V；当 $D=\mathbf{1111111111}=2^{10}-1$ 时 $V_A\approx12$ V。

其次计算 $V_A=V_{CO}$ 为不同数值时多谐振荡电路的振荡频率。

当 $V_A=0$ V 时，555 定时器接成施密特触发电路时的正、负向阈值电压分别为 $V_{T+}=6$ V。$V_{T-}=3$ V。将它们代入计算 555 组成的多谐振荡电路振荡周期的公式

$$\begin{aligned}T&=(R_1+R_2)C\ln\frac{V_{CC}-V_{T-}}{V_{CC}-V_{T+}}+R_2C\ln\frac{V_{T+}}{V_{T-}}\\&=\left[(39+62)\times10^3\times0.02\times10^{-6}\ln\frac{12-3}{12-6}+62\times10^3\times0.02\times10^{-6}\ln\frac{6}{3}\right]\text{s}\\&=(0.82+0.86)\text{ ms}\\&=1.68\text{ ms}\\f&=\frac{1}{T}=0.6\text{ kHz}\end{aligned}$$

当 $V_A=6$ V 时，$V_{T+}=7.5$ V、$V_{T-}=3.75$ V，代入周期计算公式后得到

$$\begin{aligned}T=&\left[(39+62)\times10^3\times0.02\times10^{-6}\ln\frac{12-3.75}{12-7.5}+\right.\\&\left.62\times10^3\times0.02\times10^{-6}\times0.69\right]\text{s}\\=&(2.02\times10^{-3}\times0.61+0.86\times10^{-3})\text{s}\\=&2.1\text{ ms}\\f=&\frac{1}{T}=0.48\text{ kHz}\end{aligned}$$

当 $V_A=12$ V 时，$V_{T+}=9$ V、$V_{T-}=4.5$ V，代入周期计算公式得到

$$\begin{aligned}T=&\left(2.02\times10^{-3}\ln\frac{12-4.5}{12-9}+0.86\times10^{-3}\right)\text{s}\\=&(1.85\times10^{-3}+0.86\times10^{-3})\text{s}\\=&2.7\text{ ms}\\f=&\frac{1}{T}=0.37\text{ kHz}\end{aligned}$$

本题共 15 分。D/A 转换器输出电压计算占 6 分，每个输入数字量的计算 2 分。多谐振荡电路振荡频率计算占 9 分，每个 V_A 值下的频率计算占 3 分。

本题也采取分段评分办法（具体说明见上题）。

试 卷 7

一、画出图 T7.1 中各门电路输出电压的波形，输入信号的波形如图中所给出。 （10 分）

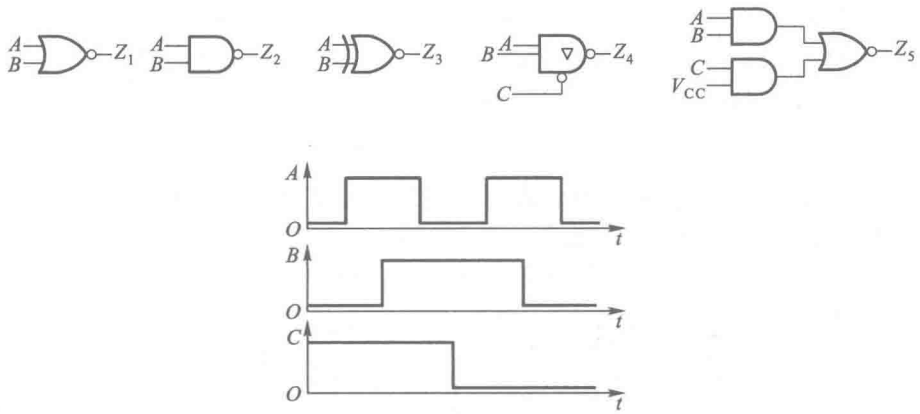


图 T7.1

二、用逻辑分析仪观测到某组合逻辑电路的输入和输出波形如图 T7.2 所示。试写出 Y_1、Y_2 的逻辑函数式，并将它们化为最简**与-或**形式。 （20 分）

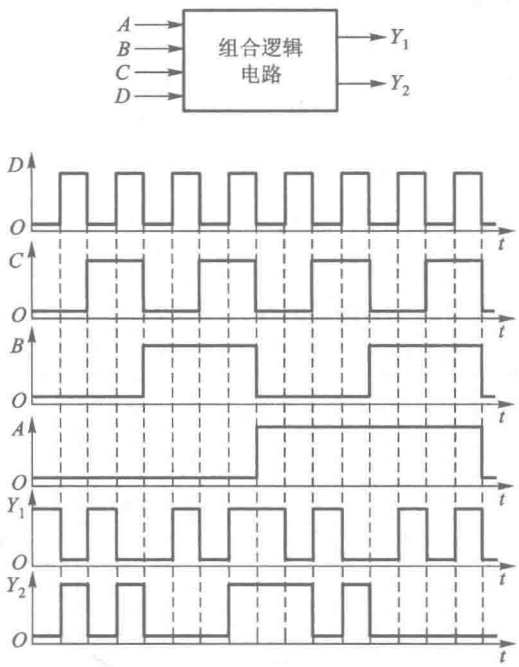


图 T7.2

三、试用两片二-十进制译码器 74HC42 组成 4 线-16 线的二进制译码器，标明输入端与输出端。可以附加必要的门电路，但应力求使电路简单。74HC42 没有附加的控制端，当输入 $DCBA$ = **1010~1111** 时，输出端 $Y_0'\sim Y_9'$ 皆为高电平，即没有输出信号。它的框图如图 T7.3，输出的逻辑式为

$$\begin{cases} Y_0'=(D'C'B'A')' & Y_5'=(D'CB'A)' \\ Y_1'=(D'C'B'A)' & Y_6'=(D'CBA')' \\ Y_2'=(D'C'BA')' & Y_7'=(D'CBA)' \\ Y_3'=(D'C'BA)' & Y_8'=(DC'B'A')' \\ Y_4'=(D'CB'A')' & Y_9'=(DC'B'A)' \end{cases}$$

（10 分）

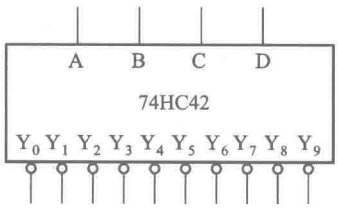


图 T7.3

四、分析图 T7.4 的逻辑电路，写出电路的驱动方程、状态方程和输出方程，列出电路的状态转换表，画出电路的状态转换图。　（15 分）

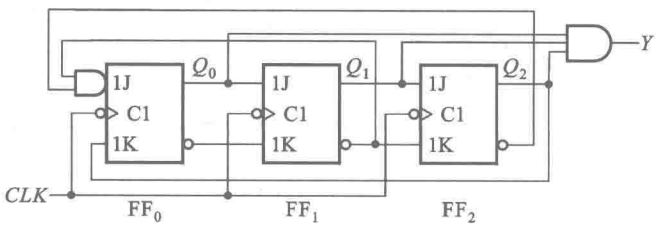


图 T7.4

五、图 T7.5 是用两片同步十进制加/减计数器 74LS190 组成的加/减计数器。74LS190 的功能表见表 T7.5。C/B 端是进位/借位输出端。在加法计数状态下，当 $Q_3Q_2Q_1Q_0$ = **1001** 时，C/B = **1**，否则为 **0**；在减法计数状态下，当 $Q_3Q_2Q_1Q_0$ = **0000** 时，C/B = **1**，否则为 **0**。试分析在 M = **1** 和 M = **0** 两种情况下，图 T7.5 电路各为几进制计数器，各为加法计数器还是减法计数器，并说明在什么情况下输出 Y 等于 **1**。　（10 分）

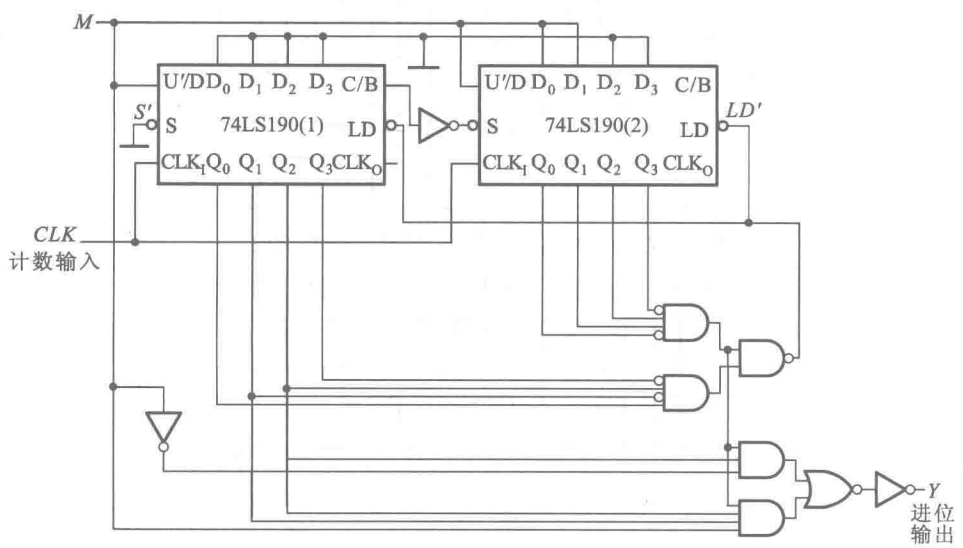


图 T7.5

表 T7.5　74LS190 的功能表

CLK_1	S'	LD'	U'/D	工作状态
×	1	1	×	保持
×	×	0	×	预置数
⊓	0	1	0	加法计数
⊓	0	1	1	减法计数

六、图 T7.6.1 是一个通用波形发生器电路。为了在输出端得到图 T7.6.2 中给出的电压波形，试写出 EPROM 中应当存有的数据表。AD7520 为 10 位倒 T 形电阻网络 D/A 转换器，它的参考电压为 $V_{REF}=-8$ V。如果需要调节输出电压波形的幅度和周期，应当调节电路中的哪些参数？设触发器的初始状态为 $Q_0Q_1Q_2Q_3=\mathbf{0000}$。　（15 分）

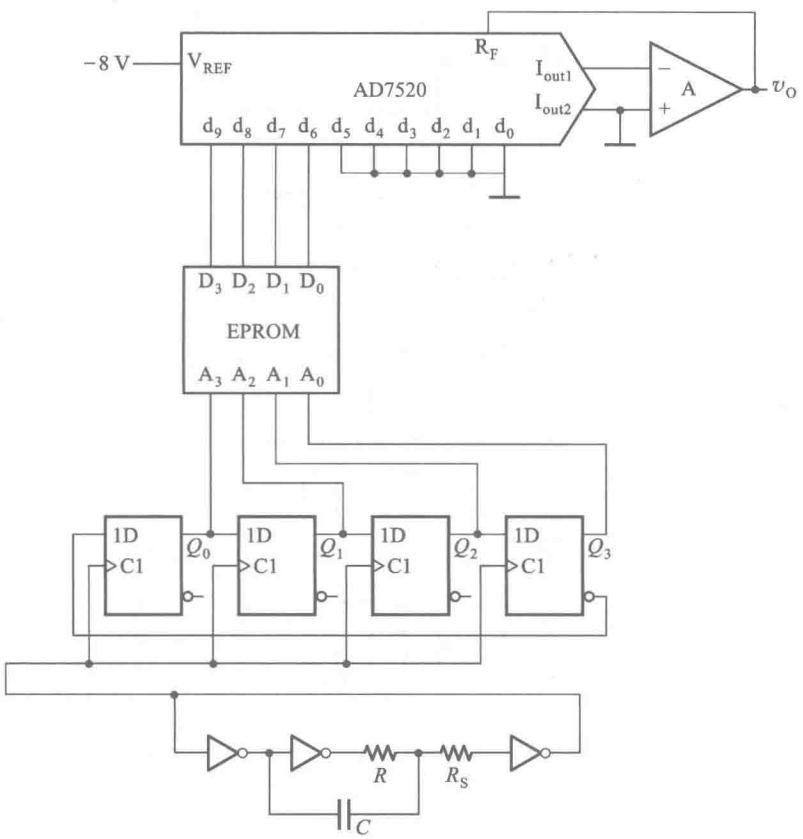


图 T7.6.1

七、在图 T7.7 的 TTL 电路中，G_1 输出处于什么状态？在开关 S 断开的情况下，用磁电式万用表的不同量程测量 v_{O1} 时，测得的数值不同，这是什么原因？如果将开关 S 接通，则 v_{O2} 为高电平还是低电平？　（10 分）

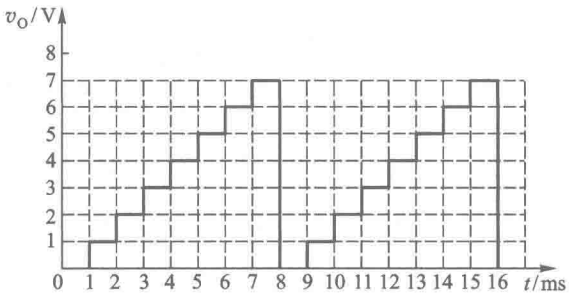


图 T7.6.2

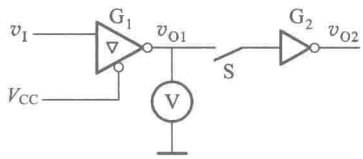
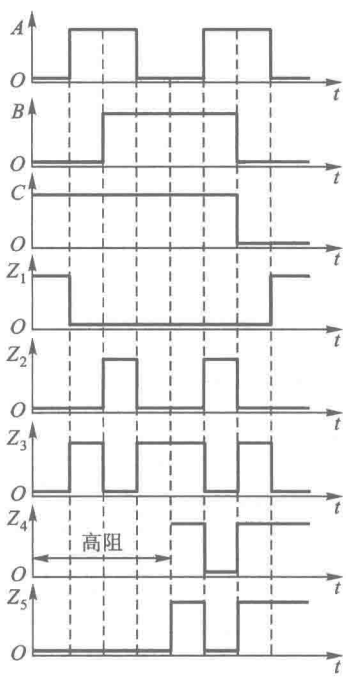


图 T7.7

试卷 7 答案

一、答案见图解 7.1。



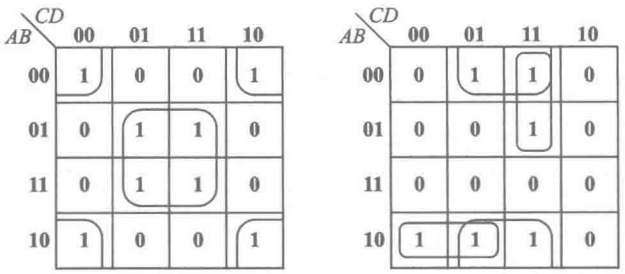
图解 7.1

本题共 10 分,每个波形图 2 分。发生一处错误扣 1 分。

二、根据图 T7.2 中给出的波形图可以列出 Y_1、Y_2 的逻辑真值表,如表解 7.2 所示。从真值写出 Y_1、Y_2 的逻辑函数式为

$$Y_1 = A'B'C'D' + A'B'CD' + A'BC'D + A'BCD + AB'C'D' + AB'CD' + ABC'D + ABCD$$

$$Y_2 = A'B'C'D + A'B'CD + A'BCD + AB'C'D' + AB'C'D + AB'CD$$



图解 7.2

表解 7.2　图 T7.2 组合逻辑电路的真值表

A	B	C	D	Y_1	Y_2
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	0	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	1	0

用卡诺图化简法化简 Y_1、Y_2(见图解 7.2)得出

$$Y_1 = B'D' + BD$$

$$Y_2 = B'D + A'CD + AB'C'$$

本题共 20 分。列出真值表得 8 分(Y_1、Y_2 各占 4 分),由真值表写出逻辑式占 4 分(Y_1、Y_2 各占 2 分),化简占 8 分(Y_1、Y_2 各占 4 分)。采取分段评分的办法,即前面的步骤中倘若发生笔误并已扣分,而在此基础上继续做下去的方法和结果是对的,则仍可得后续步骤的分数。

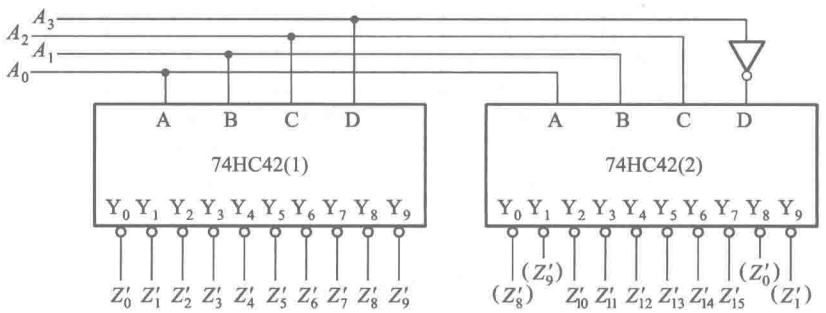
三、此题属于设计性题目,答案不止一种。但最简单的接法为图解 7.3 所示。

Z'_0 输出端可以用第(1)片的 Y'_0,也可以用第(2)片的 Y'_8;

Z'_1 输出端可以用第(1)片的 Y'_1，也可以用第(2)片的 Y'_9；

Z'_8 输出端可以用第(1)片的 Y'_8，也可以用第(2)片的 Y'_0；

Z'_9 输出端可以用第(1)片的 Y'_9，也可以用第(2)片的 Y'_1。



图解 7.3

本题共 10 分。输出端标错一处扣 1 分。电路较图解 7.3 复杂者适当扣除 1~4 分。未用 74HC42 而用门电路搭接成译码器者不给分。

四、电路的驱动方程为

$$\begin{cases} J_0 = Q'_2 Q'_1; & K_0 = Q_2 \\ J_1 = Q_0; & K_1 = Q'_0 \\ J_2 = Q_1; & K_2 = Q'_1 \end{cases}$$

状态方程为

$$\begin{cases} Q_0^* = Q'_2 Q'_1 Q'_0 + Q'_2 Q_0 \\ Q_1^* = Q_0 Q'_1 + Q_0 Q_1 = Q_0 \\ Q_2^* = Q_1 Q'_2 + Q_1 Q_2 = Q_1 \end{cases}$$

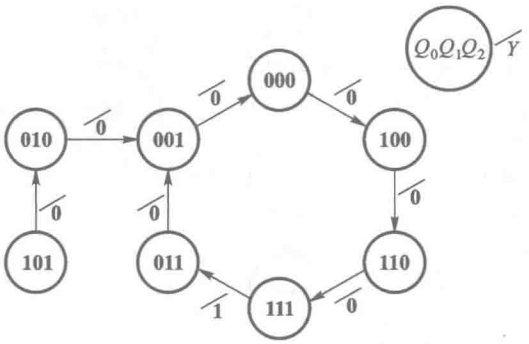
输出方程为

$$Y = Q_2 Q_1 Q_0$$

状态转换表和状态转换图分为表解 7.4 和图解 7.4。

表解 7.4 图 T7.4 电路的状态转换表

CLK	Q_0	Q_1	Q_2	Y
0	**0**	**0**	**0**	**0**
1	**1**	**0**	**0**	**0**
2	**1**	**1**	**0**	**0**
3	**1**	**1**	**1**	**1**
4	**0**	**1**	**1**	**0**
5	**0**	**0**	**1**	**0**
6	**0**	**0**	**0**	**0**
0	**1**	**0**	**1**	**0**
1	**0**	**1**	**0**	**0**
2	**0**	**0**	**1**	**0**



图解 7.4

本题共 15 分。驱动方程和状态方程各占 3 分，输出方程占 1 分，状态转换表和状态转换图占 8 分。采取分段评分的办法（具体说明见第二题）。状态转换表及状态转换图中未考虑无效状态者扣 2 分。状态转换图中未标明输出者扣 2 分。

五、1. $M=\mathbf{0}$ 时为加法计数工作状态。当计成 $10\times6+5=65$ 时，产生 $LD'=\mathbf{0}$ 信号，立刻将两片 74LS190 同时置成全 **0** 状态。（请注意，74LS190 是异步置数，$LD'=\mathbf{0}$ 信号一出现，便立即将 $D_3\sim D_0$ 的数据置入计数器中，而不需要等待下一个 *CLK* 脉冲到达。）故这时是六十五进制加法计数器。

2. $M=\mathbf{1}$ 时为减法计数工作状态。当计成 65 时，产生 $LD'=\mathbf{0}$ 信号，将第（1）片 74LS190 置成 **0**，第（2）片 74LS190 置成 3，即整个计数器置成 30 状态。从 30 减至 0 再从 99 减至 66，也是六十五进制，所以这时是六十五进制减法计数器。当加法计数计到 64 或减法计数计到 66 时，$Y=\mathbf{1}$。

本题共 10 分，加、减计数进制的分析各占 5 分。

六、由图 T7.6.1 和图 T7.6.2 可知，只要将 v_0 波形上每段时间的幅度转换成一个数字量，存入 EPROM 中，然后周期性地顺序读取这些数据并加到 D/A 转换器的输入端，这样就可以在D/A 转换器的输出端得到图 T7.6.2 所要求的电压波形了。

由 D/A 转换器输出电压的计算公式知

$$v_0=-\frac{V_{REF}}{2^n}\cdot D$$

$$=\frac{8}{2^{10}}\cdot D$$

因此 $d_9=\mathbf{1}(D_3=\mathbf{1})$、$d_8=\mathbf{1}(D_2=\mathbf{1})$、$d_7=\mathbf{1}(D_1=\mathbf{1})$、$d_6=\mathbf{1}(D_0=\mathbf{1})$ 在输出端产生的电压分别等于 4 V、2 V、1 V、0.5 V。图 T7.6.2 波形上各点电压幅度对应的数字（$D_3D_2D_1D_0$）序列就应当是

（0 V）　（1 V）　（2 V）　（3 V）

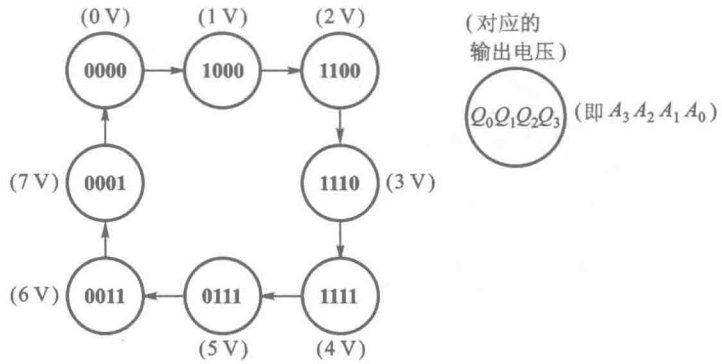
0000 → 0010 → 0100 → 0110

↑　　↓

1110 ← 1100 ← 1010 ← 1000

（7 V）　（6 V）　（5 V）　（4 V）

而从 EPROM 读出数据时是以移位寄存器的状态作为地址码的，所以还需要找出移位寄存器的状态循环，如图解 7.6 所示。



图解 7.6

将波形上各点幅度对应的数字序列依次存入图解 7.6 的顺序地址中，就得到了所求的 EPROM 数据表，如表解 7.6。

表解 7.6 图 T7.6 中 EPROM 的数据表

地址				数据			
A_3	A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	0
0	0	1	0	×	×	×	×
0	0	1	1	1	1	0	0
0	1	0	0	×	×	×	×
0	1	0	1	×	×	×	×
0	1	1	0	×	×	×	×
0	1	1	1	1	0	1	0
1	0	0	0	0	0	1	0
1	0	0	1	×	×	×	×
1	0	1	0	×	×	×	×
1	0	1	1	×	×	×	×
1	1	0	0	0	1	0	0
1	1	0	1	×	×	×	×
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	0

如果需要调节输出电压波形的幅度，可以调节 D/A 转换器的参考电压 V_{REF} 的大小，也可以在求和放大器上改用外接反馈电阻，通过调节反馈电阻的阻值，改变输出电压波形的幅度。

如果需要改变输出电压波形的频率，就必须改变环形振荡电路的频率。调节电阻 R 或电容 C 的大小，可以达到改变振荡频率的目的。但需注意 R 值不可过大，否则振荡电路将停振。

本题共 15 分，EPROM 数据表占 10 分（波形幅值数量化计算占 5 分，地址循环顺序的分析占 5 分），调节输出波形幅度的方法占 3 分，调节输出波形频率的方法占 2 分。采取分段评分的办法（具体说明见第二题）。

只要波形数据的循环序列正确，地址循环序列正确，两个序列的对应位置随意，不一定按表解 7.6 那样对应。

EPROM 中没有用到的地址单元中存入任何数据均可，这里是用“×”表示的。

七、S 断开时，由于门 G_1 输出为高阻态，即输出电阻非常大，而磁电式万用表不同电压量程的内阻不同，所以用不同量程测量时，加到电压表上的电压也不相同。

S 接通以后，G_2 输入端相当于接入一个内阻非常大的电压信号，所以 v_{O2} 为低电平。

本题共 10 分，S 断开时测 v_{O1} 占 5 分，S 接通后判断 v_{O2} 状态占 5 分。

郑重声明

高等教育出版社依法对本书享有专有出版权。任何未经许可的复制、销售行为均违反《中华人民共和国著作权法》，其行为人将承担相应的民事责任和行政责任；构成犯罪的，将被依法追究刑事责任。为了维护市场秩序，保护读者的合法权益，避免读者误用盗版书造成不良后果，我社将配合行政执法部门和司法机关对违法犯罪的单位和个人进行严厉打击。社会各界人士如发现上述侵权行为，希望及时举报，本社将奖励举报有功人员。

反盗版举报电话　(010)58581897　58582371　58581879
反盗版举报传真　(010)82086060
反盗版举报邮箱　dd@ hep.com.cn
通信地址　北京市西城区德外大街 4 号　高等教育出版社法务部
邮政编码　100120

数字电子技术基础（第六版）

数字电子技术基础（第六版）电子教案

数字电子技术基础（第六版）学习辅导与习题解答

模拟电子技术基础（第五版）

模拟电子技术基础（第五版）电子教案

模拟电子技术基础（第五版）学习辅导与习题解答

ISBN 978-7-04-044734-7



定价 39.80 元